

中间总线的脉宽调制 (PWM) 控制器

ISL6744是成本低、原边双端控制器。主要应用于全桥和半桥型拓扑结构的非调节DC-DC变换器。典型应用于总线变换器和DC变压器。ISL6744主要特点是可调振荡器频率、可调软启动、过流关断保护、精确的开关频率和死区时间控制。

这先进的BiCMOS设计特点是低启动和运作电流，可调开关频率高至1MHz，1A FET驱动器，和非常低的传输延迟。

订购资料

零件号码	温度范围(°C)	包装	包装图号 #
ISL6744AU	-40 to 105	8 Ld MSOP	M8.118
ISL6744AUZ (See Note)	-40 to 105	8 Ld MSOP (Pb-free)	M8.118
ISL6744AB	-40 to 105	8 Ld SOIC	M8.15
ISL6744ABZ (See Note)	-40 to 105	8 Ld SOIC (Pb-free)	M8.15

Add -T suffix to part number for tape and reel packaging

Note: Intersil Pb-free products employ special Pb-free material sets; molding compounds/die attach materials and 100% matte tin plate termination finish, which is compatible with both SnPb and Pb-free soldering operations. Intersil Pb-free products are MSL classified at Pb-free peak reflow temperatures that meet or exceed the Pb-free requirements of IPC/JEDEC J Std-020B.

主要特点

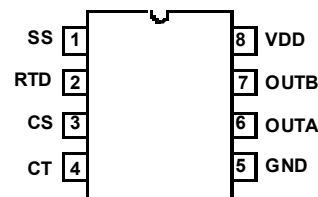
- 精确的占空比和死区时间控制
- 100 μ A 启动电流
- 可调延迟过流关断和重新启动
- 可调振荡器频率高至 2MHz
- 1A MOSFET 门极驱动器
- 可调软启动
- 内部过热保护
- 控制到输出的延迟是 35ns
- 体积小和极少的外部元件
- 输入欠压保护
- 不含 Pb 的包装

应用

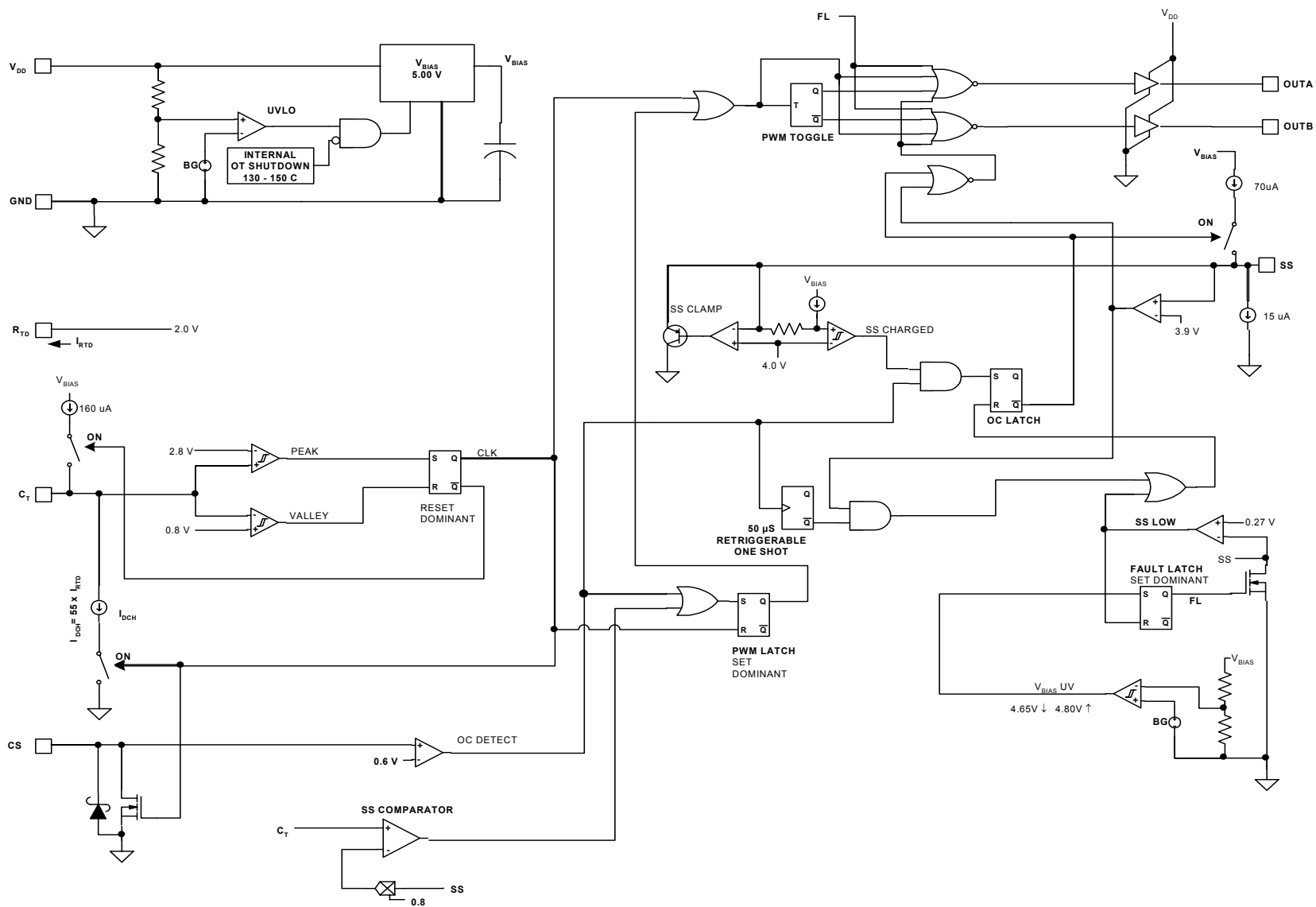
- 通信和信息的隔离电源
- DC 变压器
- 总线变换器

插脚引线 (顶视图)

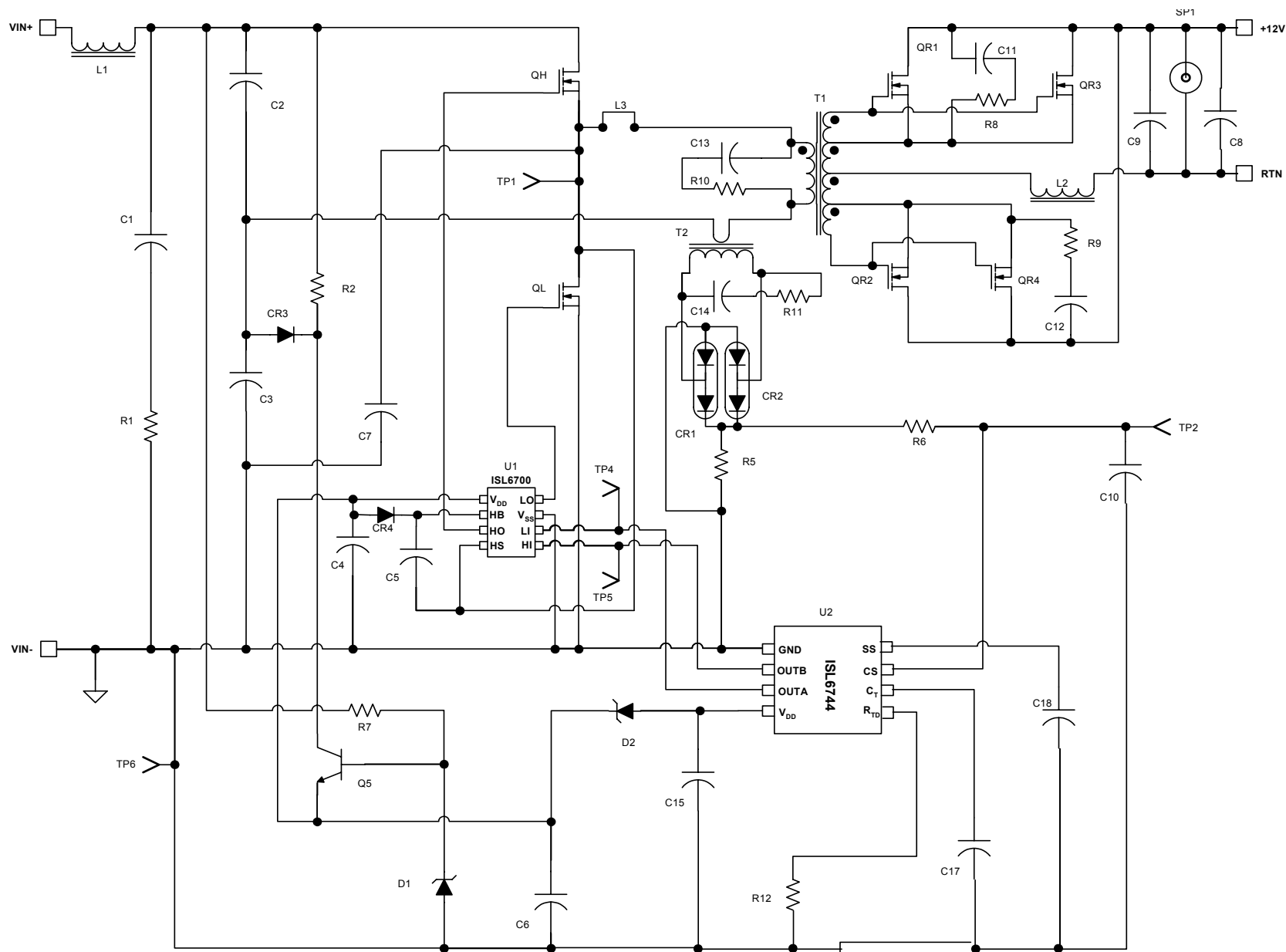
ISL6744 (SOIC, MSOP)



ISL6744 内部电路结构



ISL6744 典型应用电路: 未稳压的半桥型 DC-DC 变换器 - $V_{IN}=48V$, $V_{OUT}=12V$, AND $I_{OUT}=8A$



ISL6744

额定值

Supply Voltage, V_{DD}	GND - 0.3V to +20.0V
OUTA, OUTB	GND - 0.3V to V_{DD}
Signal Pins	GND - 0.3V to 5V
Peak GATE Current	1A
ESD Classification	
Human Body Model (Per MIL-STD-883 Method 3015.7)	2000V
Machine Model (Per EIAJ ED-4701 Method C-111)	100V
Charged Device Model (Per EOS/ESD DS5.3, 4/14/93)	1000V

热性能的资料

Thermal Resistance (Typical, Note 1)	θ_{JA} (°C/W)
8 Lead MSOP	128
8 Lead SOIC	98
Maximum Junction Temperature	-55°C to 150°C
Maximum Storage Temperature Range	-65°C to 150°C
Maximum Lead Temperature (Soldering 10s)	300°C

运行条件

Temperature Range	
ISL6744AU	-40°C to 105°C
Supply Voltage Range (Typical)	9-16 VDC

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTES:

- θ_{JA} is measured with the component mounted on a high effective thermal conductivity test board in free air. See Tech Brief TB379 for details.
- All voltages are to be measured with respect to GND, unless otherwise specified.

电气规范

Recommended operating conditions unless otherwise noted. Refer to Block Diagram and Typical Application schematic. $9V < V_{DD} < 16V$, $R_{TD} = 51.1k\Omega$, $C_T = 470pF$, $T_A = -40^\circ C$ to $105^\circ C$ (Note 4), Typical values are at $T_A = 25^\circ C$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
SUPPLY VOLTAGE					
Start-Up Current, I_{DD}	$V_{DD} < \text{START Threshold}$	-	-	175	μA
Operating Current, I_{DD}	$R_{LOAD}, C_{OUTA,B} = 0$	-	2.89	-	mA
	$C_{OUTA,B} = 1nF$	-	5	8.5	mA
UVLO START Threshold		5.9	6.3	6.6	V
UVLO STOP Threshold		5.3	5.7	6.3	V
Hysteresis		-	0.6	-	V
CURRENT SENSE					
Current Limit Threshold		0.55	0.6	0.65	V
CS to OUT Delay	(Note 4)	-	35	-	ns
CS Sink Current		8	10	-	mA
Input Bias Current		-1	-	1	μA
PULSE WIDTH MODULATOR					
Maximum Duty Cycle		-	94	-	%
C_T to SS Comparator Input Gain	(Note 4)	-	1	-	V/V
SS to SS Comparator Input Gain	(Note 4)	-	0.8	-	V/V
OSCILLATOR					
Charge Current		-	160	-	μA
R_{TD} Voltage		1.925	2	2.075	V
Discharge Current Gain		45	-	65	$\mu A/\mu A$
C_T Valley Voltage		0.75	0.8	0.85	V
C_T Peak Voltage		2.70	2.80	2.90	V
C_T Input Impedance	(Note 4)	-	-	-	Ω

电气规范

Recommended operating conditions unless otherwise noted. Refer to Block Diagram and Typical Application schematic. $9V < V_{DD} < 16V$, $R_{TD} = 51.1k\Omega$, $C_T = 470pF$, $T_A = -40^\circ C$ to $105^\circ C$ (Note 4), Typical values are at $T_A = 25^\circ C$ (Continued)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
SOFT-START					
Charging Current		45	-	68	μA
SS Clamp Voltage		3.8	4.0	4.2	V
Overcurrent Shutdown Threshold Voltage	(Note 4)	-	3.9	-	V
Overcurrent Discharge Current		12	15	23	μA
Reset Threshold Voltage	(Note 4)	0.25	0.27	0.30	V
OUTPUT					
High Level Output Voltage (VOH)	$V_{DD} - V_{OUTA}$ or V_{OUTB} , $I_{OUT} = -100mA$	-	0.5	2.0	V
Low Level Output Voltage (VOL)	$I_{OUT} = 100mA$	-	0.5	1.0	V
Rise Time	$C_{GATE} = 1nF$, $V_{DD} = 12V$	-	17	60	ns
Fall Time	$C_{GATE} = 1nF$, $V_{DD} = 12V$	-	20	60	ns
THERMAL PROTECTION					
Thermal Shutdown	(Note 4)	-	145	-	$^\circ C$
Thermal Shutdown Clear	(Note 4)	-	130	-	$^\circ C$
Hysteresis, Internal Protection	(Note 4)	-	15	-	$^\circ C$

NOTES:

- Specifications at $-40^\circ C$ are guaranteed by design, not production tested.
- Guaranteed by design, not 100% tested in production.

典型性能曲线图

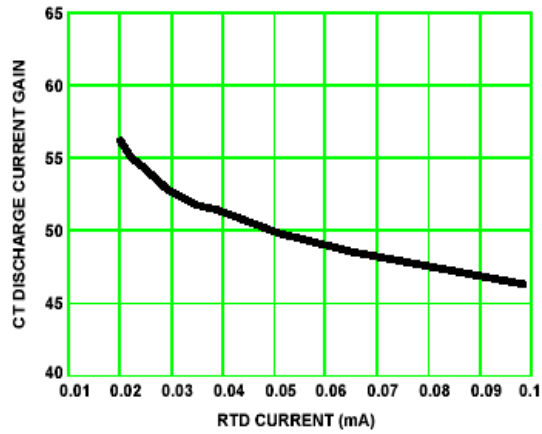


FIGURE 1. OSCILLATOR CT DISCHARGE CURRENT GAIN

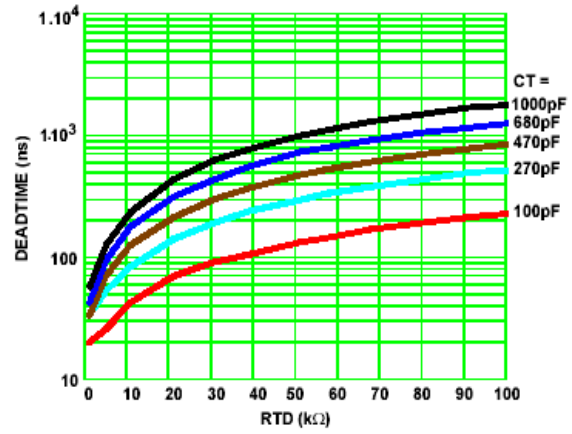
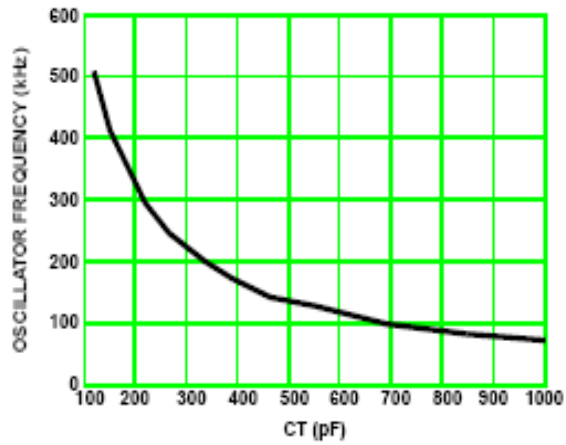


FIGURE 2. DEADTIME vs CAPACITANCE

FIGURE 3. CAPACITANCE vs OSCILLATOR FREQUENCY
(RTD = 49.9kΩ)

ISL744各管脚简介

V_{DD}

V_{DD}为电源输入端。要优化抗扰度，用一个陶瓷电容器尽可能靠近并焊接在V_{DD}和GND引脚。

IC总供应电流，I_{DD}，取决于OUTA和OUTB输出端的负载。I_{DD} 电流是静态电流和平均输出电流的总和。平均输出电流(I_{OUT})与操作频率(F_{sw})和每输出端的负载电容的电荷量(Q)成正比，其值可用下式计算：

$$I_{OUT} = 2 \cdot Q \cdot F_{sw} \quad (EQ. 1)$$

R_{TD}

这是振荡器定时电容放电电流控制引脚。一个电阻器应连接在这引脚和GND之间。而流经这个电阻的电流决定放电电流的大小。放电电流的通常值则是这电流的55倍。PWM死区时间由定时电容放电时间决定。

C_T

振荡器定时电容应连接在这引脚和GND之间。

CS

这是过流保护比较器的输入端。过流比较器门限值设置为典型值0.600V。在每个开关周期的末端，CS引脚短接于GND。根据电流传感源阻抗，由于内部时钟和外部电力开关间的延迟，可能要求串联一个电阻。

超出过流门限值会启动延迟关断程序。一旦检测出过流情况，软启动充电电流源就会被截止。而软启动电容通过15 μA电流源放电，如果软启动电压降至3.9V(可承受的过流门限值)关断条件出现，OUTA和OUTB输出会强制降低。当软启动电压降至0.27V(重新设置门限值)，一个新软启动周期开始。

如果过流情况中断，且在50 μs时间内未达到关断门限值(3.9V)，过流关断是不会发生。软启动充电电流重新运行且软启动电压复位。

GND

器件上所有功能和电源地都以这个引脚为基准。由于高峰值电流和高频工作，布局必须是低阻抗的。故建议使用地线板块和短接线。

OUTA and OUTB

OUTA和OUTB为交替半周期输出端。每个输出具有1A峰值电流的输出能力可驱动MOSFETs或MOSFET驱动器，且以非常低的阻抗降低过冲和下冲。

SS

在这个引脚与GND之间连接软启动定时电容器来控制软启动的时间。电容值决定启动时占空比的增长率，且控制过流关断延迟和过流与短路间歇再启动周期。

功能概述

主要特点

ISL6744为那些以低成本的桥型拓扑结构且要求准确频率和死区时间控制的应用提供了一个极佳的选择。它有很多特点，其中有1AFET驱动器、可调软启动、过流保护和内部过热保护，因而ISL6744能以最少量的外部元件做出一个高度灵活的设计。

振荡器

ISL6744通过改变电阻R_{TD}和电容C_T来调振荡器频率高达2MH。

开关周期是定时电容充电和放电时间之和。充电时间由C_T和内部160 μA电流源决定，而放电时间取决于R_{TD}和C_T。

$$T_C \approx 1.25 \times 10^4 \cdot C_T \quad s \quad (EQ. 2)$$

$$T_D \approx \frac{1}{CTDischargeCurrentGain} \cdot R_{TD} \cdot C_T \quad s \quad (EQ. 3)$$

$$T_{OSC} = T_C + T_D = \frac{1}{F_{OSC}} \quad s \quad (EQ. 4)$$

T_C和T_D分别是充电和放电时间，T_{OSC}是振荡器自由运行周期，而F_{OSC}是振荡器频率。放电电流增益(DischargeCurrentGain = 45 to 65)可在第5页的表(或 Figure 1)到。一个输出的开关周期等于二个振荡器周期。由于传输延迟约5ns，实际时间比所计算的时间稍微长。这个延迟直接增加到开关时间，且引起定时电容峰值和谷电压门限过冲，因而增大了定时电容峰-峰的电压。另外，如果使用非常低充电和放电电流，时间误差将会因CT引脚处的输入阻抗而增加。

最大占空比(D)和死区时间(DT)可用以下公式计算：

$$D = T_C / T_{OSC} \quad (EQ. 4A)$$

$$DT = T_{OSC} \times (1 - D) \quad (EQ. 4B)$$

软启动运作

ISL6744使用外部电容和内部电流电源来作软启动。软启动降低启动期间的电压和浪涌电流。

在用以驱动PWM门控的软启动比较器里，振荡器电容C_T信号与软启动SS电压作比较。当软启动电压(SS)少于2.8V时，占空比会受到限制。输出脉宽随着软启动电容电压的增加而增加。这使软启动期间的占空比可从零增加到最大脉宽。当软启动电压超过2.8V，软启动完成。软启动开始于启动或因过流关断而复位时。软启动电压被钳位在4V。

门极驱动器

ISL6744 可灌出和吸收1A峰值电流，且可连接一个 MOSFET 驱动器如ISL6700作电平转移之用。如要限制峰值电流通过IC，一个外部电阻应连接在IC的推拉输出 (OUTA或OUTB引脚)和MOSFET的门极之间。而这个小串联电阻能阻尼由线组寄生电感和FET的输入电容的共振所产生的振荡。

过流运作

软启动周期完成后，过流延迟关断保护才启动。如果检测出过流情况，软启动充电电流电源就会中止，且软启动电容通过15μA电源放电。过流情况停止后，在50μs时间内，如果软启动电容器放电至3.9V，输出停止。这种状态持续到软启动电压降至270mV，开始新软启动周期。如果在软启动电压降至的3.9V前，且过流情况停止至少50μs，软启动充电电流会恢复正常运作，而软启动电压会复位。

过热保护

内热传感器保护器件芯片结温不超出145°C，而热迟滞约15°C。

接地要求

为使这个器件能理想地工作，应该要仔细布局。特别是应用一个好的接地面，VDD 必须以一个好的高频电容直接连接到地(GND)。

典型应用

ISL6744典型应用电路是非调节的半桥型DC-DC 变换器，通常指DC 变压器或总线变换器。

输入电压是48V±10%直流。当输入电压是为48V，输出典型值为12V。因为这是非调节的拓扑结构，故输出电压会随输入电压均衡地变化。负载调整率是取决于电源和变换器输出之间的电阻，而输出电流额定为8A。

电路元件

这个变换器的设计包括这以下功能块:

输入滤波: L1, C1, R1

半桥电容: C2, C3

隔离变压器: T1

原边电路缓冲器/减振器: C13, R10

启动偏压调节器: CR3, R2, R7, C6, Q5, D1

电源过滤元件: C15, C4

原边的功率 MOSFET: QH, QL

电流感应网络: T2, CR1, CR2, R5, R6, R11, C10, C14

控制电路: U2, C18, C17, D2

输出整流和滤波: QR1, QR2, QR3, QR4, L2, C9, C8

副边的缓冲器: R8, R9, C11, C12

FET 驱动器: U1

驱动器的阴极输出电路器件: CR4, C5

零电压转换谐振延迟: L3, C7

设计指标

为了评估目的, 选择以下设计要求:

开关频率, F_{sw} : 200 kHz

输入电压, V_{IN} : 48 ± 10% V

输出电压, V_{OUT} : 12 V (典型值)

定态负载, I_{OUT} : 8 A

输出功率: 100W

效率: 95%

输出电压波纹系数: 1%

变压器设计

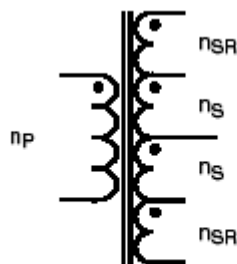


FIGURE 4. TRANSFORMER SCHEMATIC

半桥式应用的变压器设计是一件直接但是要多次重复的过程. 这个设计过程将会有许多妥协, 当面临相同要求/指标时, 即使非常有经验的设计师也会有不同的设计方案. 为了清晰起见, 迭代反复设计过程将不予讨论.

简略的设计过程如下:

选择适于此应用的磁心的几何形状. 高度, 占位面积, 安装要求, 以及工作环境将会影响到这个选择.

决定圈数的比例.

选择适当磁心的材料(可能多于一种).

选择适合操作的最大磁通量密度.

选择磁心的尺寸大小. 磁心体积将取决于磁心结构贮藏能量的能力, 必须绕的圈数, 所要的线材号数. 在通常的情况下, 窗口面积(绕线的空间)以及功率损耗将会决定最终的选择.

确定适合操作的最大的磁通量密度. 所允许的磁通密度将会由工作频率, 选择的磁心材料以及工作环境来决定.

初次选择适当的磁通密度往往是比较困难的.通常一个可以被认可的设计往往利用最大允许的磁通密度,但是有时也会因为绕线的几何形状而选用比较大的磁心

确定原边线圈的圈数.

选择每个绕组的线规.

确定绕线次序和绝缘材料要求.

核实设计.

对于现在的应用,为了达到薄型的设计要求,我们将选择一个平面构造的磁心.一个PQ式样的磁心被最终选用是因为它的中心支架的横剖面是圆形的,当然有许多其他的适用的磁心样式.

由于这个转换器是在近乎100%的占空比里开环工作,绕圈数的比例(N)是输入电压与输出电压的比例除以2.

$$N = \frac{V_{IN}}{V_{OUT} \cdot 2} = \frac{48}{12 \cdot 2} = 2 \quad (\text{EQ. 5})$$

这个除数系数为2是由于半桥拓扑结构,因为只有一半的输入电压被变压器的原边所用.

TDK 公司的型号为PC444PQ20/6的“E-磁心”以及型号为PC44PQ20/3的“I-磁心”被选用为变压器的磁心.铁氧体材料是PC44.

与磁通量密度有关的磁心参数是其有效的磁心断面, A_e . 对于被选择的PQ磁心,

$$A_e = 0.62 \text{ cm}^2 \text{ or } 6.2e-5 \text{ m}^2 \quad (\text{EQ. 5A})$$

运用法拉第原理, $V = N d\Phi/dt$, 一旦最大磁通密度被设置,原边线圈圈数可以被确定. 一个可以接受的最大磁通量密度是由铁氧体磁心材料可以允许的功率损失,以及磁心损耗,磁心的几何形状,运行环境温度以及通风的情况来决定.

根据TDK公司提供的有关PC44材料的数据表,其磁心损耗因数在 ± 2000 高斯和100KHz 正弦波激发下是 400 mW/cm^3 . 现应用是200KHz的方形波激发,因此无法把应用和数据表做直接的对照. 在此数据插值法是必需使用的手段. 磁心体积大约为 1.6 cm^3 , 所以磁心的损耗大约为1.28W.

$$P_{\text{loss}} \approx \frac{\text{mW}}{\text{cm}^3} \cdot \text{cm}^3 \cdot \frac{f_{\text{act}}}{f_{\text{meas}}} = 0.4 \cdot 1.6 \cdot \frac{200 \text{ kHz}}{100 \text{ kHz}} = 1.28 \text{ W} \quad (\text{EQ. 6})$$

对于这种磁心体积,1.28W的损耗是相当大的. 将磁通量密度降低到1200高斯会以大致同样的百分比减少损耗,或者说能减少40%的损耗. 但是最终在运用上对于变压器的评估将会决定这是否能被接受.

根据法拉第的原理以及利用1200高斯作为磁通量密度的峰值 ($\Delta B = 2400$ 高斯 OR 0.24 TESLA)

$$N = \frac{V_{IN} \cdot T_{ON}}{2 \cdot A_e \cdot \Delta B} = \frac{53 \cdot 2 \cdot 10^{-6}}{2 \cdot 6.2 \cdot 10^{-5} \cdot 0.24} = 3.56 \text{ turns} \quad (\text{EQ. 7})$$

原边线圈圈数圆整为4圈,而4圈的磁通密度的峰值大约是1100高斯. 运用EQ. 5, 副边线圈圈数是2.

这个设计的伏匝数在输入电压为 $V_{IN} = 43\text{V}$ 时等于5.4伏匝;在输入电压为 $V_{IN} = 53\text{V}$ 时等于6.6伏匝. 所以对于每个适当的FET选择,同步整流器(SR)绕组的圈数可以设置为1圈. 如果同步整流器绕组的圈数被选用为2圈,虽然这个选择是可以接受的,但是会增加门极驱动的损耗.

下一步将确定平面结构的等效线规. 因为每一个副边绕线只是在50%的周期里导通,均方根电流是 7.07A , D是占空比.

$$I_{\text{RMS}} = I_{\text{OUT}} \cdot \sqrt{D} = 10 \cdot \sqrt{0.5} = 7.07 \text{ A} \quad (\text{EQ. 8})$$

因为这个设计采用了FR-4印刷电路板的平面绕线结构,铜线的宽度将被窗口区域的宽度所限制,并且其层数将被窗口区域的高度所限制. 被选择的PQ磁心的可以利用的窗口区域宽度是0.165英寸. 假设每一层有一圈绕线以及有0.020英寸的边缘隔离,这将允许最大线迹宽度为0.125英寸. 在这里我们将用100圆米尔(C.M.)/A作为电流密度的指标,与此同时利用EQ. 8,将得出每个副边线圈必需707 C.M. (圆米尔 Circular Mils 是直径为0.001英寸的圆形面积). 把圆米尔转换成平方米尔得出555平方米尔 (0.785 SQ.MIL/C.M.). 用以上的结果除以线迹的宽度,将得出铜线的厚度为4.44米尔(0.112毫米). 使用1.3米尔/盎斯的铜将要求铜分量为3.4盎斯. 为了降低费用,3盎斯的铜将被选用.

每个副边线圈的一层也包含同步整流器绕组的圈数. 对于这层来讲,副边线迹宽度将会被减少,减少的范围将会从0.025英寸到0.100英寸不等(把0.015英寸作为同步整流器端的线迹宽度并且采用0.010英寸作为同步与副边绕线的间隔距离).

铜分量选用是否恰当也可以用计算副边线圈的直流铜损耗来做进一步的确定. 忽略终端以及引线电阻,每一层的副边绕线的电阻值可以用EQ. 9来推测

$$R = \frac{2\pi\rho}{t \cdot \ln\left(\frac{r_2}{r_1}\right)} \quad \Omega \quad (\text{EQ. 9})$$

式中:

R 是绕线电阻

ρ 是铜的电阻率,在20°C时是 $669e-9 \Omega$ -英寸

t 是铜的厚度(3盎斯分量),为 $3.9e-3$ 英寸

r_2 是铜线迹的外径为0.324英寸,或者0.299英寸

r_1 是铜线迹的内径为0.199英寸

同一层的绕线的直流电阻(没有SR同步线圈)是2.21毫欧姆. 同一层具有SR同步线圈绕线直流电阻是2.65毫欧姆. 副边线圈被配置为4圈中心抽头各边为2圈,在20°C时副边总直流功率损耗是486毫瓦.

原边绕线的均方根电流大约是 $5A(I_{OUT} \times N_s/N_p)$ 在约100% 占比). 原边绕线被配置为2层, 每层2圈绕线, 其目的是为了减少绕线堆栈高度. 假设边缘隔离是0.020英寸以及线圈与线圈之间有0.010英寸的隔离, 这将允许最大线迹宽度为0.0575英寸. 忽略终端和开端电阻, 并且使用EQ.9来计算, 内线迹的电阻是4.25毫欧姆, 外线迹的电阻是5.52毫欧姆. 原边绕线的电阻在20°C时是19.5毫欧姆. 总直流功率损耗在20°C为489毫瓦.

通过增加绕线的铜分量, 效率和热性能是可以提高的. 通过对应用的评估, 可决定其是否有必要.

绕线的次序以及几何形状会影响其交流电阻, 绕组电容以及变压器的漏感. 为了减少这些效应, 交叉绕组是必需的. 原边绕线是被夹在两个副边绕线之间. 绕线布局如图4A-4G所示.

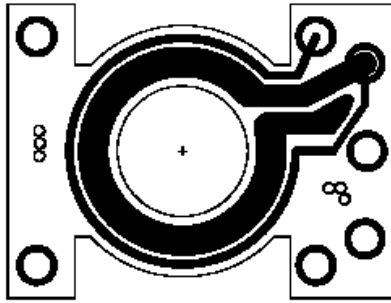


FIGURE 4A. TOP LAYER: 1 TURN SECONDARY AND SR WINDINGS

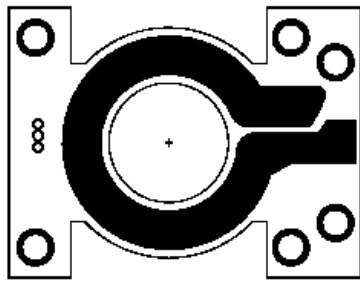


FIGURE 4B. INT. LAYER 1: 1 TURN SECONDARY WINDING

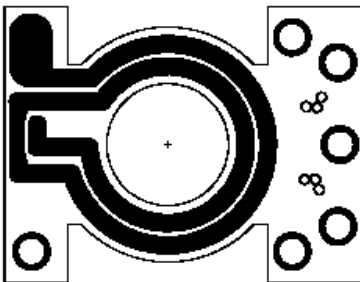


FIGURE 4C. INT. LAYER 2: 2 TURNS PRIMARY WINDING

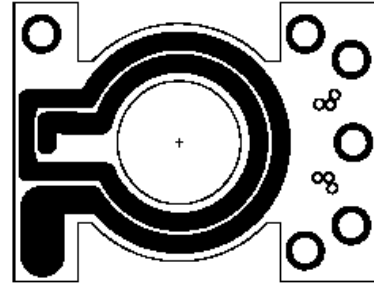


FIGURE 4D. INT. LAYER 3: 2 TURNS PRIMARY WINDING

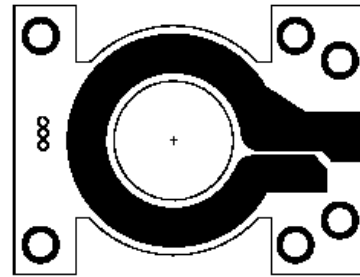


FIGURE 4E. INT. LAYER 4: 1 TURN SECONDARY WINDING

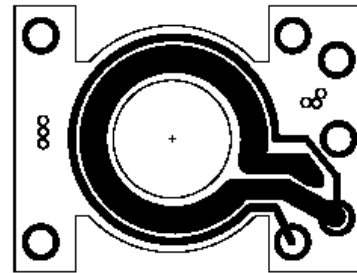


FIGURE 4F. BOTTOM LAYER: 1 TURN SECONDARY AND SR WINDINGS

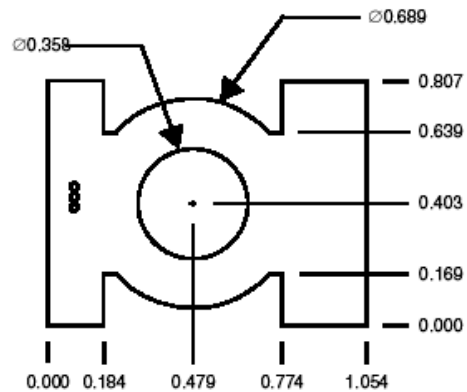


FIGURE 4G. PWB DIMENSIONS

MOSFET 选择

原边半桥型FETs和副边同步整流器FETs的选择依据主要根据元件的电流和电压额定值，但不能忽略FET漏、源极间电容和栅极电荷。

零电压开关(ZVS)转换时间取决于变压器漏感和上层场效应管(FET)源极和低层FET漏极间的结电容。结电容包括FETs的漏源极电容和变压器寄生电容。漏感和电容形成的LC共振电路决定转折时间，而存储在LC电路中的能量则决定转折电压振幅。如果漏感能量太低，ZVS则近乎无法实现或只能部份实现ZVS。电压振幅会随漏感能量的增加而增加，直到被FET本身的二极管钳位到地或到VIN取决于FET的传导。当漏感能量超出ZVS操作的最小值时，电压被钳位直至可变换能量。这会增加ZVS操作的时间空间，但这转换时间和电压被钳位时间会减少有效的占空比。

栅极电荷会影响FETs的开关速度。较高的栅极电荷需要更高的驱动力且会减慢开关速度和损耗更大，驱动能量会转化为热能而令元件的温度升高。

最大输入电压(VIN)与瞬变电压之和决定了所要求的额定电压值。现应用电路的最大输入电压为53V，若加上10%的瞬变，则额定电压需要60V或更高才足够。

通过各个原边FET的电流有效值(RMS)可用公式EQ.8计算。若以原边电流5A代替IOUT(假设占空比100%)，其计算结果是RMS=3.5A。Fairchild FDS3672 FETs，额定为100V和7.5A(低导通电阻Rdson = 22mΩ)，可选用作半桥型开关。

假设不存在开关瞬变情况，同步整流器FETs必须承受约一半的输入电压。建议所用元件至少能承受30V电压。但电路的测试结果显示：20V开关瞬变至少需60V的FETs。

每个SR FET的额定电流RMS值为7.07A，需用一个低Rdson减少传导损失，但很难找到一个电压为60V且低Rdson的FET。通常并联两个元件以简化热性能设计。

现用两个Fairchild的FDS5670并联作为一边的同步整流器，而两边共需四个SR FETs。FDS5670的额定电压为60V，额定电流为10A(Rdson = 14mΩ)。

振荡器元件选择

200kHz的工作频率是变换器的设计标准之一。由于一个完整变换器期需两个时钟周期，故振荡器工作频率为两倍的变换器频率。

每个振荡器周期的定时电容(CT)必须要充放电。确定达到零电压开关(ZVS)所需放电时间是选用定时元件的重要设计目的。放电时间决定两个输出间的死区时间，且应与ZVS转折时间相同。确定了放电时间，所剩的时间则为充电时间。

ZVS转折时间取决于主变压器漏感量(Llk)、FET的输出电容(Coss)、变压器的寄生绕组电容、和其它结寄生元素。而参数可用测量、计算、估计或组合这些方法确定。

$$t_{ZVS} \approx \frac{\pi \sqrt{L_{lk} \cdot (2C_{oss} + C_{xfrmr})}}{2} \quad s \quad (EQ. 10)$$

元件输出电容(Coss)是非线性于供应电压。利用充电模型式可获知等效隔离电容(Cfet)，而用已知的电流源，并确定所需的MOSFET漏极充电时间至运行电压，则等效电容可计算如下。

$$C_{fet} = \frac{I_{chg} \cdot t}{V} \quad F \quad (EQ. 11)$$

估计的转折时间确定后，还须在应用中得以证实。若测出变压器漏感为125nH，且总电容估计为2000pF，那麽所计算出的转折时间是25ns。但实际需要的放电时间(TD)约45ns。

半个开关周期的余数是充电时间(TC)，且可从下式计得：

$$T_C = \frac{1}{2 \cdot F_{sw}} - T_D = \frac{1}{2 \cdot 200 \cdot 10^3} - 45 \cdot 10^{-9} = 2.45 \quad \mu s \quad (EQ. 12)$$

式中：Fsw是变换器开关频率。

利用图3，可选出相应于振荡器工作频率为470kHz的电容量值。如图所示，相应于这个频率的定时电容值(CT)有100pF、150pF或220pF。此应用选择了150pF。

用公式EQ. 3可求出定时电阻值(RTD)，由于振荡器电路中传输延迟10ns，故它必须计算在内。此应用的RTD值为10kΩ。

输出滤波器设计

输出滤波器电感和电容选择是简单和直接的。在稳定状态工作条件下，大的占空比可令横跨电感电压非常小。只在开关转折时间才供应电压横跨电感，在此应用中约有45ns。忽略横跨SRFETs电压降落，输入电压(VIN)为48V时横跨电感电压是

$$V_L = V_S - V_{OUT} = \frac{V_{IN} \cdot N_S \cdot (1-D)}{2N_P} \approx 250 \quad mV \quad (EQ. 13)$$

式中：

VL是电感电压

VS是横跨副边绕组电压

VOUT是输出电压

若要设计电感电流的脉动(ΔI)为5%的额定输出电流，所需的最小电感值是

$$L \geq \frac{V_L \cdot T_{ON}}{\Delta I} = \frac{0.25 \cdot 2.08}{0.5} = 1.04 \quad \mu H \quad (EQ. 14)$$

此应用的1.5μH电感额定在18A。

以53V位最大输入电压,最大输出电压大约是13V,而最接近的较高电压额定电容为16V。在稳定状态操作条件下,由于电容的纹波电流较小,因而适宜用一低纹波电流额定电容。但由于输出的负载量通常是几个降压式变换器,因此应选择较高额定纹波电流的电容。为降低滤波器的输出阻抗,需并联一个SANYO OSCON 16SH150M电容与22 μ F 陶瓷电容。

电流门限值

电流门限值应设为典型值0.6V,这是过流保护比较器的基准电压。所设置的过流门限值不应影响开环变换器的动态运作。同时也应考虑到在稳定状态操作下,电感的纹波电流会随占空比的降低而显著地增加。

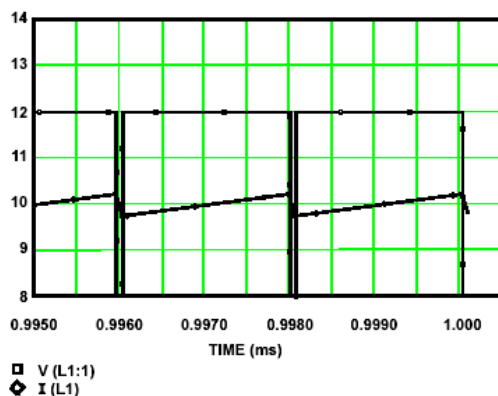


FIGURE 5. STEADY STATE SECONDARY WINDING VOLTAGE AND INDUCTOR CURRENT

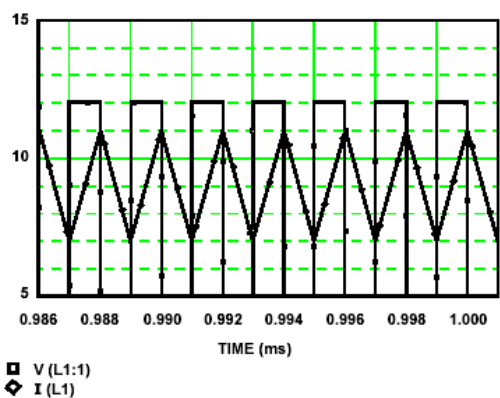


FIGURE 6. SECONDARY WINDING VOLTAGE AND INDUCTOR CURRENT DURING CURRENT LIMIT OPERATION

图5和6显示了在稳定状态和过流情况下的电感纹波的状况。此例中的峰值电流限制设为11A。峰值电流限制导致占空比降低,从而减少通过电感的平均电流。这意味着在稳定状态情况下,变换器在过流时无法供应相同的输出电流,因而峰值电流限制设点必须考虑到这一状况。用一个5.51 Ω 的电流检测电阻在副边变流器T2是相应于12A的峰值电流限制设点。

性能

变换器主要性能指标是效率、负载调整率。效率、负载调整率和输入电压调整率的性能如下图所示。

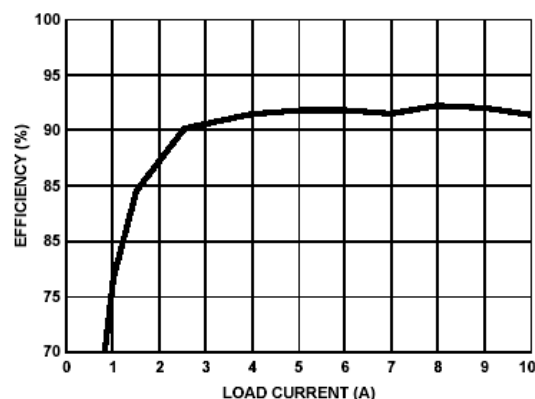


FIGURE 7. EFFICIENCY vs LOAD $V_{IN} = 48V$



FIGURE 8. LOAD REGULATION AT $V_{IN} = 48V$

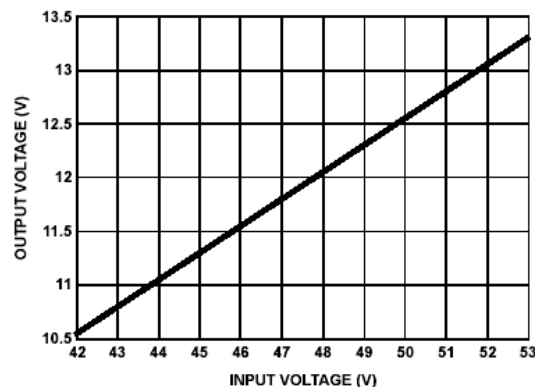


FIGURE 9. LINE REGULATION AT $I_{OUT} = 1A$

如图所示,与闭环反馈的等效交换器相比,此变换器的输出电压随输入电压和负载的变化而变化。这种设计方法可适用于那些不需用紧凑调整率的应用,如顺流DC-DC交换器的应用。

波形

典型的波形从下列图形可见。图10 显示了负载为5A时的输出电压纹波和噪声。

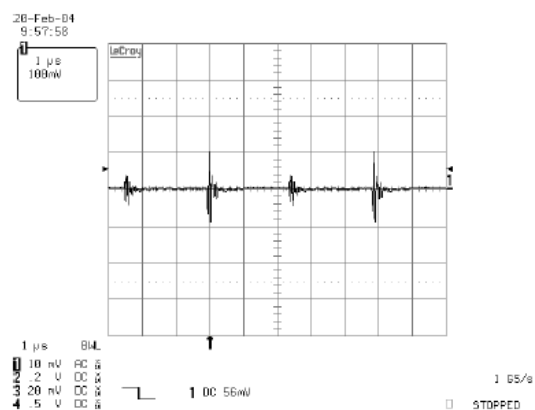


FIGURE 10. OUTPUT RIPPLE AND NOISE - 20MHz BW

图11和12所示的是上层场效应管（FET）源极和低层FET漏极的开关结的电压波形。图12显示在上层FET 关断而低层的FET导通时以及负载为5A时接近零电压开关（ZVS）操作。当ZVS操作发生时，表示所有存储在结电容的能量回收了。而图13显示在稳定状态操作期间，OUTA和OUTB输出之间的开关转折，而死区时间为46.9ns。

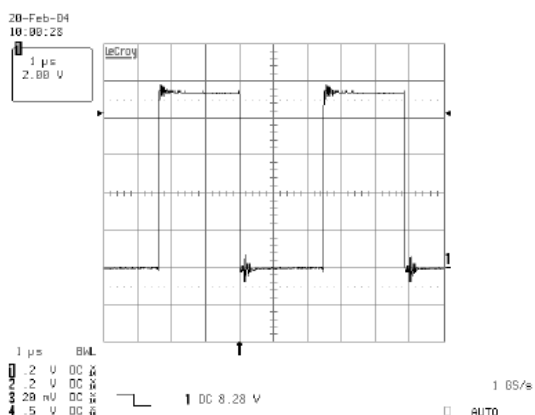


FIGURE 11. FET DRAIN-SOURCE VOLTAGE

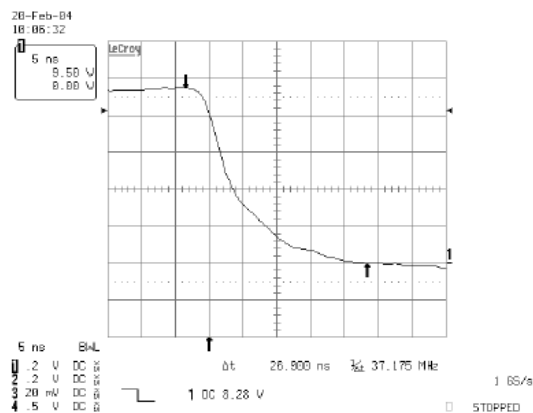


FIGURE 12. FET D-S VOLTAGE NEAR-ZVS TRANSITION

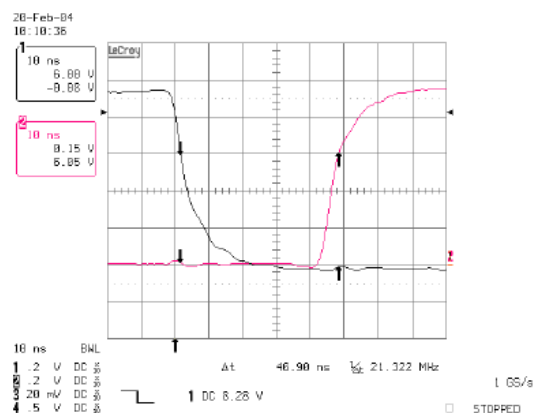


FIGURE 13. OUTA - OUTB TRANSITION

在ISL6700和ISL6744的Vdd接脚之间放一个2.7V齐纳(zener)用以确保在驱动器启动后才可启动PWM。软启动功能如图14所示

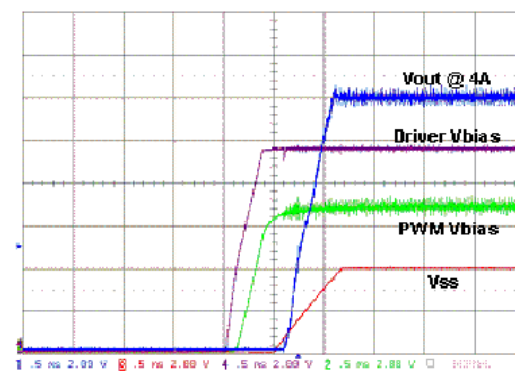
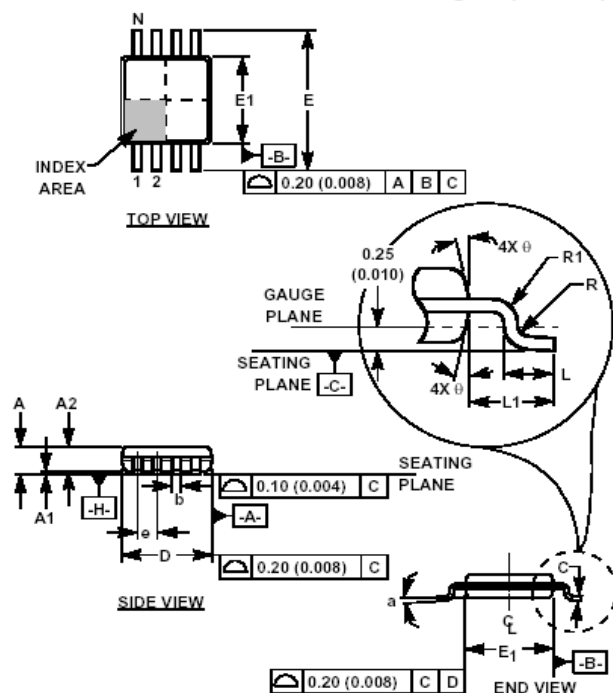


FIGURE 14. OUTPUT SOFT-START

典型应用的元件表

元件标号	元件值	元件描述
C1	1.0 μ F	Capacitor, 1812, X7R, 100V, 20%
C2, C3	3.3 μ F	Capacitor, 1812, X5R, 50V, 20%
C4	1.0 μ F	Capacitor, 0805, X5R, 16V, 10%
C5	0.1 μ F	Capacitor, 0603, X7R, 16V, 10%
C6, C15	4.7 μ F	Capacitor, 0805, X5R, 10V, 20%
C7	Open	Capacitor, 0603, Open or Optional Discrete Stray Capacitance
C8	22 μ F	Capacitor, 1812, X5R, 16V, 20%
C9	150 μ F	Capacitor, Radial, Sanyo 16SH150M
C10, C11, C12, C13, C14	1000pF	Capacitor, 0603, X7R, 50V, 10%
C16	150pF	Capacitor, 0603, COG, 16V, 5%
C18	0.01 μ F	Capacitor, 0603, X7R, 16V, 10%
CR1, CR2		Diode, Schottky, BAT54S, 30V
CR3		Diode, Schottky, BAT54, 30V
CR4		Diode, Schottky, SMA, 100V, 2.1A
D1	Replace	Zener, 10V, Zetex BZX84C10ZXCT-ND
D2	Replace	Zener, 2.7V, Zetex BZX84C10ZXCT-ND
L1	190nH	Pulse, P2004T
L2	1.5 μ H	Bitech, HM73-301R5
L3	Short	Jumper or Optional Discrete Leakage Inductance
P1, P2, P3, P4		Keystone, 1514-2
Q5	NPN	Transistor, ON MJD31C
QL, QH		FET, Fairchild FDS3672, 100V
QR1, QR2, QR3, QR4		FET, Fairchild FDS5670, 60V
R1	3.3	Resistor, 2512, 1%
R2	3.01K	Resistor, 2512, 1%
R5	5.11	Resistor, 0603, 1%
R6	205	Resistor, 0603, 1%
R7	75.0K	Resistor, 0805, 1%
R8, R9	20	Resistor, 0805, 1%
R10	18	Resistor, 2512, 1%
R11	100	Resistor, 0603, 1%
R12	10.0K	Resistor, 0603, 1%
T1	Custom	Midcom 31718
T2	Custom	Midcom 31719R
TP1, TP2, TP4, TP5, TP6	5002	Keystone
SP1		Tektronix Scope Jack, 131-4353-00
U1		Intersil ISL6700IB, SOIC8
U2		Intersil ISL6744AU, MSOP8

Mini Small Outline Plastic Packages (MSOP)



M8.118 (JEDEC MO-187AA)

8 LEAD MINI SMALL OUTLINE PLASTIC PACKAGE

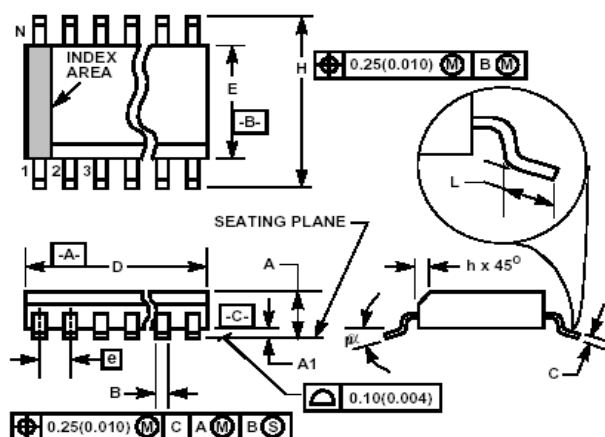
SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	0.037	0.043	0.94	1.10	-
A1	0.002	0.006	0.05	0.15	-
A2	0.030	0.037	0.75	0.95	-
b	0.010	0.014	0.25	0.36	9
c	0.004	0.008	0.09	0.20	-
D	0.116	0.120	2.95	3.05	3
E1	0.116	0.120	2.95	3.05	4
e	0.026 BSC		0.65 BSC		-
E	0.187	0.199	4.75	5.05	-
L	0.016	0.028	0.40	0.70	6
L1	0.037 REF		0.95 REF		-
N	8		8		7
R	0.003	-	0.07	-	-
R1	0.003	-	0.07	-	-
θ	5°	15°	5°	15°	-
α	0°	6°	0°	6°	-

Rev. 2 01/03

NOTES:

- These package dimensions are within allowable dimensions of JEDEC MO-187BA.
- Dimensioning and tolerancing per ANSI Y14.5M-1994.
- Dimension "D" does not include mold flash, protrusions or gate burrs and are measured at Datum Plane. Mold flash, protrusion and gate burrs shall not exceed 0.15mm (0.006 inch) per side.
- Dimension "E1" does not include interlead flash or protrusions and are measured at Datum Plane. **-H-** Interlead flash and protrusions shall not exceed 0.15mm (0.006 inch) per side.
- Formed leads shall be planar with respect to one another within 0.10mm (0.004) at seating Plane.
- "L" is the length of terminal for soldering to a substrate.
- "N" is the number of terminal positions.
- Terminal numbers are shown for reference only.
- Dimension "b" does not include dambar protrusion. Allowable dambar protrusion shall be 0.08mm (0.003 inch) total in excess of "b" dimension at maximum material condition. Minimum space between protrusion and adjacent lead is 0.07mm (0.0027 inch).
- Datums **-A-** and **-B-** to be determined at Datum plane **-H-**.
- Controlling dimension: MILLIMETER. Converted inch dimensions are for reference only.

Small Outline Plastic Packages (SOIC)



NOTES:

1. Symbols are defined in the "MO Series Symbol List" in Section 2.2 of Publication Number 95.
2. Dimensioning and tolerancing per ANSI Y14.5M-1982.
3. Dimension "D" does not include mold flash, protrusions or gate burrs. Mold flash, protrusion and gate burrs shall not exceed 0.15mm (0.006 inch) per side.
4. Dimension "E" does not include interlead flash or protrusions. Interlead flash and protrusions shall not exceed 0.25mm (0.010 inch) per side.
5. The chamfer on the body is optional. If it is not present, a visual index feature must be located within the crosshatched area.
6. "L" is the length of terminal for soldering to a substrate.
7. "N" is the number of terminal positions.
8. Terminal numbers are shown for reference only.
9. The lead width "B", as measured 0.36mm (0.014 inch) or greater above the seating plane, shall not exceed a maximum value of 0.61mm (0.024 inch).
10. Controlling dimension: MILLIMETER. Converted inch dimensions are not necessarily exact.

M8.15 (JEDEC MS-012-AA ISSUE C)
 8 LEAD NARROW BODY SMALL OUTLINE PLASTIC PACKAGE

SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	0.0532	0.0688	1.35	1.75	-
A1	0.0040	0.0098	0.10	0.25	-
B	0.013	0.020	0.33	0.51	9
C	0.0075	0.0098	0.19	0.25	-
D	0.1890	0.1968	4.80	5.00	3
E	0.1497	0.1574	3.80	4.00	4
e	0.050 BSC		1.27 BSC		-
H	0.2284	0.2440	5.80	6.20	-
h	0.0099	0.0196	0.25	0.50	5
L	0.016	0.050	0.40	1.27	6
N	8		8		7
α	0°	8°	0°	8°	-

Rev. 0 12/93

All Intersil products are manufactured, assembled and tested utilizing ISO9000 quality systems.
 Intersil Corporation's quality certifications can be viewed at www.intersil.com/design/quality.

Intersil products are sold by description only. Intersil Corporation reserves the right to make changes in circuit design and/or specifications at any time without notice. Accordingly, the reader is cautioned to verify that data sheets are current before placing orders. Information furnished by Intersil is believed to be accurate and reliable. However, no responsibility is assumed by Intersil or its subsidiaries for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Intersil or its subsidiaries.

For information regarding Intersil Corporation and its products, see www.intersil.com