设计指南

提高 IR2151 和 IR2152 在镇流器应用中的抗锁定能力

IR2151 和 IR2152 是按照电子灯镇流器的要求设计的高压控制集成电路。这些器件包括类似于流行的 CMOS555 定时电路的振荡器和高压半桥 MOS 门极驱动电路。其它功能有控制 IC 和灯的启动，给高端和低端的门极驱动输出提供 1.2μs 的死区时间。IR2151 和 IR2152 的不同点仅在它们的振荡器输出到门极驱动输出的相位关系上。

图 1 所示是用 IR2151 作为镇流器控制核心的典型电子灯镇流器电路。半桥输出的振荡频率由定时元件 R_T 和 C_T 决定（占空比为 50%）。当高压经 R1 向 IC 供电端的去耦电容 C1 充电，电压上升到大于芯片的欠压锁定保持值时能够自启动。灯丝的预热是由初始值较低的正温系数电阻 R3 完成，当这个电阻温度上升时，启动电容 C4 两端的电压会上升，直到灯管两端有足够的电压使它击穿。一旦灯管被击穿，则它的光束电流由半桥输出的频率、直流总线电压和串联谐振负载、滤波电容 C3 和 L2 的值共同控制。

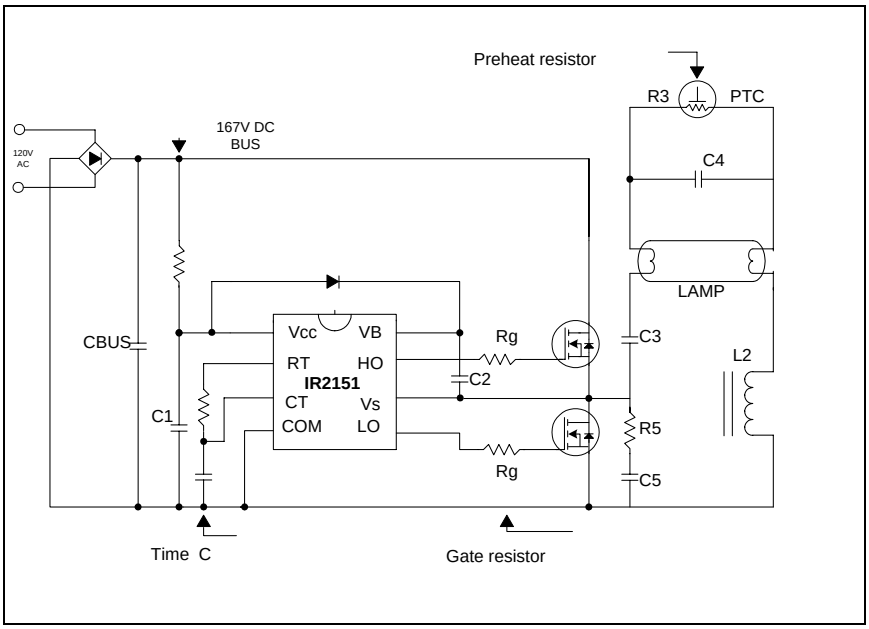


图 1. IR2151 构成的典型电子镇流器

了解 CMOS 门极驱动锁定的根本机理是防止功率半桥电路发生问题的首要一步。图 2 展示了典型的 CMOS 门极驱动 IC 的输出级。虽然在电路内部起作用的元件仅有 PMOS 和 NMOS 驱动晶体管（MP1 和 MN1），寄生双极晶体管 NPN 和 PNP 与 CMOS 元件和 ESD 保护二极管一同作用。为了减小这些寄生双极晶体管的影响，在两方面要做大量设计工作：首先，在输出极的布线方面应减小基极到发射极间的分流电阻；其次，增大直接流入电源的总的集极电流（而非辅助元件）。PNPN 锁定结构虽然不能完全地消除，然而寄生电路构成的 SCR 也必须在一定条件下才会开通。

考虑到 IR2151 和 IR2152 的应用电路，触发 PNPN 可控硅结构的最常见方法是输出电压高于电源或低于电源。当输出高于双极性晶体管的电压 V_{BE}，并且有足够集电极电流，使辅助晶体管开通。当两个元件开通而它们的(β)乘积又超过 1.0 时，导通将重复发生，使供电与地通过 SCR 结构被短路。这通常导致 IC 内部金属化永久性损坏和丧失功能的原因。

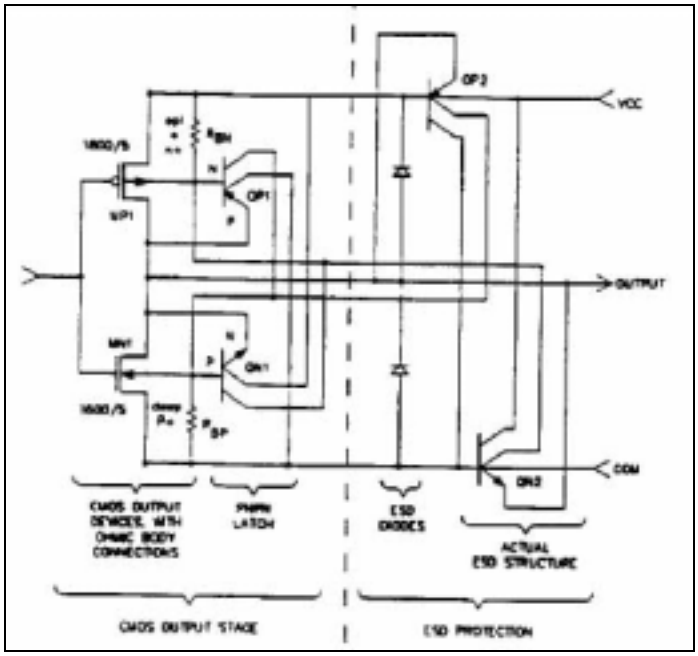


图 2. 含有寄生晶体管的 CMOS 栅极驱动输出

IR2151 和 IR2152 至少有 500mA 的抗锁定能力。即如果你强制输出高于供电电压或低于地电位。也就是说，一个 500mA 的电流源给输出端，都不会有锁定的现象发生（即 PNPN 结构不能被触发）。在室温下，IR2151 和 IR2152 内部锁定触发的典型值电流要求大于 1.2A。另外，因为寄生横向 PNP 晶体管的 f_T 较低（ $f_T < 1MH_Z$ ），锁定电流也是电流脉宽的函数。对于电流脉冲宽度小于 1μs 时，有效锁定电流将迅速上升，如果电流脉冲足够小，锁定根本不能够发生。锁定电流的温度系数是负值（ $TC = -5000ppm/°C$ ），因为寄生 NPN 晶体管的β是正温度系数。

如果运用适当的设计和布线技术，在应用电路中使用 IR2151 或 IR2152，避免内部潜在锁定是不困难的。

首先，运用正确的地线技术，IC 的接地脚（COM 端）应与低端功率 MOSFET/IGBT 源极直接紧凑连接，然后将此点连到高压总线电容的负端（如图 3a）。L_P*di_L/dt 就成为 IC 地端和低端功率 MOSFET/IGBT 源极共模噪声，并且减小了 IC 内部锁定开通的可能性（注意：IC 的供电脚是用电容到地就地去耦，并且与功率电路有阻性阻抗耦合，它也以共模的形式和低端功率 MOSFET/IGBT 源一起变化）。同样的布线方针应用在高端 MOSFET/IGBT 和门极驱动输出 H_O（它与 V_S 构成回路）。如果 PCB 布线类似于图 3b 所示那样，那么，差模噪声 L_D*di_L/dt 将是导致 L_O（或 H_O）端被强制低与 COM（或 V_S）脚，使电路有更大的锁定可能。

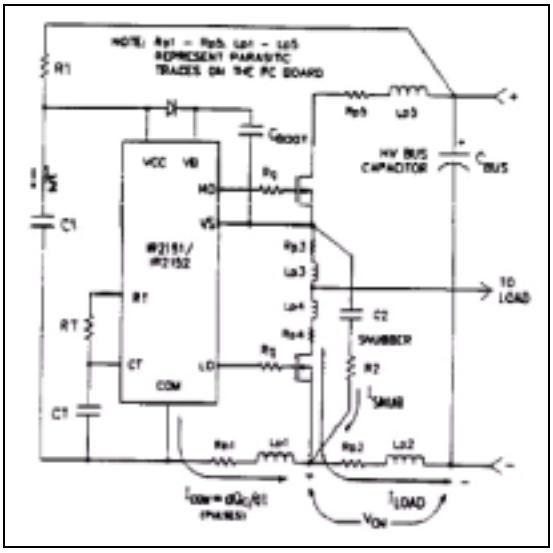


图 3a. 适当的地线布局将形成共模噪声

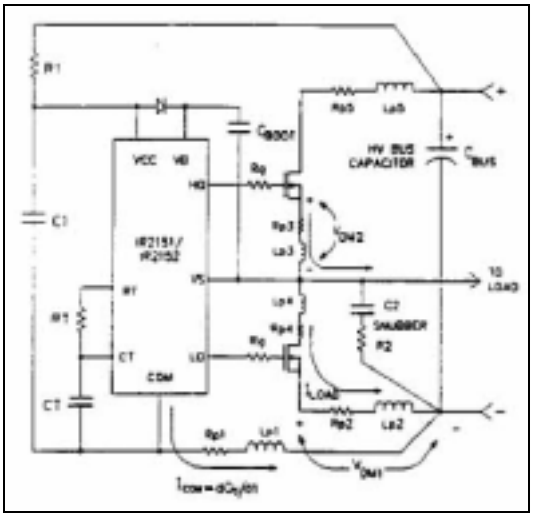


图 3b. 不适当的地线布局将形成共差模噪声

第二个抗锁定能力设计问题是已经提到过的在输出电压开关期间，IC 流出的位移电流和功率 MOSFET/IGBT 门极的有效交流阻抗。

参考图 4，用低端功率 MOSFET/IGBT 栅极与漏极间的电容乘以输出电压 dv/dt 就是 IC 流出的位移电流，强制 L_O 输出电压低于地电位（COM）。

如果这个位移电流足够高，则寄生门极驱动输出极 NPN 和 PNP 晶体管将导通，使 V_{CC} 到 COM 锁定。这个可控硅结构试图使电源到地进行放电，去耦电容通过 IC 内部的 V_{CC} 到 COM 放电。但是作为典型的 CMOS 输出极寄生可控硅有几个安培的电流导通能力，锁定电流通常超过 IC 内部金属连接线的熔化电流，而使 IC 的供电变为开路。最坏情况是 IC 低压耦合电容的 ESR 很小，因此其交流阻抗很低，从而可提供更大的放电电流给 SCR。

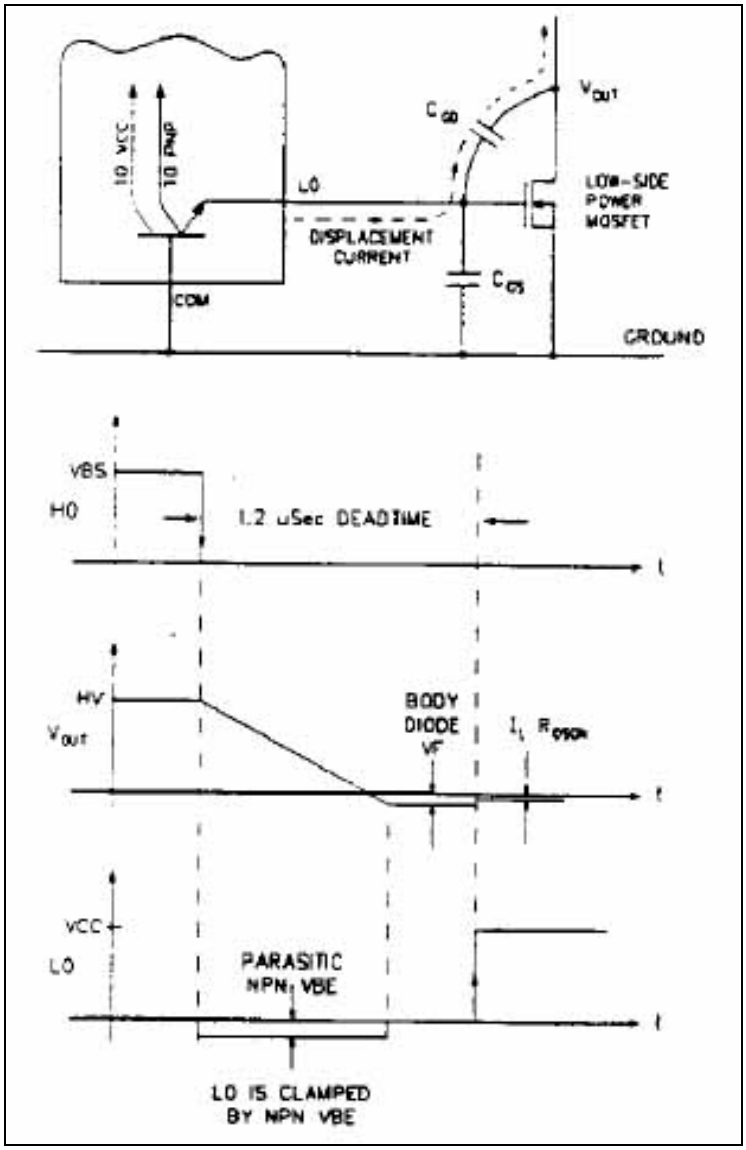


图 4. 输出电压变化引起 IC 位移电流

镇流器设计者应注意在功率 MOSFET/IGBT 的导通和开关损耗之间必须达到一个折衷，通常所提的“保守”设计（即用过大功率 MOSFET）可能导致别的问题。

减小这些 $C_{GD}*dv_{OUT}/dt$ 位移电流的影响，从而增加 IC 驱动到功率晶体管的抗锁定能力的一个有效的方法是：从半桥输出到高压直流总线或地回路安置缓冲器。

参考图 5 所示的镇流器电路图，10Ω 0.001μF RC 缓冲器从半桥输出节点到地减小了输出的 dv/dt，因此减小了流出 IC 的位移电流（这样缓冲器也适合减小镇流器的 EMI 噪声辐射）。缓冲器时间常数的上限受 IC 内部死区时间为 1.2μs 和维持功率 MOSFET/IGBT 开关操作。缓冲器电路独自消除 IC/MOSFET/负载三者所有可能接合情况的锁定问题是不太可能的。增加 IC/MOSFET/负载系统抗锁定能力的第二种方法是在 IC 输出（H_O/C_O）和功率晶体管门极之间连接一个电阻，如图 6 所示。这个电阻限制了在半桥输出电压转换期间 IC 输出的电流，并且强制了大多数 $C_{GD}*dv_{OUT}/dt$ 位移电流从功率 MOSFET 的栅源极电容流出。

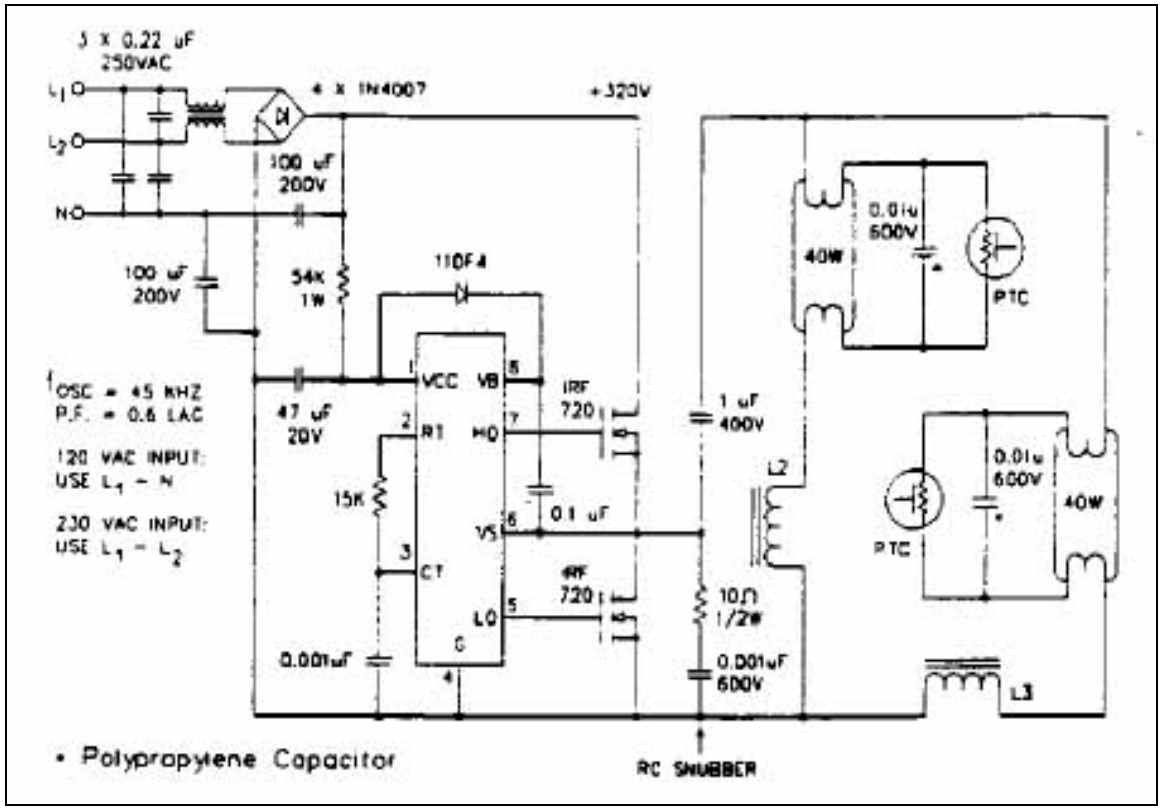


图 5. 半桥输出的吸收电路

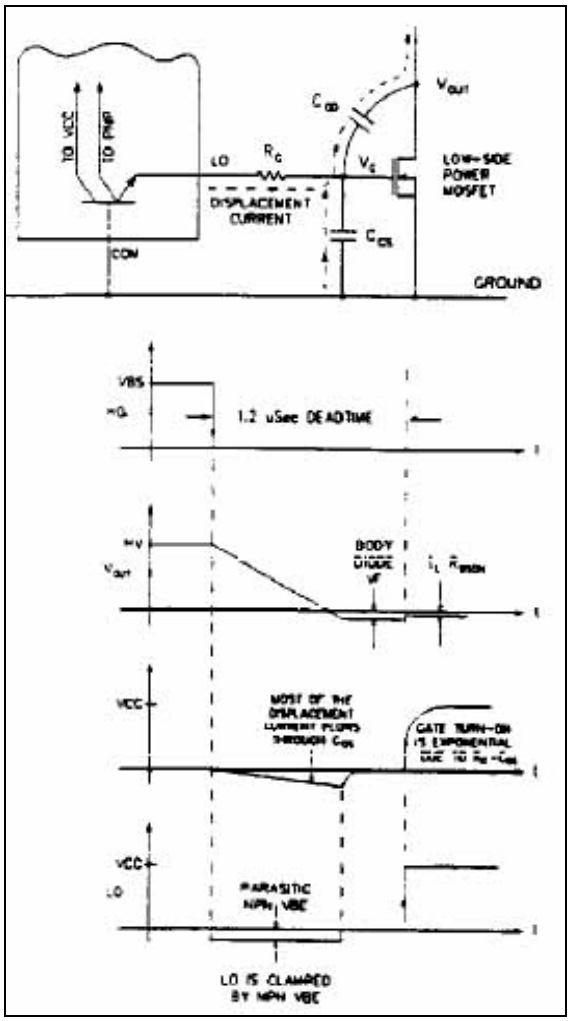


图 6. 栅极电阻缓冲功率管开关噪声

这个栅极电阻值的选取要保证 IC 输出电流不大于±500*mA*。（请注意通常 MOSFET 开通和关断输出电流不需要被限制。在这种模式下，栅极电阻仅给功率 MOSFET 栅源电容、栅源电感在一起构成的 LC 储能电路提供阻尼，并且给用户提供修正栅极上升和下降时间。）

因为存在如图 7 所示的现象。这个栅极电阻存在一个上限值，如果栅极电阻太高，当正的输出电压转换期间，C_{GD}*di_{OUT}/dt 位移电流导制功率 MOSFET 的栅极电压高于它的维持电压，使它再次导通。

在这种情况下，应减缓输出电压速率，以降低功率 MOSFET 的关断速率（不是缓冲器元件的值），但功率晶体管中开关损耗将增加。

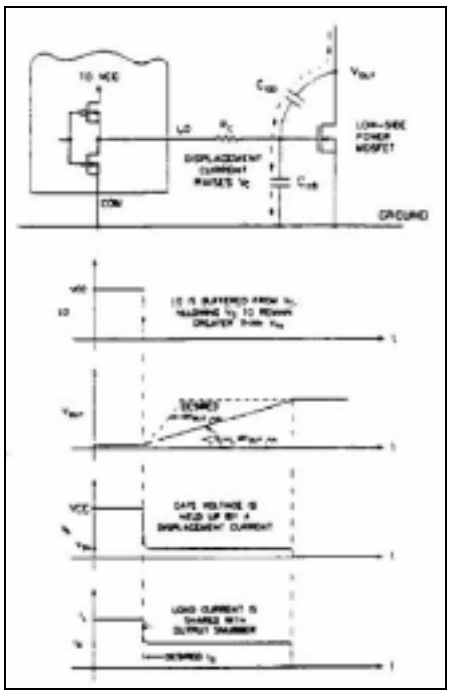


图 7.由于高栅极电阻而引起功率管自开通

对于需要高栅极电阻值的镇流器设计者，用二极管并联在栅极电阻两端，如图 8 所示，来防止自导通问题。

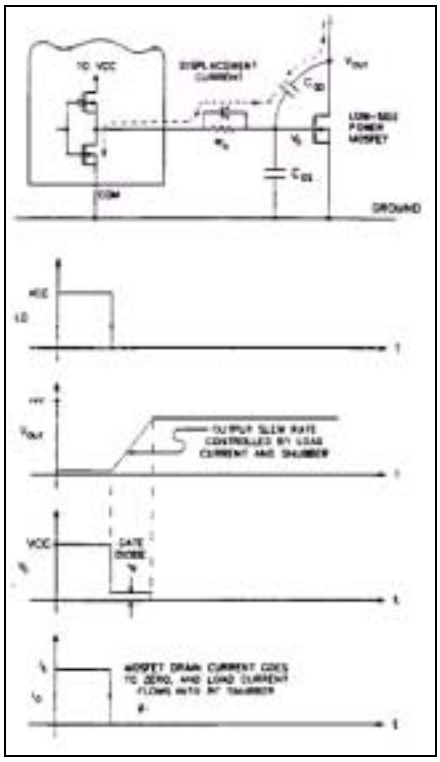


图 8. 并联二极管提高关断速率

在栅极充电时，二极管反偏，因此栅极电压上升时间由 R_G Ciss 时间常数决定。栅极放电期间，二极管正偏并提供一个低阻抗通路来加快栅极电压下降时间。另外，当 $C_{GD}*dv_{OUT}/dt$ 位移电流从 IC 输出流出时二极管反偏，因此，维持很好的锁定能力。

基于这些原因，镇流器设计者为了 IC/MOSFET/负载系统有更好的抗锁定能力、镇流器更好的 EMI 性能和低开关损耗，需要同时考虑以下设计参数。

1．数据表给出的功率 MOSFET/IGBT 的大小和内部电容。
2．缓冲器元件的值和希望得到的输出 dv/dt 的值。
3．IC 内部 1.2μs 死区时间。
4．栅极电阻值。

参考文献：

AN-995
AN-973
AN-978A
DT-92-1