

一种适用于模块并联的同步整流驱动电路

顾亦磊¹, 黄贵松², 章进法², 吕征宇¹, 钱照明¹

(1. 浙江大学电气工程学院, 浙江省 杭州市 310027; 2. 台达电力电子研发中心 上海市 浦东区 201209)

A SYNCHRONOUS RECTIFIER DRIVING CIRCUIT FOR MODULES IN PARALLEL

GU Yi-lei¹, HUANG Gui-song², ZHANG Jin-fa², LÜ Zheng-yu¹, QIAN Zhao-ming¹

(1. College of Electrical Engineering, Zhejiang University, Hangzhou 310027, Zhejiang Province, China;

2. Delta Power Electronics Center, Pudong District, Shanghai 201209, China)

ABSTRACT: Paper presents a synchronous rectifier driving scheme, which not only solves the problem of short circuit when modules run in parallel but also keeps synchronous rectifier driving performance same as that of self-driven. In addition, amplitude of synchronous rectifier driving voltage can be adjusted by adopting the proposed circuit. The principle of operation and the characteristics of the scheme are analyzed in time domain and frequency domain, and verified on a 36V-75V input 1.8V/60A output experimental prototype, whose size is 1/4 brick and efficiency is above 90% at rating condition. Finally, simulation results verify the function of adjusting driving voltage amplitude of synchronous rectifier.

KEY WORDS: Power Electronics; Synchronous rectifier; Self-driven; Parallel

摘要: 该文提出一种适用于模块并联工作的高效率的同步整流驱动电路。采用这种驱动电路,同步整流的波形和驱动损耗可以做到和自驱动一样的效果,同时又解决了多个模块并联时会产生短路的问题。此外,采用这种驱动电路还可以调节驱动电压幅度的高低。文中从时域和频域两个角度对此电路进行了详细的原理分析。采用所推荐驱动电路的36~75V输入,1.8V/60A输出,四分之一砖标准的模块电源效率高达90%以上。最后,仿真结果验证了该电路调节同步整流驱动电压幅度的功能。

关键词: 电力电子; 同步整流; 自驱动; 并联

1 引言

目前DC/DC模块电源市场潜力非常巨大,但是各个厂家竞争也非常激烈^[1]。一直朝低电压,大电流,高功率密度的方向发展。体积上也越来越小,

从最初的全砖到半砖到1/4砖,直至目前的1/8砖。功能上也不断完善,模块间的可并联是发展的趋势,虽然目前市场上出现的可以并联工作的模块电源还比较少。

采用同步整流是模块电源朝低压大电流方向发展的必然结果^[2-3]。尽管采用同步整流技术,模块电源的损耗分布中,同步整流的损耗还是占最大的比重(一般占总损耗的30%以上)^[4-9]。同步整流的损耗难以降低的原因是受同步MOSFET的性能限制。同步整流的主要损耗有导通损耗和驱动损耗。通常采用多个MOSFET并联使用作为同步整流管^[10]。即使不考虑成本,并联的数量也有个上限,即导通损耗和驱动损耗达到平衡,这时再增加管子对效率的提高只有反作用了。因此同步整流的驱动方案的选择就变得很重要^[11-13]。

对于变压器上的电压波形是方波的DC/DC拓扑结构(例如不对称半桥,正激型有源钳位),自驱动是一种既简单又有效的驱动方法^[14]。它利用变压器上的方波电压对同步整流进行驱动,具有很强的驱动能力,并且在对同步整流管门极放电时会有一部分能量回馈到变压器,从而减少驱动损耗。

但是采用自驱动同步整流方案的模块在并联时会遇到麻烦。如图1所示,当多个DC/DC模块并联时,假如其中一个模块1出现故障而保护时,因为其它模块还在正常工作,所以输出母线上的电压还会保持在额定状态。此时,模块1的电感和变压器线圈就成了短路线,将输出母线上的电压引到了模块1的同步整流开关的门极上,那么同步整流开关就一直处于导通状态,将输出母线短路。

下面将提出一种同步整流的驱动电路,在正常

基金项目: 国家自然科学基金重点项目(50237030ZD)

Project supported by National Natural Science Foundation of China (50237030ZD)

工作时可以取得和自驱动一样好的效果,并且在其中一个模块故障保护的时候也不会出现以上的短路问题。

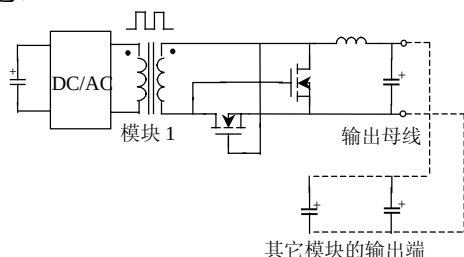


图1 模块并联示意图

Fig. 1 Modules connected in parallel

2 原理分析

该驱动电路如图2所示,在自驱动电路的基础上两边各增加一个电容和一个开关。另外,通常情况下也会在同步整流管门极和源极之间加一个电阻。

这个线路的工作原理可以从时域和频域两个角度来理解。首先,从时域角度来理解。假设主变压器上的电压波形为一个上升和下降斜率为固定值的方波,如图3所示。所有MOSFET在门极电压高于0V时就导通。辅助开关 S_{a1} 与续流管 S_2 同时开通,同时关断,辅助开关 S_{a2} 与整流管 S_1 同时开通,同时关断。 C_{p1} 和 C_{p2} 是同步整流管 S_1 和 S_2 的输入寄生电容。下面的分析先假设 $C_1=C_2 \gg C_{p1}=C_{p2}$ 。仅仅为了分析这个驱动电路的工作原理,所以以下的电流都是只考虑驱动电流,而不考虑主电路上的负载电流。

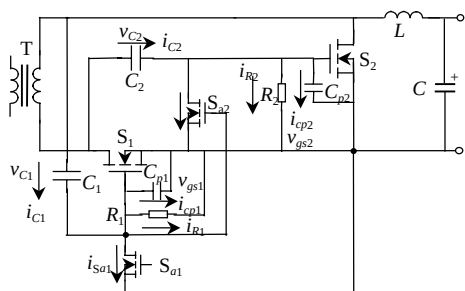


图2 适用于并联的同步整流驱动电路

Fig. 2 The proposed driving scheme

$t_0 \sim t_1$ 阶段:如图3和图4(a)所示,变压器上电压为正,并且正向增加。 S_1 和 S_{a2} 导通, S_2 和 S_{a1} 关断。隔直电容 C_1 和寄生电容 C_{p1} 被正向充电。但是电阻 R_1 上的电压为正,所以流过 C_1 的电流等于流过 C_{p1} 和 R_1 的电流之和,即 C_1 的充电电流大于 C_{p1} 的充电电流。

$t_1 \sim t_2$ 阶段:如图3和图4(b)所示,开关 S_1 和

S_{a2} 继续保持导通。 C_{p1} 上的电压为驱动电压,基本保持不变。但是继续对 R_1 放电,略有下降,而 C_1 上电压略有上升。

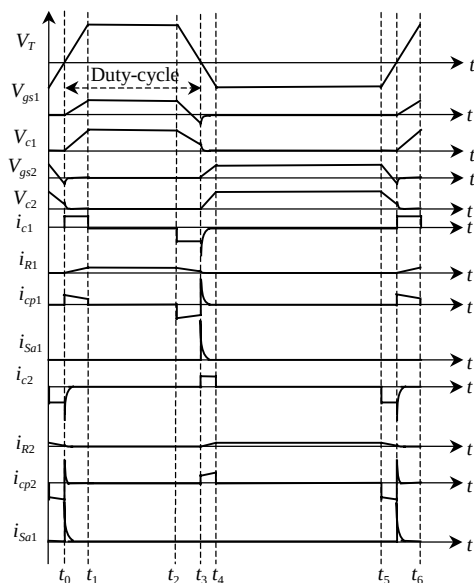


图3 主要工作波形

Fig. 3 Key waveforms

$t_2 \sim t_3$ 阶段:如图3和图4(c)所示,变压器上电压仍为正,但是正向减小。 S_1 和 S_{a2} 导通, S_2 和 S_{a1} 关断,这与阶段 $t_0 \sim t_1$ 相同。隔直电容 C_1 和寄生电容 C_{p1} 被正向放电。但是电阻 R_1 上的电压为正,所以流过 C_1 的电流等于流过 C_{p1} 和 R_1 的电流之差,即 C_1 的放电电流小于 C_{p1} 的充电电流。这会造成当变压器上电压回到零时, C_1 上会有很小的正电压 ΔV ,而 C_{p1} 上会有很小的负电压 $-\Delta V$ 。

$t_3 \sim t_4$ 阶段:如图3和图4(d)所示,变压器上电压为负,并且负向增加。 S_1 和 S_{a1} 导通, S_1 和 S_{a2} 关断。 $t_2 \sim t_3$ 阶段所产生的 C_1 上的正电压就会被开关 S_{a1} 所短路而迅速降为零。隔直电容 C_2 和寄生电容 C_{p2} 被正向充电。但是电阻 R_2 上的电压为正,所以流过 C_2 的电流等于流过 C_{p2} 和 R_2 的电流之和,即 C_2 的充电电流大于 C_{p2} 的充电电流。这里辅助开关 S_{a1} 的作用就体现出来了。若是没有 S_{a1} 在此时将这微小的电压 ΔV 消除,那么下一个周期就会有接近 $2\Delta V$ 的电压。如此下去,就会积累起一个较大的电压。到达稳态后, C_1 上的电压就是变压器电压正半部分在一个周期内的平均值。这样的话, C_1 成了一个纯粹的隔直电容。辅助开关 S_{a1} 是加入一个非线性的环节破坏 C_1 的隔直性,恰好又保证了 C_1 上的电压为零,让所有的驱动信号全部到达了 S_1 的门极,达到和自驱动一样的效果。

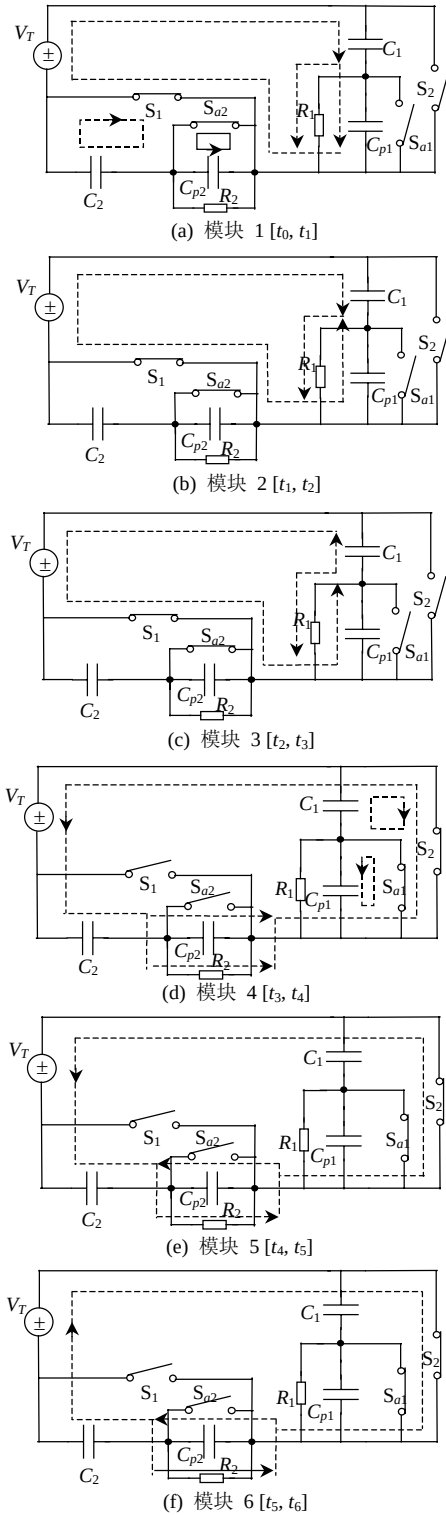


图4 各个工作模式的等效电路

Fig. 4 Equivalent circuit for each switching mode

$t_4 \sim t_5$ 阶段：如图3和图4(e)所示，开关 S_2 和 S_{a1} 继续保持导通。 C_{p2} 上的电压为驱动电压，基本保持不变。但是继续对 R_2 放电，略有下降，而 C_2 上电压略有上升。

$t_5 \sim t_6$ 阶段：如图3和图4(f)所示，变压器上电压仍为负，但是负向减少。开关 S_2 和 S_{a1} 导通，开关 S_1 和 S_{a2} 关断。隔直电容 C_2 和寄生电容 C_{p2} 被正向充电。但是电阻 R_2 上的电压为正，所以流过 C_2 的电流等于流过 C_{p2} 和 R_2 的电流之差，即 C_2 的放电电流小于 C_{p2} 的充电电流。这会造成变压器上电压回到零时， C_2 上会有很小的正电压，而 C_{p2} 上会有很小的负电压 ΔV 。

接着进入下一个周期。此时， C_2 和 C_{p2} 上的微小电压 ΔV 也因 S_1 和 S_{a2} 的导通而变为零。

在上面的分析中如果没有辅助开关 S_{a1} 和 S_{a2} ，那么 C_1 和 C_2 上的微小的正向电压会不断积累，直到驱动电压的直流量完全由 C_1 和 C_2 承受。所以可以理解成辅助开关 S_{a1} 和 S_{a2} 的作用是及时消除 C_1 和 C_2 上每个开关周期产生的微小电压(或电荷)，从而保证 C_1 和 C_2 上的电压为零，而不是单纯的隔直电容。或者可以理解为辅助开关和电容一起构成了一个非线性开关电容，实现了这个功能。

所推荐的方案还有另外一个优点：在自驱动电压过高时，可以降低驱动电压。以上的分析是假设 $C_1 = C_2 \gg C_{p1} = C_{p2}$ ，但是如果 C_1 、 C_2 和 C_{p1} 、 C_{p2} 是在同一个数量级，那么整流管和续流管上驱动电压的幅度就可以表示为

$$V_{gs1} = \frac{\frac{1}{j\omega C_{p1}} // R_1}{\frac{1}{j\omega C_1} + \frac{1}{j\omega C_{p1}} // R_1} V_+ \approx \frac{C_1 V_+}{C_1 + C_{p1}} \quad (1)$$

$$V_{gs2} = \frac{\frac{1}{j\omega C_{p2}} // R_2}{\frac{1}{j\omega C_2} + \frac{1}{j\omega C_{p2}} // R_2} V_- \approx \frac{C_2 V_-}{C_2 + C_{p2}} \quad (2)$$

式中 V_+ 为变压器上正向电压； V_- 为变压器上反向电压。

这可以从频域的角度来理解。驱动电压的直流量，由以上的分析可知，全部由 C_{p1} 来承受。而对于交流量，由 C_1 和 C_{p1} (实际是 C_{p1} 和 R_1 的并联阻抗，但对于开关频率以上的频段 R_1 远大于 C_{p1} 的阻抗，可忽略不计) 来根据阻抗大小来分压。

这种驱动电路在模块并联使用时，同样在其中一块模块不正常而被保护时，不会出现自驱动情况下的短路现象。因为，对于直流，电容 C_1 和 C_2 的阻抗可以看成无穷大，而 C_{p1} 、 R_1 的并联支路和 C_{p2} 、 R_2 的并联支路的阻抗是个有限量，所以电压都落到

了 C_1 和 C_2 上。这时的 C_1 、 C_2 起了一个纯粹的隔直作用。

3 仿真和实验结果

为了验证以上的分析结果,制作了两台同样规格的样机。其中一台采用自驱动方案,另一台采用本文推荐的驱动方案。两台样机主电路的拓扑和参数相同,都是有源钳位正激变换器,如图5所示。规格和参数如下(*为只用于所推荐方案样机中的参数):

输入电压为 36V~75V; 输出电压为 1.8V; 输出电流为 0~60A; 开关频率为 300kHz; 尺寸为 1/4 brick; S_1 , S_2 为 Si4838*5; S_3 为 Si4488*2; S_{a1} , S_{a2} 为 K941; L 为 0.25μH; T 为 EI22-3F3-10:1; * R_1 , R_2 为 1kΩ; * C_1 , C_2 为 330pF。

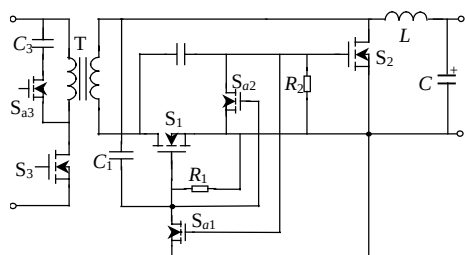


图5 样机主电路

Fig. 5 Power circuit of the prototype

图6是两台样机的同步整流驱动波形, (a)为自驱动样机的同步整流驱动电压波形, (b)为应用所推荐的驱动方案的样机的同步整流驱动电压波形。比较后可以看到, 两者几乎一样, 也就是说, 所推荐的驱动方案在正常工作时, 驱动效果和自驱动几乎一样, 增加并联使用的适用性而没有影响到单机的工作性能。

图7是两台样机在48V输入不同负载下的效率 η 曲线, 从中可以看到, 两者的效率也几乎一样, 进一步说明了所推荐驱动方案增加并联使用的适用性而没有影响到单机的工作性能。

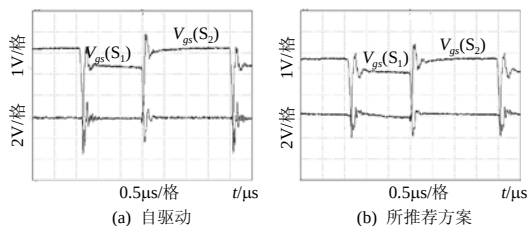


图6 同步整流驱动电压波形

Fig. 6 S.R. driving voltage waveform

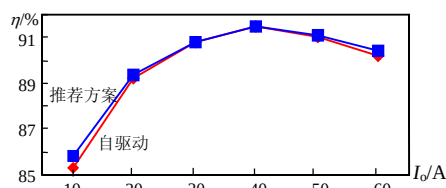


图7 变换效率

Fig. 7 Conversion efficiency

本样机的同步整流驱动电压已经比较合适, 所以没有必要使用所推荐的电路的另外一个功能——调节过高的驱动电压。以下的 PSpice 仿真结果证明在驱动电压过高的场合下, 可以通过调节 C_1 和 C_2 的值来调节同步整流驱动电压。

图8(a)是 $C_{p1}=C_{p2}=10\text{nF}$, $C_1=C_2=100\text{nF}$ 下的同步整流驱动电压波形。图8(b)是 $C_{p1}=C_{p2}=10\text{nF}$, $C_1=C_2=10\text{nF}$ 下的同步整流驱动电压波形。通过对比可以看到当 C_1 、 C_2 减小到和 C_{p1} 、 C_{p2} 一个数量级时, 同步整流驱动电压会明显下降。从幅度上看, 驱动电压从 8V 降到了 4V, 满足前面的式(1)和(2)。

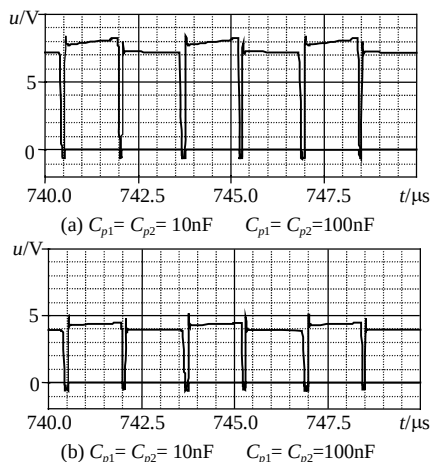


图8 仿真结果

Fig. 8 Simulation results

4 结论

本文提出的适用于并联的高效率同步整流驱动电路解决了多个模块并联时会产生短路现象的问题, 同时单机运行时的性能又不受损害, 同步整流驱动波形和效率几乎和自驱动时一样。此外, 采用这种驱动电路还可以调节驱动电压幅度的高低。采用该驱动方案的 1.8/60A 输出 1/4 砖的样机效率达到了 90%以上。

参考文献

- [1] Mankikar M. Standard Products(Brick Converters): Product Develop-

- ment, marketing/advertising/selling & making profit [C]. IEEE APEC . Dallas, USA, 2002: 132-134.
- [2] Xie Xuefei, Liu J C P, Poon F N K *et al.* Two methods to drive synchronous rectifiers during dead time in forward topologies[C]. IEEE APEC. New Orleans, USA, 2000, (2): 993-999.
- [3] 胡宗波, 张波. 同步整流器中 MOSFET 的双向导电特性和整流损耗研究[J]. 中国电机工程学报, 2002, 22(3): 88-93.
- Hu Zongbo, Zhang Bo. Study on bi-directional conductivity and power loss of power MOSFET in synchronous rectifiers[J]. Proceedings of the CSEE, 2002, 22(3): 88-93.
- [4] 张海源, 吴卉, 邹祖冰, 等. 同步整流器下对称半桥倍流变换器的建模与分析[J]. 中国电机工程学报, 2003, 23 (8): 66-70.
- Zhang Haiyuan, Wu Hui, Zhou Zubing *et al.* Modeling and analysis of symmetrical half bridge current doubler with synchronous rectifier applied[J]. Proceedings of the CSEE, 2003, 23 (8): 66-70.
- [5] 胡育文, 丁志刚, 游志青. 变压器副边电流箝位 DC/DC ZVS 全桥变换器 [J]. 中国电机工程学报, 2003, 23(12): 153-159.
- Hu Yuwen, Ding Zhigang, You Zhiqing. A novel ZVS full bridge DC/DC converter employing current clamping in the secondary side of transformer[J]. Proceedings of the CSEE, 2003, 23(12): 153-159.
- [6] 胡宗波, 张波. 新型栅极电荷保持驱动同步整流器的研究[J]. 电工技术学报, 2002, 22(3): 45-50.
- Hu Zongbo, Zhang Bo. Study on a novel gate charge retention voltage-driven synchronous rectifier[J]. Transactions of China Elec-trotechnical Society, 2002, 22(3): 45-50.
- [7] Tan F. D. The forward converter: Extension to include synchronous rectifiers and current doublers[C]. INTELEC 2002: 40 -47.
- [8] 张方华, 严仰光. 一族正反激组合式双向 DC-DC 变换器[J]. 中国电机工程学报, 2004, 24(5): 157-162.
- Zhang Fanghua, Yan Yangguang. A family of forward-flyback hybrid bi-directional DC-DC converters[J]. Proceedings of the CSEE, 2004, 24(5): 157-162.
- [9] Yilei Gu, Zhengyu Lu, Zhaoming Qian. DC/DC topology selection criterion[C]. IEEE IPEMC Proceedings, 2004: 508-512.
- [10] 甘鸿坚, 严仰光. 高频 PWM 直-直变换的同步整流技术[J]. 电力电子技术, 1998, 32(4): 105-108.
- Gan Hongjian, Yan Yangguang. Synchronous rectifier of high frequency DC-DC converters[J]. Power Electronics , 1998, 32(4): 105-108.
- [11] Alpha J Zhang, Guisong Huang, Yilei Gu. Synchronous rectifier circuit[P]. US Patent, No.: 6370044, Apr. 9, 2002.
- [12] Karl T Fronk, Derry. Synchronous rectifier drive mechanism for resonant reset forward converters[P]. US Patent, No.: 6181578, Jan. 30, 2001.
- [13] 胡宗波, 张波. 同步整流器两种驱动方式的分析和比较[J]. 电力电子技术, 2001, 35(6): 56-60.
- Hu Zongbo, Zhang Bo. Analysis and comparison of two methods to drive synchronous rectifiers[J]. Power Electronics, 2001, 35(6): 56-60.
- [14] Allen F Rozman, Richardson. Low loss synchronous rectifier for application to clamped-mode forward[P]. US Patent, No.: 5303138, Apr. 12, 1994.

收稿日期: 2004-07-02。

作者简介:

顾亦磊(1978-), 男, 博士研究生, 现从事电力电子电路拓扑和电源系统集成的研究。