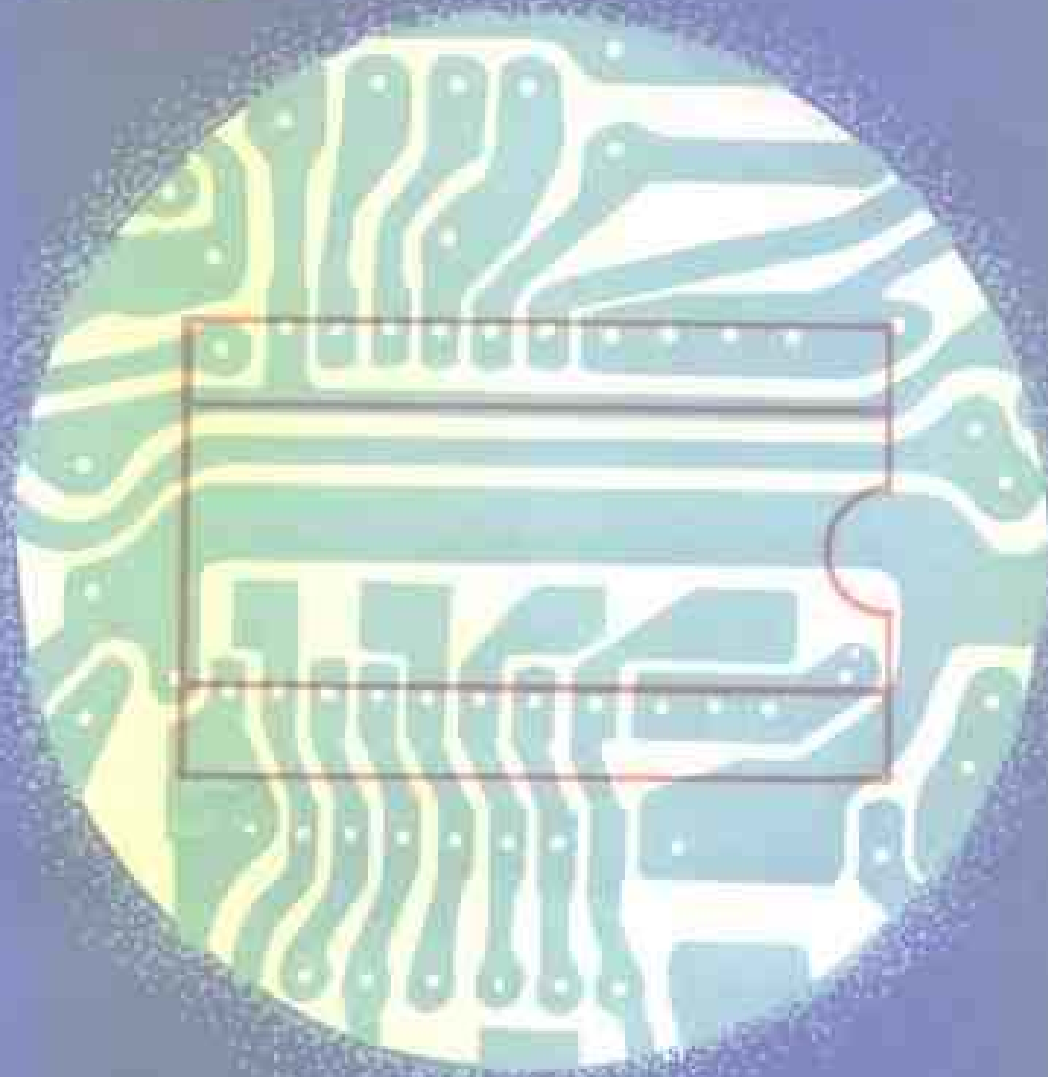


李 联 编著



MOS运算放大器

—原理、设计与应用

复旦大学出版社

73.7557
2511

MOS 运 算 放 大 器

——原理、设计与应用

李 联 编著

超星阅读器提醒您：
使用本复制品
请尊重相关知识产权！



复 旦 大 学 出 版 社

8910198

超星阅读器提醒您：
使用本复制品
请尊重相关知识产权！

内 容 提 要

本书详细地论述了 CMOS 集成运算放大器的工作原理和设计方法,介绍 MOS 集成滤波器和一些非线性电路的设计技术。全书共分六章:第一章论述 MOS 场效应管的基本原理;第二章讲述 MOS 模拟集成电路的常用单元电路;第三章介绍 MOS 运算放大器;第四章概述 CMOS 工艺和版图设计;第五章介绍 MOS 集成滤波器;第六章讲述 MOS 运算放大器在非线性电路中的应用。

本书可作为大专院校无线电电子学、微电子和自动控制等专业的教材及教学参考书,可供从事 MOS 模拟集成电路设计与应用的工程技术人员参考。

DS93/26

MOS 运算放大器

——原理、设计与应用

李 联 编著

复旦大学出版社出版

(上海国权路579号)

新华书店上海发行所发行 复旦大学印刷厂印刷

开本787×1092 1/16 印张15.125 插页0 371,000

1988年9月第1版 1988年9月第1次印刷

印数1—5,000

ISBN7—309—00195—2/O·024 定价: 2.50元

前 言

近几年来, MOS 工艺日益完善, 新技术不断涌现, 促进 MOS 集成电路迅速发展, 尤其是 MOS 器件具有功耗低、芯片面积小、输入阻抗高等优点, 因此获得广泛的应用。

在 MOS 模拟集成电路中, MOS 运算放大器(简称运放)作为最常用的基本单元, 它具有十分重要的作用, 其性能往往决定了模拟集成电路的高频应用范围。若要设计性能优良的 MOS 模拟集成电路, 就必须首先设计满足集成电路要求的 MOS 运放。为此, 本书将详细介绍 MOS 运放的工作原理和设计方法。书中列举一些表格、工艺参数、版图设计实例和计算机辅助分析方法, 使设计技术通俗易懂, 便于掌握。本书对 MOS 集成滤波器和非线性集成电路也作了详细的论述。

全书共分六章, 第一章介绍 MOS 场效应管的工作原理, 给出一级 MOS 器件模型, 还讨论了 MOS 器件的二级效应; 第二章讲述了常用的 MOS 模拟集成单元, 分析了这些单元的工作原理及主要性能; 第三章论述了 MOS 运放的技术性能, 例举了各种类型的 CMOS 运放电路的设计方法; 第四章概述了 CMOS 工艺和版图设计规则; 第五章、第六章分别介绍了 MOS 集成滤波器和非线性电路的设计方法。

书中很多内容是作者本人和同事们近几年来科研工作的总结, 一定程度上反映了当前国际上 MOS 集成运放设计技术的新进展。书中各章之间既有一定的联系, 又有相对的独立性, 读者可根据实际需要, 选读有关章节。

本书第四章的 CMOS 工艺和版图设计, 参阅了郑坛钰副教授编写的 MOS 集成电路讲义。第三章第十一节 MOS 运放的计算机辅助分析由研究生丁玮琦编写。邱仁江同志参加了文稿的整理工作。在此向他们表示衷心的感谢!

MOS 模拟集成电路发展迅速, 技术新颖, 但限于作者本人的教学、科研水平, 书中难免存在错误和不妥之处, 敬请读者批评指正。

作者于复旦大学电子工程系

1987.6

目 录

前 言

第一章 MOS 场效应管的基本原理

第一节 MOS 场效应管的工作原理	2
第二节 MOS 场效应管阈值电压	8
第三节 MOS 场效应管模型	13
第四节 MOS 场效应管的二级效应	24

第二章 MOS 模拟电路中的常用单元电路

第一节 有源电阻	32
第二节 恒流源电路	35
第三节 偏置电路	39
第四节 MOS 单级放大器	43
第五节 差分放大器	48
第六节 输出级电路	56
第七节 高稳定偏置电路	57

第三章 MOS 运算放大器

第一节 CMOS 运放的频率特性与相位补偿技术	63
第二节 CMOS 运放工作点与管子参数	67
第三节 CMOS 运放的瞬态响应	72
第四节 CMOS 运放的典型电路	77
第五节 高速 CMOS 运放	87
第六节 高电源抑制比 CMOS 运放	96
第七节 CMOS 功率运放	98
第八节 低失调 MOS 运放	105
第九节 CMOS 电压比较器	112
第十节 NMOS 运放	115
第十一节 MOS 运放的计算机辅助分析	124

第四章 CMOS 工艺与版图设计

第一节 CMOS 工艺	140
第二节 MOS 工艺中的电阻和电容	150
第三节 CMOS 电路的版图设计	153

第五章 MOS 集成滤波器

第一节 滤波器原理	159
-----------------	-----

第二节	MOS 运放有源滤波器.....	171
第三节	开关电容滤波器	193

第六章 MOS 运放在非线性电路中的应用

超星阅读器提醒您：
使用本复制品
请尊重相关知识产权！

第一节	MOS 集成多谐振荡器.....	219
第二节	MOS 集成正弦振荡器.....	223
第三节	MOS 集成时基电路.....	228
第四节	调制器与检波器	230

参考文献

第一章 MOS 场效应管的基本原理

使用本复制品
请尊重相关知识产权!

通常,晶体管可分成两大类,一类称为“双极型”晶体管,这种晶体管在工作时,电子与空穴都参加导电;另一类称为“场效应”晶体管,它是利用改变垂直于导电沟道的电场来控制导电沟道的导电能力,从而实现放大的一种半导体器件。这种晶体管在工作时只有一种载流子——电子或空穴——起着输运电流的主要作用,故“场效应”晶体管又称为“单极型”晶体管,意即只有一种极性的载流子参加导电,以区别于“双极型”晶体管。

场效应管又可分为绝缘栅场效应管(IGFET)、结型场效应管(JFET)和薄膜场效应管三种类型。

绝缘栅场效应管由栅极、绝缘层(通常为氧化层)及半导体构成,最常见的 IGFET,其栅极由金属构成,绝缘层由氧化层(SiO_2)构成,而导电沟道由半导体硅材料等构成,故又称 MOS 场效应管。它是目前 FET 的主流,近年来发展迅速,本书只限于讨论 MOSFET 的原理。

结型场效应管是一种利用半导体体内的场效应构成的一种场效应管。图 1.1-1a 为 p 沟道(简称 p 沟)结型场效应管(JFET)的剖面图。其电极包括栅极 G 、源极 S 、漏极 D 以及衬底(或称底栅) B 。在使用中,常把顶栅 G 与衬底 B 相连,此时 JFET 就成为三端器件,其符号如图 1.1-1b 所示。

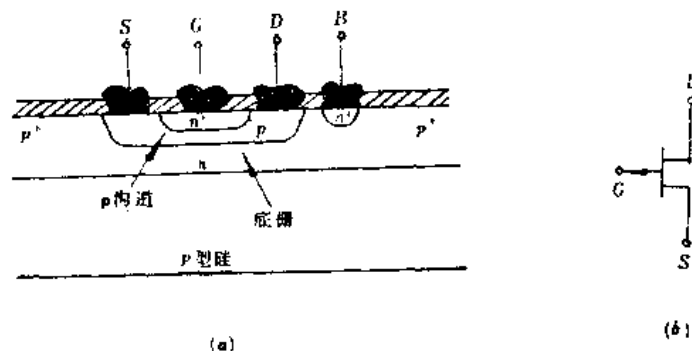


图 1.1-1 p 沟道结型场效应管剖面图及其符号

从结构上看, p 沟结型场效应管的特点是能与双极型工艺完全兼容,其源极和漏极的 p 型扩散区可与双极型 $n p n$ 管的基区扩散同时完成,原则上 n^+ 区顶栅可与发射极的 n^+ 扩散区同时形成,所以无需增加工艺步骤,即可用于双极型模拟集成电路中。

结型场效应管的工作原理与 MOS 场效应管有所不同,它是通过改变栅-源电压来改变栅源间 $p n$ 结的势垒厚度,从而控制沟道区的导电能力,实现放大功能。由于其基本结构还是 $p n$ 结,因而称为结型场效应管,以区别于 MOS 场效应管。

在目前工艺条件下,结型场效应管比 MOS 场效应管具有更好的稳定性和更低的噪声。但是,由于它的栅-源间是一个反偏的 $p n$ 结,其输入电阻将低于 MOS 场效应管,当然仍比 $n p n$ 管高得多。

结型场效应管的工作原理与 MOS 场效应管虽有所不同,但其电流与电压关系式基本相

同,故 MOS 场效应管电路的分析方法也适用于结型场效应管电路。

第一节 MOS 场效应管的工作原理

(一) MOS 场效应管的基本结构与工作原理

用平面工艺制作的 MOS 场效应管,其典型结构图如图 1.1-2 所示,其中衬底材料为 P 型半导体,两个 n^+ 区由扩散工艺形成,分别称为源区和漏区。栅氧化层上面是金属电极,称为栅极。栅氧化层下面及源、漏之间的区域通常称为沟道区。源及漏区分别由金属欧姆接触形成 S 极、 D 极。衬底引出的电极称为 B ,通常 B 与源是短接并且接地,但有时也将源 n^+ 与衬底 B 之间加上反偏电压,此时其特性与 S 、 B 短接时不同,具体的影响将在下面各节讨论。

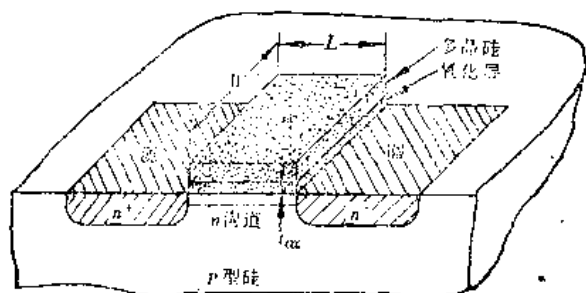


图 1.1-2 MOS 场效应管的结构图

图 1.1-2 所示的管子称为 n 沟道 (简称 n 沟) 增强型 MOS 场效应管,其剖面图如图 1.1-3 所示。它的特点是栅极不加电压时,栅氧化层下面不存在 n 型导电沟道,只有当栅极上加以正电压 $V_{GS} \geq V_T$ (V_T 称阈值电压,具体将在下面讨论) 时,才在源漏之间的 P 型材料表面形成一个导电的 n 沟道,使导电类型相同的源、漏区连接起来。

现在定性讨论 n 沟道增强型 MOS 管 (在源与衬底短接并接地时) 的工作原理。当栅极接零电位时,源区到漏区是一个 n^+-P-n^+ 的结构,这时如果在漏极加一个正电压,漏区与衬底间的 Pn 结处于反偏状态,故源和漏之间无电流通过 (只有很小的反向电流流过)。如果在栅极上加一个正电位 V_{GS} ,将有一部分电压降在 SiO_2 层上,另一部分电压降在 P 型半导体表面,形成指向半导体内部的表面势,从而使 P 型半导体表面耗尽,甚至反型。当 $V_{GS} \geq V_T$ 时, P 型半导体表面呈强反型,形成 n 沟道,将 n^+ 的源、漏区连接起来。这时若漏极加上正电压便在源、漏之间有电流 I_{DS} 流过。 I_{DS} 随 V_{GS} 而变,也就是随半导体表面的电场而变,这就是所谓表面场效应,场效应管的名称即由此而来。图 1.1-2 中的 W 为沟道宽度, L 为沟道长度, t_{ox} 为氧化层厚度。从下面讨论可知,这些参数将直接影响 MOS 场效应管的电性能。

(二) MOS 场效应管的类型

上一节以 n 沟道增强型 MOS 场效应管为例,定性说明了场效应管的工作原理,如果按照不同导电沟道来区分的话,则还存在另一种 P 沟道增强型 MOS 场效应管。这种管子以 n 型半导体作为衬底材料,源和漏区是 P^+ 扩散区,将图 1.1-3 中的 n^+ 换成 P^+ , P 型硅换成 n 型硅,而且 n 沟道换成 P 沟道,即得 P 沟道 MOS 场效应管结构剖面图。它也属于增强型管子,因为在栅极电压为零时,源和漏区之间不存在导电沟道。在正常工作时,源一般

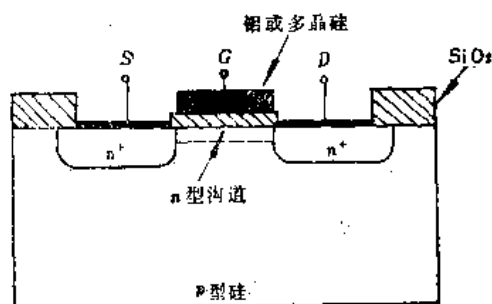


图 1.1-3 n 沟道 MOS 管剖面图

也接地,漏区接负电位。栅极上加负电位时,在 n 型半导体表面有一个指向外面的表面电场,使表面耗尽,甚至可以反型。当 $V_{GS} \leq V_T$ (此时 $V_T < 0$) 时 n 型表面强反型成为 p 型,将源、漏的 p^+ 区连接起来,这时,若在漏极加上负电压就有电流流过。由上述分析可知, n 沟与 p 沟器件的工作原理基本上相同,唯极性相反,导电沟道不同。 n 沟增强型管工作时,栅与漏均接正电压,与双极型中的 npn 管相似。传导电流的载流子是电子,阈值电压 V_T 为正值。 p 沟增强型管栅与漏均接负电压,与 pnp 管相似,导电的载流子是空穴,阈值电压 V_T 为负值。

除了增强型场效应管以外,还有一类称为耗尽型管,常见的有 n 沟道耗尽型管,如图 1.1-4 所示。它的主要特点是栅极不加电压时, n 型沟道已经存在了,控制氧化层中一定数量的正电荷或用离子注入便能做到这一点。当 n 沟耗尽型管栅极上施加负电压 V_{GS} 时,沟道的导电会减小,在一定的 V_{DS} 作用下,流过沟道的 I_{DS} 减小。如果 V_{GS} 的绝对值增加, I_{DS} 继续减小。当 $V_{GS} = V_T (=V_P)$ 时,它会完全抵消氧化层中的正电荷对 p 型表面的影响,使原来的 n 型感应沟道完全消失,这时即使漏极上加有正的电压 V_{DS} ,也不会有电流流过。我们称这时管子截止了。使耗尽型管截止(表面沟道消失)所需加的栅极电压(阈值电压)称为截止电压(V_P),显然, n 沟耗尽型管的 $V_P < 0$ 。

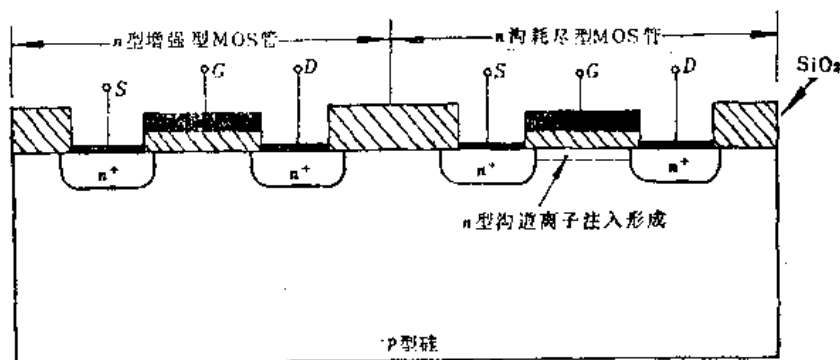


图 1.1-4 n 沟增强型 MOS 管和耗尽型 MOS 管

在图 1.1-4 中, p 衬底同时形成 n 沟增强型场效应管和 n 沟耗尽型场效应管。这种结构与工艺通常称为 E/D MOS, 是 NMOS 的一种类型。此外,在同一衬底上,生成 p 沟 MOS 场效应管和 n 沟 MOS 场效应管,这种结构与工艺通常称为 CMOS。由于 CMOS 电路结构简单,功耗小,因而在 MOS 集成电路中,广泛采用 CMOS 电路结构与工艺。CMOS 电路的结构图和剖面图分别如图 1.1-5、图 1.1-6 所示。

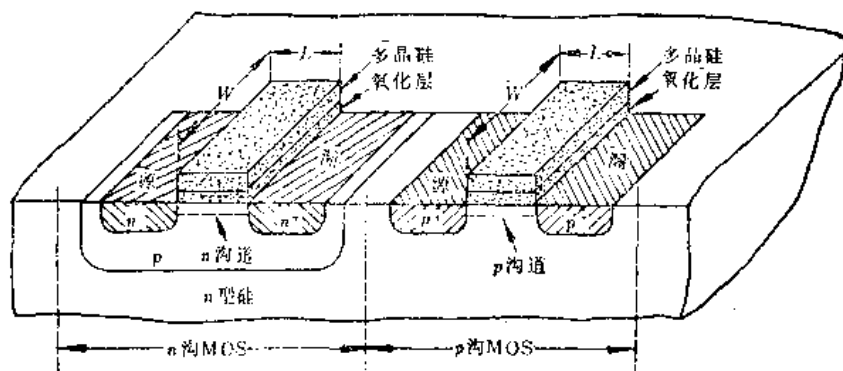
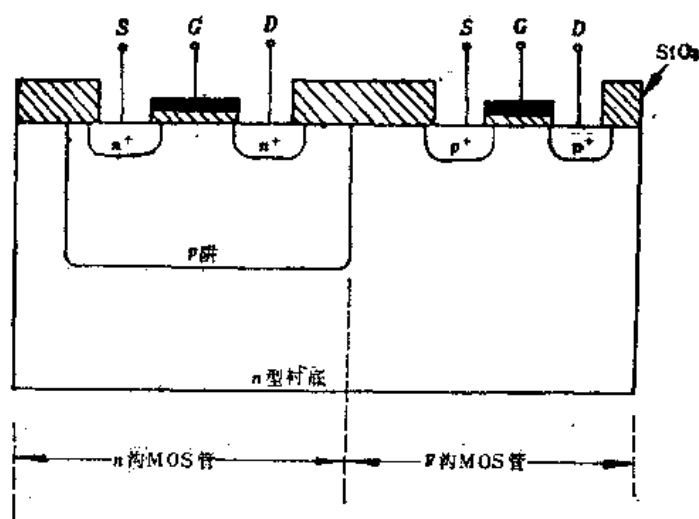


图 1.1-5 CMOS 结构图



超星阅读器提醒您：
使用本复制品
请尊重相关知识产权！

图 1.1-6 CMOS 剖面图

原则上还存在一种 p 沟道耗尽型器件,它与 n 沟道耗尽型不同之处是以 n 型硅作为衬底。这种管子要求在栅极不加电压时,源和漏之间的表面已经存在 p 型沟道,如果源与衬底相连并且接地,只要在漏端加一负电压,空穴便能在源和漏之间流动,形成漏-源电流;当栅极上加上正电压时,沟道中空穴浓度减小,导电能力减弱,漏-源电流减小,使表面沟道消失所需加在栅极上的电压为 V_p ,显然,对于 p 沟道耗尽型管 $V_p > 0$ 。由于 p 沟耗尽型 MOS 制作困难,其特性又不如 n 沟 MOS,所以实际应用很少。

综上所述,一共有四种类型的场效应管,它们是 n 沟增强型、 n 沟耗尽型、 p 沟增强型、 p 沟耗尽型。表 1.1-1 中列出了上述四类 MOS 场效应管的特点和三种常用的符号表示。

表 1.1-1 四种类型的场效应管的特点及符号

类 型	衬底	漏 源 扩散区	导电 沟道	阈值 电压	栅偏压	漏源 电压	符 号 表 示
n 沟 增强型	p	n^+	n	$V_T > 0$	正	正	
n 沟 耗尽型	p	n^+	n	$V_P < 0$	零正负	正	
p 沟 增强型	n	p^+	p	$V_T < 0$	负	负	
p 沟 耗尽型	n	p^+	p	$V_P > 0$	零正负	负	

(三) MOS 场效应管的特性曲线

以 n 沟道增强型 MOS 管为例进行讨论。MOS 场效应管在应用中有多多种连接方式,最常用的是共源连接方式,如图 1.1-7 所示。图中源极与衬底相连接,信号由栅极 G 输入,经

MOS 场效应管放大后由漏极 D 输出。当 GS 电压 V_{GS} 变化时, n 沟增强型 MOS 场效应管的输出特性曲线如图 1.1-8a 所示。其转移特性曲线如图 1.1-8b 所示, 它反映了漏源电流 I_D 与栅偏压 V_{GS} 的关系。图中 V_T 称为阈值电压, 它表征 MOS 场效应管由截止过渡到导通的临界工作点。只有当栅偏压高于 V_T 时, MOS 场效应管才能导通。

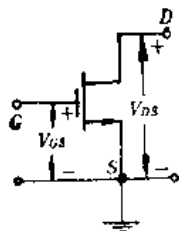


图 1.1-7 n 沟 MOS 管的共源连接方式

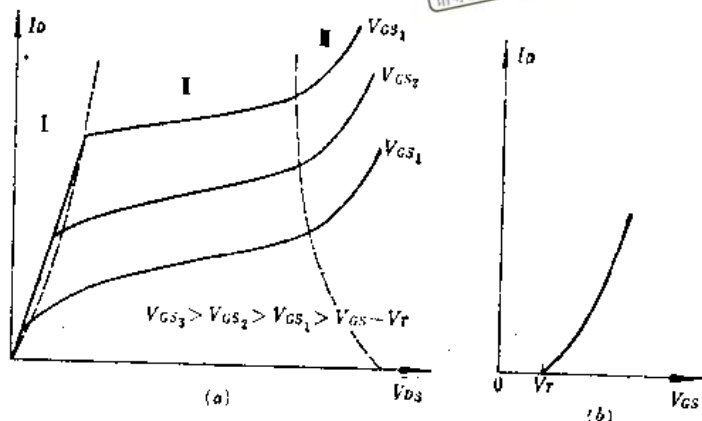


图 1.1-8 n 沟 MOS 管的特性曲线

图 1.1-8a 中的输出特性曲线可以由图中的虚线划分为三个工作区, 即可调电阻区 (I)、饱和区 (II) 和雪崩区 (III)。下面对各区域的主要特性分别作一简要说明。这里假设源极与衬底相连。

1. 可调电阻区 (也称线性区)

在此区域中, I_D 随 V_{DS} 的变化而近似于线性变化, 所以, 也称其为线性区。由半导体表面的基础知识可知, 若 P 型衬底的掺杂浓度一定时, 当 $V_{GS} > V_T$, 则在栅氧化层的表面会出现 n 型反型层, 即形成源区与漏区之间场感应的导电沟道, 如图 1.1-9a 所示。但是, 若此时漏源电压为零, 则沟道内各处电位相同, 故不能形成漏源电流, 即 I_D 为零。当 $V_{DS} > 0$ 时, 在沟道区中将产生横向电位梯度, 因此漏源之间形成电流。而且当 V_{DS} 增加时, 横向电位梯度增加, 电流 I_D 也随之增加, I_D 与 V_{DS} 呈线性变化, 此时源区与漏区之间感应出的沟道就相当于一个线性电阻。对应于不同的 V_{GS} , 沟道电阻值也将发生变化。例如, 当 V_{GS} 增加时, 沟道厚度增加, 故沟道电阻将减小。

此外, 当 $V_{DS} > 0$ 时, 由于沟道中存在横向电位梯度, 在沟道区靠近源极处的纵向电场强度较大, 而靠近漏极处的电场强度较小, 这就导致由源极到漏极的沟道厚度逐渐变薄, 将使沟道电阻明显增加, 故此时 I_D 随 V_{DS} 的增加速度变得缓慢了, 从而出现了可调电阻区中的弯曲部分。

当 V_{DS} 继续增加到 $V_{GS} - V_T$ 时, 栅极与漏极之间的电压恰好等于开启电压 V_T , 故靠近漏极端的硅表面反型层消失, 只剩下耗尽区, 即此处沟道厚度为零 (漏极处的沟道开始夹断), 如图 1.1-9b 所示。这种情况对应于输出特性曲线中可调电阻区与饱和区的交界处。此后漏极电流开始饱和。

2. 饱和区

在饱和区域内, I_D 几乎不随 V_{DS} 而变, 故称为漏极电流饱和区。当 $V_{DS} > V_{GS} - V_T$ 时, 漏极与栅极之间的电压小于 V_T , 沟道厚度为零的区域略为扩大, 即夹断点向源极处靠近, 如图 1.1-9c 所示。此时当 V_{DS} 增加时, 其增加的电压基本上加在沟道厚度为零的耗尽区上。由于

沟道两端电压基本不变,因而,当 V_{DS} 增加时,漏极电流不再随之增加而达到饱和值。当然,若 V_{GS} 增加时,由于沟道电阻减小,故其饱和电流值也相应增加。饱和区是MOS场效应管的主要工作区。

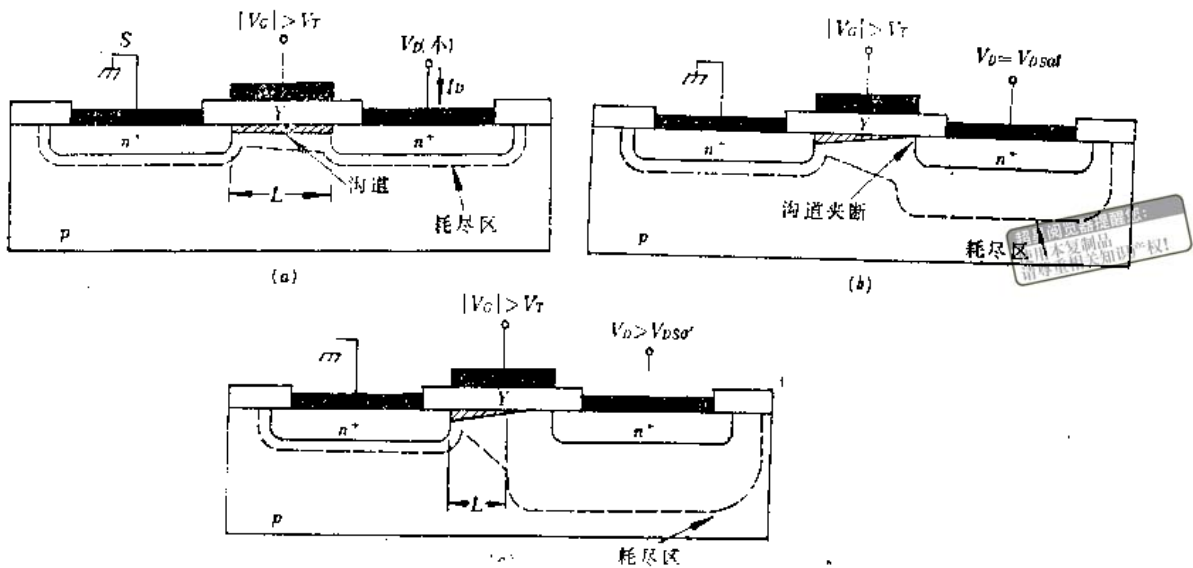


图 1.1-9 n 沟 MOS 管在不同工作区时的沟道变化

3. 雪崩区

如果 V_{DS} 大于某一击穿电压 BV_{DS} ,漏极与衬底之间的 $p-n$ 结发生反向击穿, I_D 将急剧增加,特性曲线进入雪崩区(Ⅲ)。此时漏极电流不经过沟道区,而直接由漏极流入衬底。在电路设计时,应避免 MOS 场效应管工作在雪崩区。

通常 n 沟增强型 MOS 场效应管的输出特性曲线可以分为四个区域(见图 1.1-10a)。

(1) 截止区: $V_{GS} < V_T$, $I_D = 0$ 。

(2) 线性区(可调电阻区): $V_{GS} > V_T$, $0 < V_{DS} < V_{GS} - V_T$, I_D 与 V_{DS} 近似呈线性关系,此时 MOS 管的漏源两端相当于一个线性电阻,其电阻大小受 V_{GS} 控制, V_{GS} 越大其电阻值越小。

(3) 饱和区: $V_{GS} - V_T > 0$, $BV_{DS} > V_{DS} > V_{GS} - V_T$,此时随着 V_{DS} 的增加, I_D 变化很小,而 I_D 的大小主要由 V_{GS} 电压值来决定, V_{GS} 越大 I_D 也越大。

(4) 雪崩区: $V_{DS} > BV_{DS}$,此时, I_D 随 V_{DS} 的增加而迅速增大。

n 沟耗尽型 MOS 场效应管与 n 沟增强型 MOS 场效应管的主要区别在于,前者的 p 型衬底的掺杂浓度较低,故当 V_{GS} 为零时,栅下的硅表面已形成反型层,即已形成沟道,故只要加上一定的漏源电压就能形成相当大的漏极电流。只有在栅极上加一个较大的负电压,才能使栅下的表面由反型转变为耗尽,此时 n 沟道消失,漏极电流变为零。使漏极电流为零时的栅源电压就称为 n 沟耗尽型 MOS 场效应管的夹断电压(用 V_P 或 V_x 表示)。 n 沟耗尽型 MOS 场效应管的特性曲线如图 1.1-10b 所示,其形状与增强型的完全类似。耗尽型场效应管中 $V_{GS} = 0$ 时的饱和电流记为 I_{DSS} ,常称为漏源饱和电流。

为了便于比较,图 1.1-10c 和 d 中分别示出 p 沟增强型和耗尽型 MOS 场效应管的特性曲线。 p 沟 MOS 场效应管的输出特性曲线与 n 沟的相似。只是在正常运用时, p 沟器件的电压极性以及漏极电流的方向与 n 沟器件相反。

以上定性讨论了 MOS 场效应管的工作原理，以下将定量计算 MOS 场效应管的阈值电压，并且列出 V_T 和 I_D 与 V_{DS} 、 V_{GS} 的关系式。

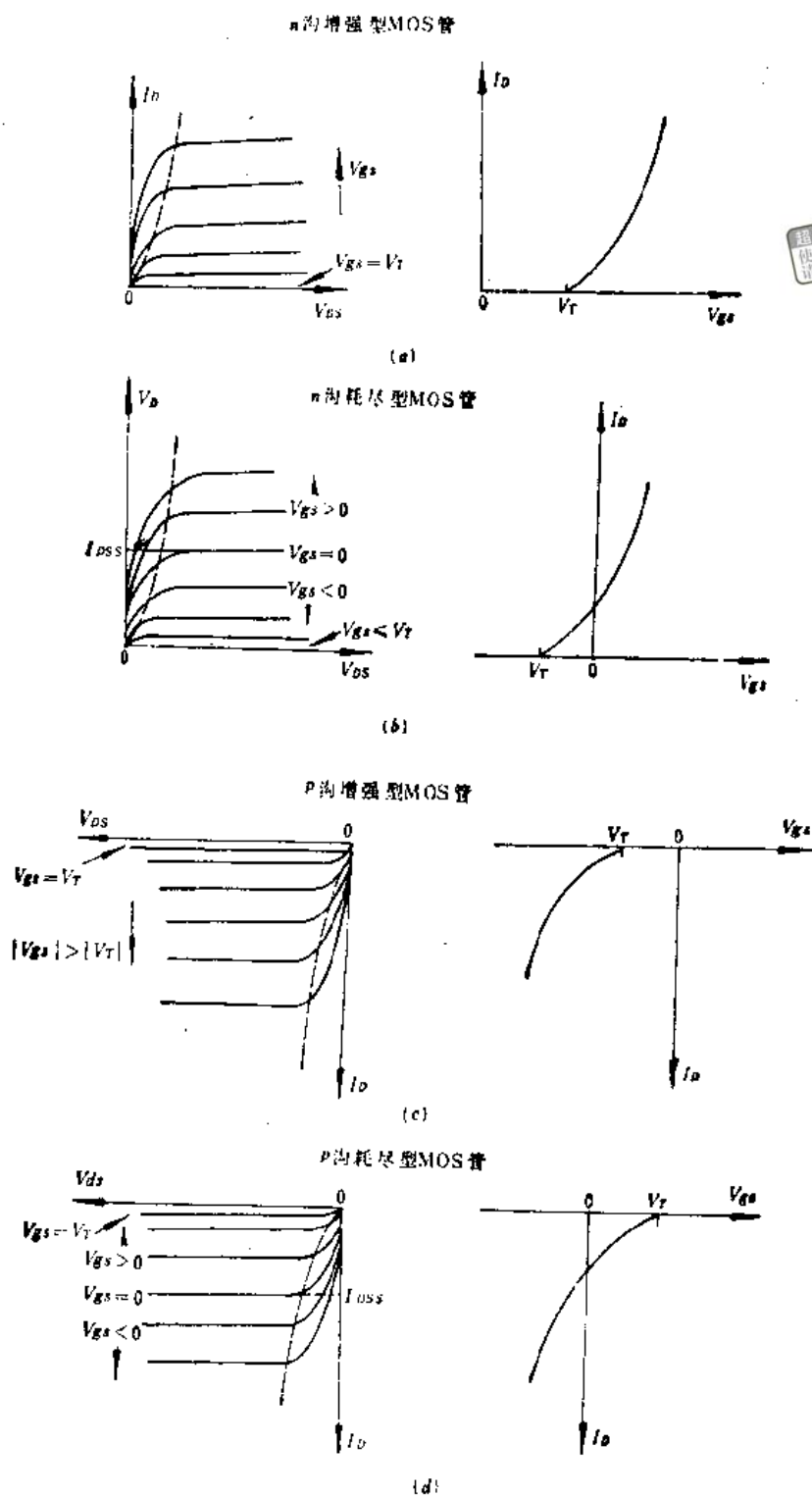


图 1.1-10 四种 MOS 管的特性曲线

第二节 MOS 场效应管阈值电压

对于增强型管子来说,阈值电压就是开启电压 V_T ,对于耗尽型管而言,阈值电压就是夹断电压 V_P ,为方便起见,也用 V_T 表示。阈值电压 V_T 定义为:当 $V_{DS}=0$ 时,要使源和漏之间半导体表面刚开始形成强反型的导电沟道所需加的栅极电压称为阈值电压。

阈值电压是 MOS 器件的一个重要参数,它与器件工艺参数有密切的关系。

在计算阈值电压 V_T 之前,首先讨论一下硅表面的物理特性。

(一) 硅表面的物理特性

n 沟 MOS 管的栅极部分其结构如图 1.2-1 所示。

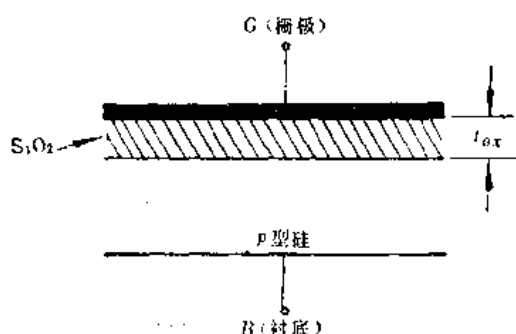


图 1.2-1 n 沟 MOS 管栅极的结构

p 型硅上生长一层 SiO_2 氧化层,其厚度为 t_{ox} ,通常 t_{ox} 为 600~1000 埃。 SiO_2 氧化层上面所覆盖的材料是铝或多晶硅,这种材料构成栅极。 B 为衬底的引出脚。若衬底 B 接地,在栅极 G 加上不同的电压 V_G ,那么在硅的表面(硅与 SiO_2 的交界面)的电荷分布有所不同。根据硅表面电荷分布情况可分为积累、耗尽和反型。现分别讨论如下:

1. 积累

当栅极 G 加上负电压 ($-V_{G1}$) 时,由于栅氧化层电容的静电感应作用,使硅表面附近的空穴数增多,表面层由 p 型转变为强 p 型,即在表面形成空穴积累层。图 1.2-2a、b 分别示出积累层和表面形成积累层时的电荷分布。

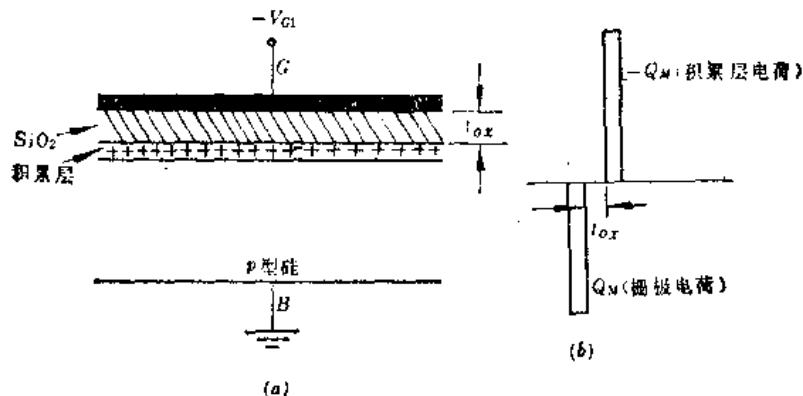


图 1.2-2 硅表面为积累层情况及电荷分布图

2. 耗尽

当栅极 G 加上正电压 V_{G1} 时,由于栅氧化层电容的静电感应作用,把可动空穴电荷向下排斥,在表面附近留下了静止的受主杂质离子的负电荷区,形成了耗尽层,其耗尽层的厚度记为 x_d 。图 1.2-3a、b 分别示出了耗尽层和表面形成耗尽层时的电荷分布。

根据电荷守恒原理,栅极上电荷 Q_M 与耗尽层中的电荷 Q_s 应相等,即 $Q_M + Q_s = 0$,或写为 $Q_M = -Q_s$ 。现计算耗尽层的厚度 x_d 。

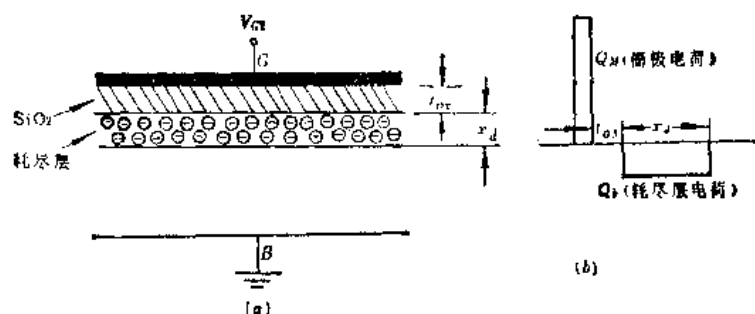


图 1.2-3 硅表面为耗尽层情况及电荷分布图

设 p 型衬底的掺杂浓度为 N_{SUB} , 原来在 p 型衬底的一个无限小的薄层 dx_d 中可动空穴电荷 dQ 为

$$dQ = qN_{SUB}dx_d.$$

为了转移这部分电荷, 衬底表面的电位变化 $d\Phi$ 为

$$d\Phi = \frac{dQ}{\frac{\epsilon_0 \epsilon_{si}}{x_d}} = \frac{qN_{SUB}dx_d}{\frac{\epsilon_0 \epsilon_{si}}{x_d}},$$

这里, ϵ_{si} 是硅材料的相对介电常数, 其值为 11.8; ϵ_0 是真空电容率, 其值为 8.85×10^{-14} 法/厘米; $\epsilon_0 \epsilon_{si}/x_d$ 可理解为单位面积耗尽层电容; q 为电子电荷量。将上式两边积分可得

$$\Phi = \frac{qN_{SUB}x_d^2}{2\epsilon_{si}\epsilon_0} + \Phi_f, \quad (1.2-1)$$

$$\text{其中 } \Phi_f = \frac{kT}{q} \ln\left(-\frac{N_{SUB}}{n_i}\right) \quad (1.2-2)$$

Φ_f 表示在平衡态时衬底的费米势, n_i 是本征载流子浓度 (室温时 $n_i = 1.45 \times 10^{10}/\text{厘米}^3$), k 为玻尔兹曼常数, T 为绝对温度。

当 $\Phi - \Phi_f \geq 0$ 时, 可以求得耗尽层厚度

$$x_d = \sqrt{\frac{2\epsilon_{si}\epsilon_0(\Phi - \Phi_f)}{qN_{SUB}}}. \quad (1.2-3)$$

在可动空穴电荷被排斥出耗尽层后, 留下的单位面积上静止受主离子电荷 Q_D 可表示为

$$Q_D = -qN_{SUB}x_d = -\sqrt{2qN_{SUB}\epsilon_{si}\epsilon_0(\Phi - \Phi_f)}. \quad (1.2-4)$$

3. 反型

当加在栅极 G 上的正电压 V_G 进一步加大, 在硅的表面产生了可动的负电荷, 表面由 p 型转为 n 型, 即表面反型。表面形成了反型层, 反型层即为 MOS 管中的沟道。由半导体能带理论可知, 当表面电势改变了 $2\Phi_f$ 时, 表面反型、且反型层沟道中的负电荷密度已与原来平衡状态时的空穴电荷密度相同, 这现象被定义为强反型。随着 V_G 进一步增大, 表面电位 Φ 的值以及耗尽层的厚度 x_d 将不会再有明显的变化, 因此在强反型时, 其耗尽层的厚度达到最大值, 记为 x_{dmax} , 其表示式可写为

$$x_{dmax} = \sqrt{\frac{4\epsilon_{si}\epsilon_0\Phi_f}{qN_{SUB}}}. \quad (1.2-5)$$

单位面积上耗尽层的静止电荷为

$$Q_{D0} = -\sqrt{4qN_{SUB}\epsilon_{si}\epsilon_0\Phi_f}. \quad (1.2-6)$$

图 1.2-4 表示表面形成反型时的电荷分布情况。由电荷守恒原理和图 1.2-4b 可知,
 $Q_M = -(Q_n + Q_{b0})$ 。

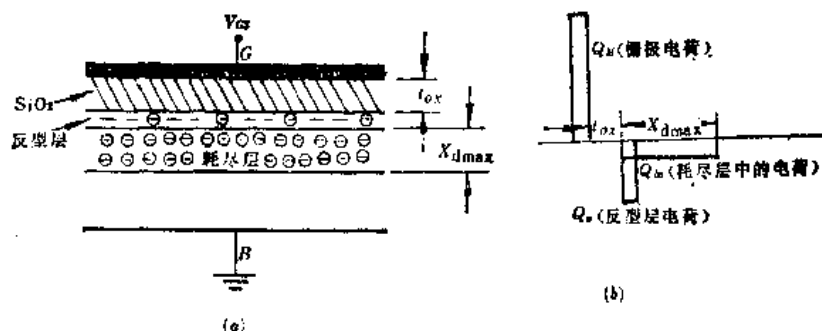


图 1.2-4 硅表面为反型层情况及电荷分布图

(二) 理想 MOS 场效应管的阈值电压 $V_T (V_{BS}=0)$

所谓理想 MOS 管就是假定栅氧化层中不存在正电荷, 金属栅极和半导体之间不能交换电子(即不考虑金属与半导体之间的接触电势差)。对于图 1.2-5 所示的理想 n 沟 MOS 管(衬底是 p 型硅), 在栅极上加以电压 V_{GS} 时, 则有一部分电压 V_{ox} 降落在氧化层上, 另一部分电压 Φ 降落在半导体表面, 即有

$$V_{GS} = V_{ox} + \Phi, \quad (1.2-7)$$

由前面讨论可知, 要使 p 型表面成为强反型, Φ 必须满足

$$\Phi(\text{强反型}) = 2\Phi_f = 2 \frac{kT}{q} \ln \frac{N_{SUB}}{n_i}. \quad (1.2-8)$$

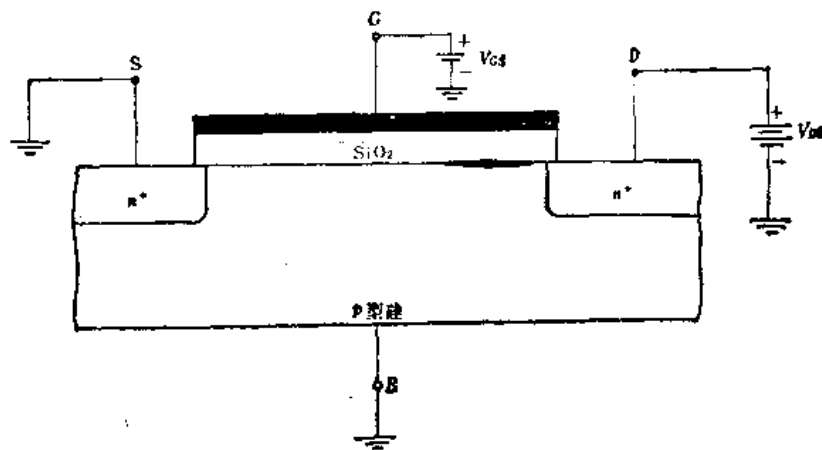


图 1.2-5 理想 n 沟 MOS 管的剖面图

当表面刚形成强反型时, $\Phi = 2\Phi_f$, 耗尽层厚度达到最大值 x_{dmax} , 耗尽层中单位面积的电荷量 Q_b 为

$$Q_b = -qN_{SUB}x_{dmax} = -\sqrt{4\epsilon_{s1}\epsilon_0 q N_{SUB} \Phi_f} \quad (1.2-9)$$

由此便可得到理想的 n 沟 MOS 管的阈值电压 $V_{T'}$:

$$V_{T'} = V_{ox} + \Phi = -\frac{Q_b}{C_{ox}} = 2\Phi_f = \frac{1}{C_{ox}} \sqrt{4\epsilon_{s1}\epsilon_0 q N_{SUB} \cdot \Phi_f} + 2\Phi_f. \quad (1.2-10)$$

由 Q_b 和 V_{T0} 的表示式可知,在一定的温度下,对于一定的衬底材料, Q_b 和 V_{T0} 的大小完全由掺杂浓度 N_{sub} 决定。掺杂浓度 N_{sub} 越大, Q_b 越大,理想 n 沟 MOS 管的阈值电压 V_{T0} 也越大。

(三) 实际 n 沟 MOS 场效应管的阈值电压 ($V_{BS}=0$)

实际 MOS 管与理想 MOS 管的差别在于,需要考虑氧化层中正电荷 Q_{ss} (单位面积)以及金属与半导体之间接触电势差 Φ_{ms} 所带来的影响。

1. 在硅与氧化层界面上始终存在着由于杂质沾污或缺陷所形成的正电荷 Q_{ss} , 它相当于增加了栅极电压, 实际上使阈值电压增加了一项负值 $-\frac{Q_{ss}}{C_{ox}}$ 。

Q_{ss} 的大小与硅材料的晶面取向有关,其典型值如表 1.2-1。

表 1.2-1 Q_{ss} 与硅材料的晶面取向关系

晶 面 取 向	Q_{ss} (库仑/厘米 ²)	Q_{ss}/q (厘米) ⁻²
(111)	8.0×10^{-8}	5×10^{11}
(110)	3.2×10^{-8}	2×10^{11}
(100)	1.4×10^{-8}	9×10^{11}

2. 栅极材料和沟道区中衬底材料的接触电势差值 Φ_{ms} 对阈值电压 V_T 的影响。

如果半导体的功函数大于金属的功函数,在允许交换电子的情况下,金属一边的电子将流向半导体一边,其作用与氧化层中的正电荷相仿,实际上使阈值电压增加了一项负值,其大小等于金属和硅之间的接触电势差 Φ_{ms} 。其值决定了栅极和衬底两种材料的费米势 Φ_f 之差,即

$$\Phi_{ms} = \Phi_f(\text{衬底}) - \Phi_f(\text{栅极}). \quad (1.2-11)$$

对于铝栅, $\Phi_f(\text{栅极})=0.6$ 伏;而对于硅栅, $\Phi_f(\text{栅极})$ 值随栅极掺杂及浓度不同而不同,现将资料 [10] 提供的数据,列表如 1.2-2。

表 1.2-2 Φ_{ms} 的典型值 *

Φ_{ms}	p 沟道	n 沟道
铝 栅	$-0.6 + \Phi_f$	$-0.6 - \Phi_f$
硅 栅	$0.55 + \Phi_f$	$-0.55 - \Phi_f$

* Φ_f 是衬底材料的费米势。

显然, n 沟 MOS 管的实际阈值电压 V_T 可由理想 MOS 管的阈值电压 V_{T0} 加上 $-\frac{Q_{ss}}{C_{ox}} + \Phi_{ms}$ 得到,其关系式为

$$\begin{aligned} V_{T0} &= -\frac{Q_b}{C_{ox}} + 2\Phi_f - \frac{Q_{ss}}{C_{ox}} + \Phi_{ms} \\ &= \frac{1}{C_{ox}} \sqrt{4\epsilon_{si}\epsilon_0 q N_{sub} \Phi_f} + 2\Phi_f - \frac{Q_{ss}}{C_{ox}} + \Phi_{ms}. \end{aligned} \quad (1.2-12)$$

式中 $\Phi_{ms} - \frac{Q_{ss}}{C_{ox}} = V_{FB}$, 称为平带电压。上式既适用于增强型管,也适用于耗尽型管,对于增强

型管,只要满足条件

$$2\Phi_f + \frac{1}{C_{ox}} \sqrt{4\epsilon_{si}\epsilon_0 q N_{sub} \Phi_f} > \frac{Q_{ss}}{C_{ox}} - \Phi_{mi}, \quad (1.2-13)$$

即 $V_T > 0$ 。适当增加衬底浓度 N_{sub} , 减小氧化层中的正电荷 Q_{ss} , 便能做到 $V_T > 0$, 构成 n 沟增强型 MOS 管。如果氧化层中的正电荷 Q_{ss} 较大或衬底浓度 N_{sub} 太小, 有可能使 $V_T < 0$, 形成 n 沟耗尽型场效应管。

对于 p 沟 MOS 管的阈值电压 V_T , 可写为

$$V_T = -\frac{1}{C_{ox}} \sqrt{4\epsilon_{si}\epsilon_0 q N_{sub} \Phi_f} - 2\Phi_f - \frac{Q_{ss}}{C_{ox}} + \Phi_{mi}, \quad (1.2-14)$$

若满足 $V_T < 0$ 的条件, 则得到 p 沟增强型管。如果 $V_T > 0$, 则得 p 沟耗尽型管。由上式可知, p 沟耗尽型管是不易实现的。

由 (1.2-12)、(1.2-14) 式及表 1.2-2 可得铝栅和硅栅阈值电压表示式, 列表 1.2-3。

表 1.2-3 铝栅和硅栅阈值电压表示式*

V_{T0}	p 沟道	n 沟道
铝 栅	$-0.6 - \Phi_f - \frac{Q_b}{C_{ox}} - \frac{Q_{ss}}{C_{ox}}$	$-0.6 + \Phi_f + \frac{Q_b}{C_{ox}} - \frac{Q_{ss}}{C_{ox}}$
硅 栅	$+0.55 - \Phi_f - \frac{Q_b}{C_{ox}} - \frac{Q_{ss}}{C_{ox}}$	$-0.55 + \Phi_f + \frac{Q_b}{C_{ox}} - \frac{Q_{ss}}{C_{ox}}$

* Q_b 为 $-\frac{1}{C_{ox}} \sqrt{4\epsilon_{si}\epsilon_0 q N_{sub} \Phi_f}$ 。

(四) 衬底偏置效应(体效应)对阈值电压的影响

由许多 MOS 管所构成的 MOS 集成电路中, 很多管子做在同一块衬底上, 这时就不能把

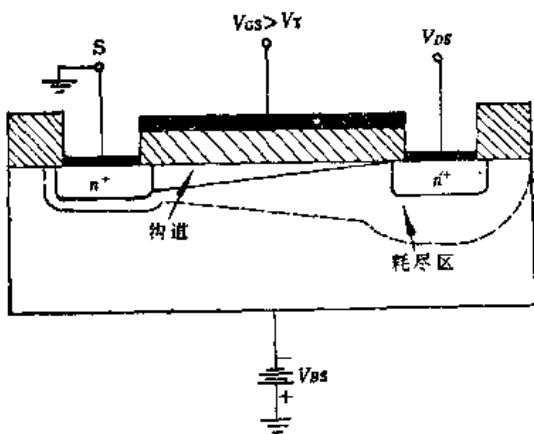


图 1.2-6 n 沟 MOS 管衬底加偏置的情况

所有 MOS 管的源极与公共的衬底相连, 势必有些管子的衬底相对源极加上了一个反向偏置电压 V_{bs} 。由于 V_{bs} 电压的影响, 使增强型 MOS 管的开启电压增大, 而使耗尽型管向增强型管的方向变化。 n 沟 MOS 管衬底加偏置的情况如图 1.2-6 所示。

在 MOS 的衬底与源之间加了反偏电压后, 沟道与衬底之间的耗尽区宽度变大, 带负电的离子增多, 从而耗尽区内有较多的负电荷。在此同时, 由于栅极电压没有变化, 所以栅极上的正电荷量没有改变。按照整个系统的电荷守恒

原理, 硅表面总的负电荷量也不应改变。由此可见, 耗尽区中空间负电荷的增加必然会使沟道中电子电荷密度相应减少, 因此导致沟道导电能力的减弱。若仍要维持沟道内原有的电子电荷密度, 以保持其导电性能, 必须增加栅极电压 V_{gs} 来增加正电荷总量以补偿 V_{bs} 引起的空间电荷区中负电荷的增加。 n 沟道 MOS 管的开启电压就相应提高了。显然, V_{bs} 越大, 开启电压的增加量 ΔV_T 也越大。下面来讨论 ΔV_T 。

由于反向偏压 V_{bs} 的作用, 沟道和衬底间的耗尽层向衬底内部扩展, 耗尽层中的电荷增

多,与(1.2-6)式相似,可表示为

$$(Q_s)_{BS} = -\sqrt{2q\epsilon_{si}\epsilon_0 N_{SUB}(2\Phi_f - V_{BS})}, \quad (1.2-15)$$

其阈值电压为

$$V_T = \frac{1}{C_{ox}} \sqrt{2q\epsilon_{si}\epsilon_0 N_{SUB}(2\Phi_f - V_{BS})} + 2\Phi_f - \frac{Q_{ss}}{C_{ox}} + \Phi_{mf}. \quad (1.2-16)$$

(1.2-16)式减去(1.2-12)式,即得 ΔV_T :

$$\begin{aligned} \Delta V_T &= V_T - V_{T0} = \frac{1}{C_{ox}} \sqrt{2q\epsilon_{si}\epsilon_0 N_{SUB}} (\sqrt{2\Phi_f - V_{BS}} - \sqrt{2\Phi_f}) \\ &= \gamma (\sqrt{2\Phi_f - V_{BS}} - \sqrt{2\Phi_f}), \end{aligned} \quad (1.2-17)$$

式中

$$\gamma = \frac{1}{C_{ox}} \sqrt{2q\epsilon_{si}\epsilon_0 N_{SUB}} \quad (1.2-18)$$

称为体效应因子,从而

$$V_T = V_{T0} + \gamma (\sqrt{2\Phi_f - V_{BS}} - \sqrt{2\Phi_f}). \quad (1.2-19)$$

对于 p 沟增强型 MOS 管, $\Delta V_T < 0$, 即

$$\Delta V_T = -\gamma (\sqrt{2\Phi_f - V_{BS}} - \sqrt{2\Phi_f}). \quad (1.2-20)$$

第三节 MOS 场效应管模型

在分析和设计 MOS 大规模集成电路中, 计算机辅助电路模拟已成为电路设计的基本方法, 电路模拟中所用的 MOS 场效应管模型及所取模型参数的精度, 对计算机辅助设计和分析电路的结果都有很大的影响, 它关系到设计值与实际值是否一致, 因此, 对于 MOS 场效应管模型的研究正在广泛地开展并且逐步地深入, 电路模拟中所用的场效应管模型也在不断地修正. SPICE 是电路模拟中应用最广泛的一种计算机电路分析程序, 它提供了三种 MOSFET 管模型, MOS₁ 是由平方律 $I_{DS}-V_{DS}$ 特性描述的 Shichman-Hodges(9) 模型, MOS₂ 考虑了各种二阶效应, MOS₃ 是半经验模型. 本节只介绍 MOS₁ 模型, 由于这种模型比较简单, 具有一定的精度, 因此在 MOS 集成电路的设计中被广泛采用.

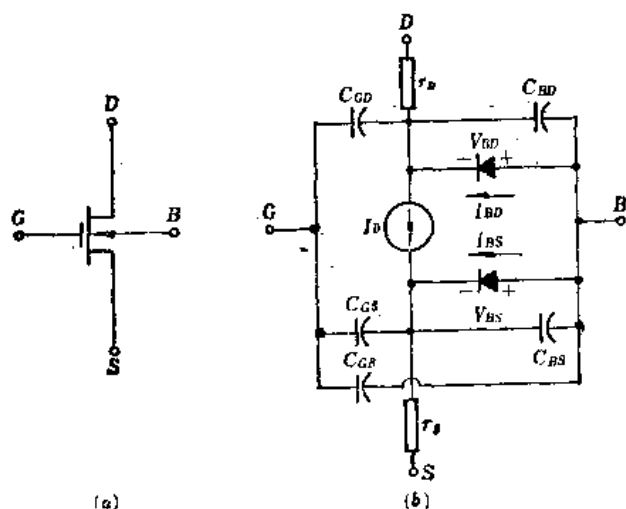


图 1.3-1 n 沟 MOS 场效应管和大信号模型

图 1.3-1 a 为 n 沟 MOS 场效应管, 它的大信号模型如图 1.3-1b 所示. 这种模型适合于直流、大信号瞬态特性分析. 图中的 G 、 D 、 S 分别表示 MOS 的栅、漏、源极, B 表示衬底. 大信号模型由一个电压控制的电流源, 两个二极管, 两个电阻及五个电容组成. 电流源 I_D 模拟 MOS 场效应管的漏源电流, 它受端口电压的控制; 两个二极管 D_1 、 D_2 分别模拟衬底-漏、衬底-源两个二极管; 电阻 r_D 、 r_S 分别模

拟漏欧姆电阻和源欧姆电阻; 电容 C_{gs} 、 C_{gd} 、 C_{gs} 分别为栅源、栅漏、栅-衬底之间的电容, C_{sd} 、 C_{ss} 分别模拟衬底-漏、衬底-源之间的 pn 结电容。

若把图 1.3-1b 中的二极管 D_1 、 D_2 的极性颠倒过来, 便是 p 沟 MOS 管的大信号模型。

从大信号模型很容易得到 MOS 管的直流特性模型和交流小信号特性模型, 下面我们分别进行讨论。

(一) MOS 场效应管的直流特性模型

去除图 1.3-1b 中的五个电容, 即得 n 沟 MOS 管的直流特性模型。该模型除欧姆电阻 r_D 、 r_S 外, 只对漏源电流 I_D 及两个衬底结二极管进行模拟。

由第一节讨论可知, MOS 场效应管工作区分可成线性区(可调电阻区)和饱和区。

现以 n 沟增强型 MOS 为例, 讨论沟道夹断前(即在线性区时)MOS 管的电流-电压特性。

在线性区, 漏电压 V_D 比栅电压 V_G 小。 n 沟 MOS 管的立体图如图 1.3-2 所示。从源极到漏极形成反型层沟道, 沟道的宽度 W 与沟道的长度 L 是定值, 沟道厚度 x_c 小于氧化层厚度 t_{ox} , 沟道的立体图画在图的右面, y 方向为电流 I_D 的流向。

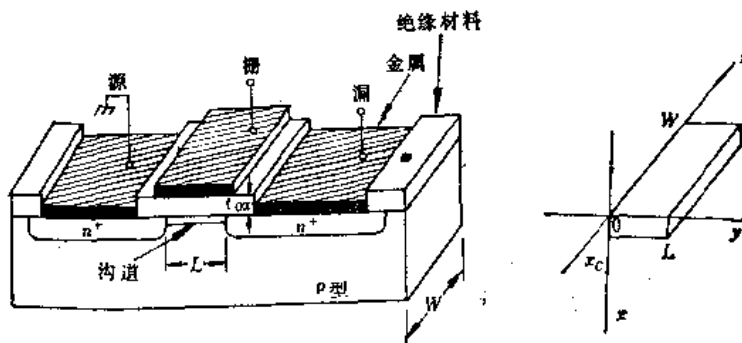


图 1.3-2 n 沟 MOS 管的立体图

设沟道的电流密度为 $J(x, y)$, 则漏源电流 I_D 为

$$I_D = W \int_0^{x_c} J(x, y) dx, \quad (1.3-1)$$

$$\text{因 } J = nq\mu_n \frac{dV(x, y)}{dy}, \quad (1.3-2)$$

而 V 是沟道电压, 它是 x, y 的函数。

将 (1.3-2) 式代入 (1.3-1) 式得

$$I_D = W \int_0^{x_c} nq\mu_n \frac{dV(x, y)}{dy} dx, \quad (1.3-3)$$

上式 n 为沟道中的电子浓度, μ_n 为电子迁移率。

因 x_c 很小, 在 x_c 方向上可近似认为沟道电压 V 是常量, 因而沟道电压 V 只是 y 的函数, 并假设沟道中的电子迁移率也是常量, 则上式可写为

$$I_D = Wq\mu_n \frac{dV}{dy} \int_0^{x_c} n dx, \quad (1.3-4)$$

$$\begin{aligned} \text{而 } q \int_0^{x_c} n dx &= \text{每平方厘米上的沟道电子电荷} = \text{栅极电荷} - V_T \text{ 感应电荷} \\ &= C_{ox}[V_{GS} - V(y)] - C_{ox}V_T = C_{ox}[V_{GS} - V_T - V(y)], \end{aligned} \quad (1.3-5)$$

将上式代入(1.3-4)式得

$$I_D = W \mu_n \frac{dV}{dy} C_{ox} [V_{GS} - V_T - V(y)],$$

$$\int_0^L I_D dy = W \mu_n \int_0^{V_{DS}} C_{ox} [V_{GS} - V_T - V(y)] dV(y),$$

将上式两边积分得

$$I_D L = W \mu_n C_{ox} \left[(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

由上式得

$$\begin{aligned} I_D &= \frac{\mu_n C_{ox} W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \\ &= \frac{\mu_n C_{ox} W}{2L} [2(V_{GS} - V_T) - V_{DS}] V_{DS}, \end{aligned} \quad (1.3-6)$$

式中 μ_n 为沟道内的电子平均迁移率,单位是厘米²/ (伏·秒);

$C_{ox} = \frac{\epsilon_0 \epsilon_{ox}}{t_{ox}}$ 为单位面积的栅氧化层电容,单位是法/厘米²; ϵ_0 为真空电容率,其值为 8.85×10^{-14} 法/厘米; ϵ_{ox} 为栅介质 SiO_2 的相对介电常数,其值为 $3.8 \sim 4$; t_{ox} 为栅氧化层厚度,其值一般为 $600 \sim 1000$ 埃; W 为沟道宽度; L 为沟道长度; 阈值电压 V_T 表示式为

$$V_T = V_{T0} + \gamma [\sqrt{2\Phi_f - V_{BS}} - \sqrt{2\Phi_f}], \quad (1.3-7)$$

其中 V_{T0} 是指 $V_{BS} = 0$ 时的阈值电压,所以 V_{T0} 称为零偏阈值电压,其值由下式决定:

$$V_{T0} = V_{FB} + 2\Phi_f + \frac{2\sqrt{q\epsilon_0\epsilon_{si}N_{SUB}\Phi_f}}{C_{ox}}. \quad (1.3-8)$$

如果假定阈值电压 V_T 为某值(如 $V_T = 1$),那末利用(1.3-6)式可作出 $I_D \sim V_{DS}$ 关系曲线,其曲线如图 1.3-3 所示,对应于某一个 V_{GS} , I_D 有一个最大值,最大值处的 $V_{DS} = V_{GS} - V_T$ 。即 $V_{DS} \geq V_{GS} - V_T$ 时,已不是线性区,而进入饱和区。当 V_{DS} 增大到 $V_{DSat} = V_{GS} - V_T$ 时的漏源电压,在漏端的沟道开始夹断,即漏端的感应沟道消失。这样,(1.3-6)式已不适用了。进入饱和区后, I_D 基本上保持不变,它可以由(1.3-6)式中的 V_{DS} 由 V_{DSat} 代入而得,即有

$$I_D = \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_T)^2. \quad (1.3-9)$$

进入饱和区后,由于漏区和沟道夹断点之间存在着势垒区(见图 1.1-9c),使沟道的有效长度比未夹断时的长度缩短,这个效应称为沟道长度调变效应。设沟道长度缩短值为 ΔL ,那么受调变作用影响的沟道有效长度为

$$L_{eff} = L - \Delta L, \quad (1.3-10)$$

式中的 ΔL 可由下式表示:

$$\Delta L = \sqrt{\left(\frac{2\epsilon_{si}\epsilon_0}{qN_{SUB}}\right)[V_{DS} - (V_{GS} - V_T)]}. \quad (1.3-11)$$

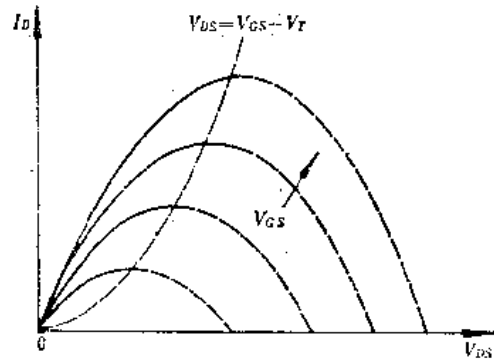


图 1.3-3 $V_{DS} - I_D$ 关系曲线

从式(1.3-11)可看出, 沟道长度的缩短 ΔL 与漏源电压 V_{DS} 有关, V_{DS} 越大, 漏区和沟道夹断点之间的势垒宽度越大, 即 ΔL 越大, 有效沟道长度 L_{eff} 就越小。

沟道长度调变效应造成饱和区电流随着漏源电压 V_{DS} 的增加而增加, 使 MOSFET 的漏源输出阻抗降低。

为反映 MOSFET 进入饱和区后的沟道长度调变效应, 只要将(1.3-9)式中的 L 用(1.3-10)式的 L_{eff} 取代就是了。其关系式写为

$$\begin{aligned} I_D &= \frac{\mu_n C_{ox} W}{2L_{eff}} (V_{GS} - V_T)^2 = \frac{\mu_n C_{ox} W}{2L \left(1 - \frac{\Delta L}{L}\right)} (V_{GS} - V_T)^2 \\ &\approx \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_T)^2 \left(1 + \frac{\Delta L}{L}\right) \\ &= \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}), \end{aligned} \quad (1.3-12)$$

式中的 $\lambda = \frac{\Delta L}{L \cdot V_{DS}}$, 为沟道长度调变参数, 单位是 V^{-1} 。 (1.3-13)

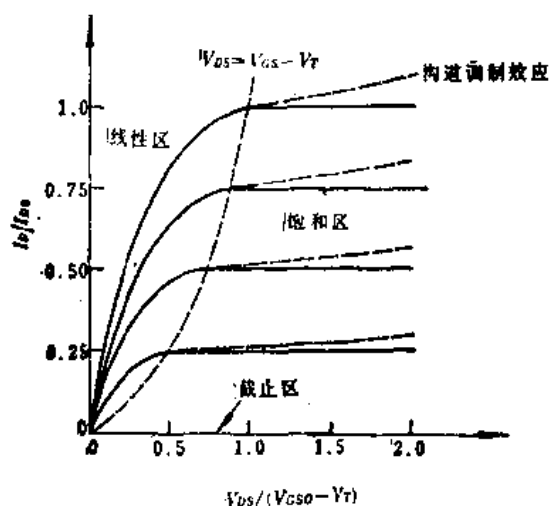


图 1.3-4 MOS 管的输出特性曲线

利用(1.3-6)式和(1.3-12)式, 得到 MOSFET 的输出特性曲线如图 1.3-4 所示。为清楚起见, 图中采用归一化坐标。当 $V_{GS} = V_{GS0}$ 时 $I_D = I_{D0}$ 。在饱和区部分, $\lambda = 0$ 用实线表示; $\lambda \neq 0$ 用虚线表示。

综上所述, MOSFET 的工作区可分三个区, 即截止区、线性区和饱和区, 其各区的电流-电压关系式为,

1. 截止区

$$I_D = 0, \quad V_{GS} - V_T \leq 0. \quad (1.3-14)$$

2. 线性区

$$I_D = \frac{\mu_n C_{ox} W}{2L} [2(V_{GS} - V_T) - V_{DS}] \cdot V_{DS}, \quad (1.3-15)$$

$$0 < V_{DS} < V_{GS} - V_T.$$

3. 饱和区

$$I_D = \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}), \quad (1.3-16)$$

$$0 < V_{GS} - V_T \leq V_{DS}.$$

(1.3-14~16) 中的 V_T 仍用(1.3-7)式表示。

由(1.3-7)式可知, 阈值电压 V_T 与衬底和源极间的反向偏压 V_{BS} 有关, $V_{BS} = 0$ 时, $V_T = V_{T0}$, 随着反向偏压 V_{BS} 增大, V_T 也增大。这种 V_T 随 V_{BS} 增大而增大的效应, 通常称为衬底偏置效应或体效应。其 $V_T - V_{BS}$ 关系曲线可由图 1.3-5 表示。其转移特性曲线 ($I_D - V_{GS}$) 如图 1.3-6 所示。

在电路和版图设计时, 通常将 MOS 管的源极与衬底连接, 以避免衬底偏置效应。

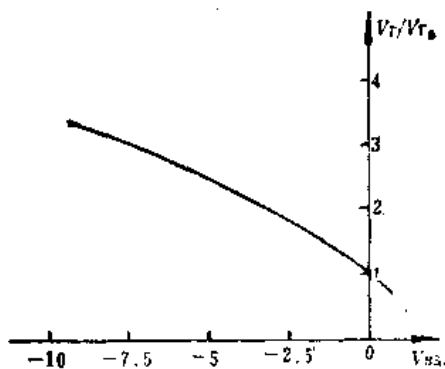


图 1.3-5 V_{BS} - V_T 关系曲线

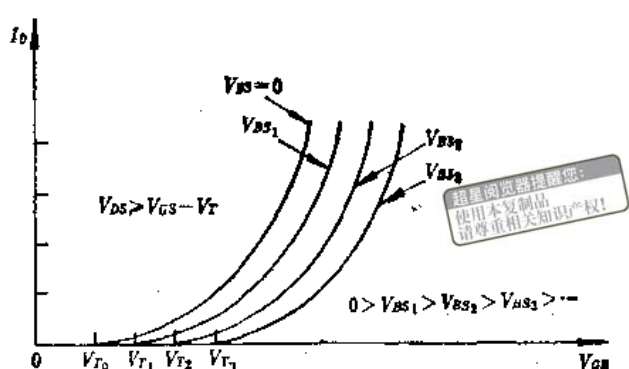


图 1.3-6 转移特性曲线

因 MOS 场效应管是对称的,故 n 沟 MOSFET 既可工作在正向区,即 $V_{DS} > 0$,也可工作在反向区,即 $V_{DS} < 0$ 。工作在反向区时,其作用相当于正向区漏极变成反向区源极,正向区源极变成反向区漏极。同样可写出反向区的电流-电压关系式。

1. 截止区

$$I_D = 0, \quad V_{GD} - V_T < 0. \quad (1.3-17)$$

2. 线性区

$$I_D = \frac{\mu_n C_{ox} W}{2L} V_{DS} [2(V_{GD} - V_T) + V_{DS}], \quad (1.3-18)$$

$$0 < -V_{DS} < V_{GD} - V_T.$$

3. 饱和区

$$I_D = -\frac{\mu_n C_{ox} W}{2L} (V_{GD} - V_T)^2 (1 - \lambda V_{DS}), \quad (1.3-19)$$

$$0 < V_{GD} - V_T < -V_{DS}.$$

(1.3-16~18) 式中的 V_T 的表示式为

$$V_T = V_{T0} + \gamma [\sqrt{2\Phi_f - V_{BD}} - \sqrt{2\Phi_f}], \quad (1.3-20)$$

式中 V_{T0} 、 γ 、 Φ_f 与 (1.3-7) 式相同。

衬底二极管电流可用晶体管中理想的 $p-n$ 结电流方程来模拟,它们是

$$I_{BS} = A_S J_S (e^{qV_{BS}/kT} - 1), \quad (1.3-21)$$

$$I_{BD} = A_D J_S (e^{qV_{BD}/kT} - 1), \quad (1.3-22)$$

式中 I_{BS} 为衬底同源之间的二极管电流, I_{BD} 为衬底同漏之间的二极管电流, V_{BS} 为衬底同源之间的偏置电压, V_{BD} 为衬底同漏之间的偏置电压, A_S 为 MOSFET 源区面积, A_D 为 MOSFET 漏区面积, J_S 为 $p-n$ 结反向饱和电流密度。

图 1.3-1b 中的漏、源欧姆电阻 r_D 、 r_S 数值较小,它对 MOS 管工作点影响可忽略,通常可取其为零。

以上讨论了 n 沟 MOSFET 的直流模型,给出了漏源电流 I_D 的关系式,这些关系式同样适用于 p 沟 MOSFET,只要在 I_D 关系式中将沟道表面电子迁移率 μ_n 换成沟道表面空穴迁移率 μ_p ,并改变 I_D 符号。

根据 MOSFET 的直流模型,就可算出 MOSFET 的直流工作点(电压和电流)。

(二) MOS 场效应管的电容模型

MOS 管大信号模型(见图 1.3-1b)中的五个电容,其 C_{BD} 和 C_{BS} 为 pn 结势垒电容, C_{GS} 、 C_{GB} 和 C_{GD} 为栅极电容, 这些电容分布如图 1.3-7a、b 所示, 下面分两种类型来讨论它们的模型。

1. pn 结势垒电容 C_{BD} 和 C_{BS}

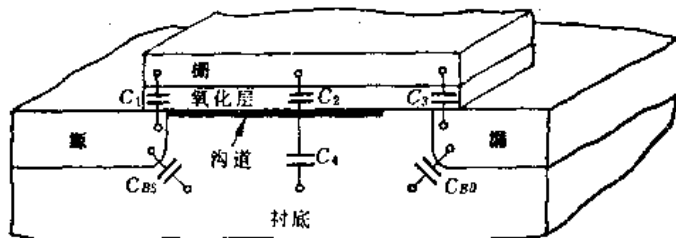
$$C_{BD} = A_D C_j \left(1 - \frac{V_{BD}}{\Phi_B}\right)^m + P_D C_{jsw} \left(1 - \frac{V_{BD}}{\Phi_B}\right)^{mjsw}; \quad (1.3-23)$$

$$C_{BS} = A_S C_j \left(1 - \frac{V_{BS}}{\Phi_B}\right)^m + P_S C_{jsw} \left(1 - \frac{V_{BS}}{\Phi_B}\right)^{mjsw}, \quad (1.3-24)$$

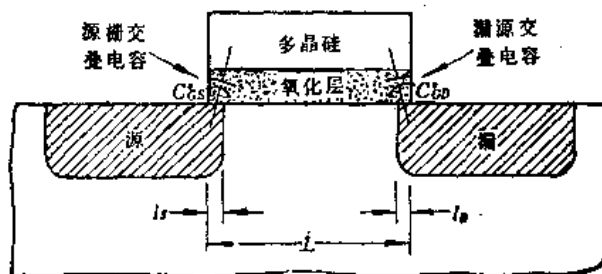
式中 C_j 为零偏电压时单位底面积的结电容, A_D 为 MOSFET 漏区面积, A_S 为 MOSFET 源区面积, m 为底面电容的梯度因子(一般取 $\frac{1}{2}$), Φ_B 为漏源区与衬底间的 pn 结接触电势差(一般取 0.8 伏), C_{jsw} 为零偏电压时单位周长的结电容, P_D 为漏区周长, P_S 为源区周长, m_{jsw} 为侧面电容的梯度因子(一般取 $\frac{1}{3}$); C_j 和 C_{jsw} 为待定的模型参数。

2. 栅极电容 C_{GB} 、 C_{GD} 和 C_{GS}

图 1.3-7a、b 分别示出了 MOS 管的五个电容分布和 MOS 管的剖面结构图, 图中 l_s 为栅氧化层与源区的交叠长度, l_D 为栅氧化层与漏区的交叠长度, C_1 (C'_{gs}) 为栅源交叠电容, C_3 (C'_{gd}) 为栅漏交叠电容, C_2 为栅氧化层电容, C_4 为栅-衬底之间电容。



(a)



(b)

图 1.3-7 MOS 管电容分布图

当 MOSFET 处于截止状态, 即漏源之间的反型层沟道未形成时, 栅极电容可分别表

示为

$$\left. \begin{aligned} C_{GS} &= C_1 = I_S W C_{ox}; \\ C_{GD} &= C_3 = I_D W C_{ox}; \\ C_{GB} &= C_2 = C_{ox} W L, \end{aligned} \right\} (1.3-25)$$

其中 $C_{GB} = \frac{1}{\frac{1}{C_2} + \frac{1}{C_4}}$, 截止时 C_4 较大, 故 $C_{GB} = C_2$.

超星阅读器提醒您:
使用本复制品
请尊重相关知识产权!

当 MOSFET 处于线性区时, 漏源之间产生反型层沟道, 并且沟道与衬底之间形成较厚的耗尽层, 形成一个较小的耗尽层电容 C_4 , 此时栅极电容可表示为

$$\left. \begin{aligned} C_{GS} &= C_1 + 0.5 C_2 = (I_S + 0.5 L) C_{ox} W; \\ C_{GD} &= C_3 + 0.5 C_2 = (I_D + 0.5 L) C_{ox} W; \\ C_{GB} &= \frac{C_2 C_4}{C_2 + C_4} = 0. \end{aligned} \right\} (1.3-26)$$

当 MOSFET 处于饱和区时, 漏端夹断, 沟道长度缩短。从沟道电荷分布考虑, 相当于 C_{GS} 增大, C_{GD} 减小, 此时栅极电容可近似表示为

$$\left. \begin{aligned} C_{GS} &= C_1 + \frac{2}{3} C_2 \\ &= \left(I_S + \frac{2}{3} L \right) C_{ox} W, \\ C_{GD} &= C_3 = I_D C_{ox} W, \\ C_{GB} &= \frac{C_2 C_4}{C_2 + C_4} = 0. \end{aligned} \right\} (1.3-27)$$

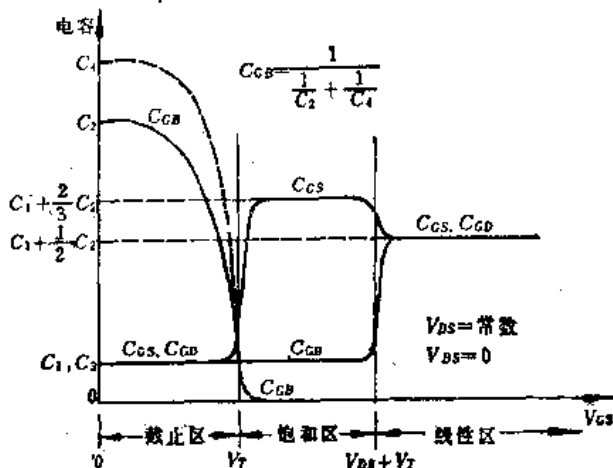


图 1.3-8 栅极电容在不同工作区的近似值

上述栅极电容在不同工作区的近似值可由图 1.3-8 表示。

以上讨论了 MOS 管的五个电容, 这些电容决定了 MOS 管的交流特性和瞬态特性。

(三) MOS 场效应管的交流小信号模型及其特性

1. MOSFET 的交流小信号模型

前面讨论了 MOS 场效应管的大信号模型, 我们可以从 MOS 管大信号模型推导出 MOS 场效应管的交流小信号模型。图 1.3-9 即是从图 1.3-1b 演变而来的 MOS 场效应管的交流小信号模型。图中各参数定义如下:

g_{bd} = 图 1.3-1b 中衬底二极管 D_1 、 D_2 的交流电导:

$$g_{bs} = g_{bd} = \frac{\partial I_{BS}}{\partial V_{BS}} \approx 0,$$

由于在通常情况下, 二极管 D_1 、 D_2 处于反偏的, 因此 g_{bd} 、 g_{bs} 很小。

$$g_d = \text{漏源输出电导} = \left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{GS} = \text{常数}},$$

$$g_m = \text{MOS 场效应管的跨导} = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{BS}, V_{DS} = \text{常数}},$$

$$g_{mb} = \text{MOS 场效应管的衬底跨导} = \left. \frac{\partial I_D}{\partial V_{BS}} \right|_{V_{GS}, V_{DS} = \text{常数}}$$

$g_m V_{GS}, g_{mb} V_{BS}$ 为电压控制的电流源,

$i_{nrD} = r_d$ 电阻的热噪声

$$= \sqrt{\frac{4kT}{r_d}} \text{ 安/(赫兹)}^{\frac{1}{2}}, \quad (1.3-28)$$

$i_{nrS} = r_s$ 电阻的热噪声

$$= \sqrt{\frac{4kT}{r_s}} \text{ 安/(赫兹)}^{\frac{1}{2}}, \quad (1.3-29)$$

$i_{nD} = \text{漏源电流的等效噪声 (主要是 } \frac{1}{f} \text{ 噪声)}$

$$= \left[\frac{8kTg_m(1+\eta)}{3} + \frac{(KF)I_D^2}{fC_{ox}L^2} \right]^{\frac{1}{2}} \text{ 安/赫兹}, \quad (1.3-30)$$

$$\eta = \frac{g_{mb}}{g_m},$$

$KF = 1/f$ 噪声系数 (典型值为 10^{-14});

$AF = 1/f$ 噪声指数 (典型值为 1.0)

f 为频率。

在上述模型中,考虑了 MOS 场效应管的噪声特性。MOS 场效应管的噪声包括闪烁噪声 ($1/f$ 噪声) 以及 r_d 与 r_s 的热噪声。当 MOS 场效应管在低频范围应用时,它的 $\frac{1}{f}$ 噪声往往是主要的噪声源,与 MOS 场效应管栅氧化层的质量密切相关,一般约为双极型晶体管中 $1/f$ 噪声的 5 至 10 倍,因此在设计 MOS 场效应管放大器时更应注意其噪声的影响。

当 S 与 B 短接时,上述模型可用图 1.3-10 中的电路来近似,这里还略去了 r_s, r_d 和噪声的影响。在低频应用时,还可略去图中的电容效应。

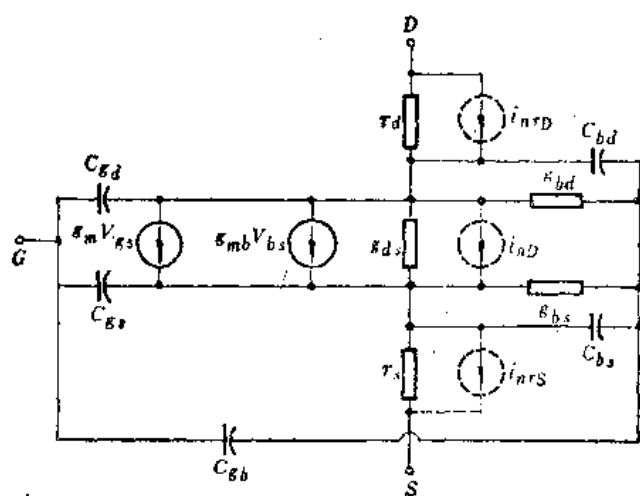


图 1.3-9 MOS 管的交流小信号模型

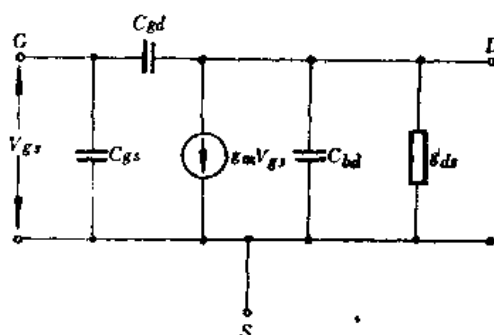


图 1.3-10 S 与 B 短接时的 MOS 管高频等效电路

在上述模型中的电容将影响 MOS 场效应管的高频特性。要提高器件的工作频率，应减小栅区面积以及缩短器件的沟道长度。此外，由于反型层中电子的有效迁移率比空穴的大 3 倍左右，故 n 沟 MOS 场效应管的高频特性比 p 沟 MOS 场效应管好。

2. MOSFET 的交流小信号特性

在下面的讨论中，仍以 n 沟 MOS 场效应管为例，其结果也适用于 p 沟 MOS 场效应管，只要 V_{GS} 、 V_{DS} 以及 V_T 的符号作相应的变化即可。

(1) MOSFET 的跨导 g_m

根据以上定义，跨导就是在漏源电压、衬底-源电压一定时，漏源电流随栅源电压的变化率，用它来表征输入电压对输出电流的控制能力， g_m 越大，控制能力越强。这里所讨论的 g_m 是指在饱和区的跨导。 g_m 可从输出特性曲线（图 1.3-11）求得。若不考虑沟道调制效应，那么 I_D 在饱和区时的关系式为

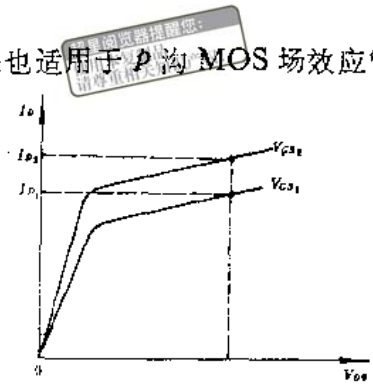


图 1.3-11 MOS 管的输出特性曲线

$$I_D = \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_T)^2.$$

根据 g_m 定义及上式， g_m 的表示式为

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS}=\text{常数}} = \frac{\mu_n C_{ox} W}{L} (V_{GS} - V_T), \quad (1.3-31)$$

$$\text{令 } \beta = \frac{\mu_n C_{ox} W}{L}, \quad (1.3-32)$$

则由上述的关系式中， g_m 可表示为

$$g_m = \beta (V_{GS} - V_T) = \sqrt{2\beta I_D}. \quad (1.3-33)$$

由上式可见，为了提高跨导，就要求增大 β ，即增加沟道的宽长比 W/L 以及电子迁移率 μ_n ，并减小栅氧化层厚度 t_{ox} ，此外也可增大电流 I_D ，但以增加宽长比最为有效。一般来讲，MOS 管的跨导比双极型晶体管低得多。

(2) 衬底跨导 g_{mb}

衬底跨导 g_{mb} 表示了衬底偏置电压变化对 MOS 场效应管漏源电流的影响。当 MOS 场效应管工作在饱和区时，由 I_D 、 V_T 等关系式 (1.3-7)、(1.3-9) 可算得 g_{mb} 为

$$g_{mb} = \frac{\partial I_D}{\partial V_T} \cdot \frac{\partial V_T}{\partial V_{BS}} = \frac{g_m \gamma}{2\sqrt{\phi - V_{BS}}} = \eta \cdot g_m \quad (1.3-34)$$

$$\text{式中 } \eta = \frac{\gamma}{2\sqrt{\phi - V_{BS}}}. \quad (1.3-35)$$

当 $V_{BS} \neq 0$ 时，衬底跨导在交流小信号分析中显得很重要。

(3) 漏源输出电导 g_{ds}

(i) 线性区的输出电导

根据输出电导的定义 (1.3-29) 和 I_D 与 V_{GS} 、 V_{DS} 的关系式 (1.3-15)，可算出 MOS 场效应管在线性区的输出电导，

$$g_{ds} = \beta (V_{GS} - V_T - V_{DS}), \quad (1.3-36)$$

当 $V_{DS} \ll V_{GS} - V_T$ 时，上式可写为

$$g_{ds} = \beta (V_{GS} - V_T). \quad (1.3-37)$$

比较(1.3-37)式和(1.3-33)式可见, MOS 场效应管工作在线性区时, 其输出电导与饱和区的跨导相同。通常用导通电阻 R_{on} 来表示线性区输出电导, 即

$$R_{on} = \frac{1}{g_{ds}} = \frac{1}{\beta(V_{GS} - V_T)}, (V_{DS} \ll V_{GS} - V_T) \quad (1.3-38)$$

上式也可以表示 MOS 场效应管用作模拟开关时的导通电阻。显然, 沟道宽长比 W/L 越大, V_{GS} 越大, 其导通电阻也越小。图 1.3-12 示出了沟道宽长比 W/L 与导通电阻的关系。

线性区的输出特性曲线如图 1.3-13 所示。曲线的斜率的倒数 (V_{DS}/I_D) 即表示导通电阻 R_{on} 。随着 V_{GS}/V_T 从零逐渐增大, R_{on} 从无限大逐渐减小。

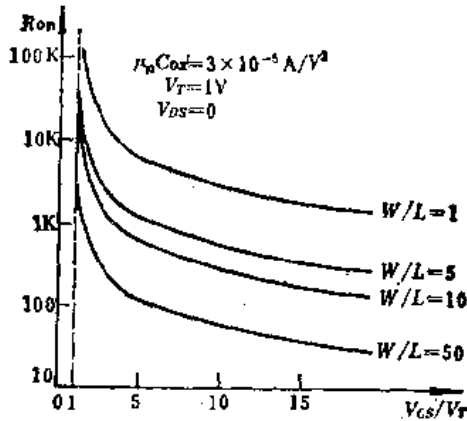


图 1.3-12 沟道宽长比 W/L 与导通电阻 R_{on} 的关系

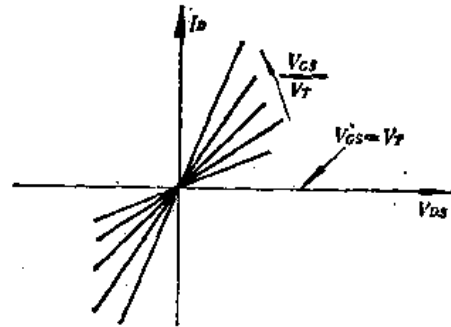


图 1.3-13 线性区的输出特性曲线

(ii) 饱和区的输出电导

当 MOS 场效应管工作于饱和区时, 如果忽略沟道长度的调制效应时, I_D 将不随 V_{DS} 而变, 即它的 g_{ds} 近似为零, 这时它的输出电阻趋于无穷大。实际上, 由于沟道调制效应的影响, 其输出电流随 V_{DS} 的增加而略有增大, 从而使 g_{ds} 增加, 输出电阻 r_{ds} 变小。由(1.3-12)(1.3-13)式可算得饱和区的输出电导为

$$g_{ds} = \lambda I_0 \approx \lambda I_D, \quad (1.3-39)$$

上式的 I_0 与 I_D 的关系为

$$I_0 = \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_T)^2,$$

$$I_D = \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}).$$

$$I_0 = \frac{I_D}{1 + \lambda V_{DS}} \approx I_D.$$

显然, 输出电阻 r_{ds} 为

$$r_{ds} = \frac{1}{g_{ds}} = \frac{1}{\lambda I_D}, \quad (1.3-40)$$

输出电导与 λ 的关系可由图 1.3-14 来表示。

从(1.3-44)式可知, 要增大输出电阻 r_{ds} , 应减小沟道调制参数 λ 和减小工作电流 I_D , 而 λ 和 I_D 都与沟道长度 L 成反比, 那么, 输出电阻 r_{ds} 与沟道长度 L 的平方成正比 ($r_{ds} \propto L^2$), 即增大沟道长度 L 可增大输出电阻 r_{ds} 。

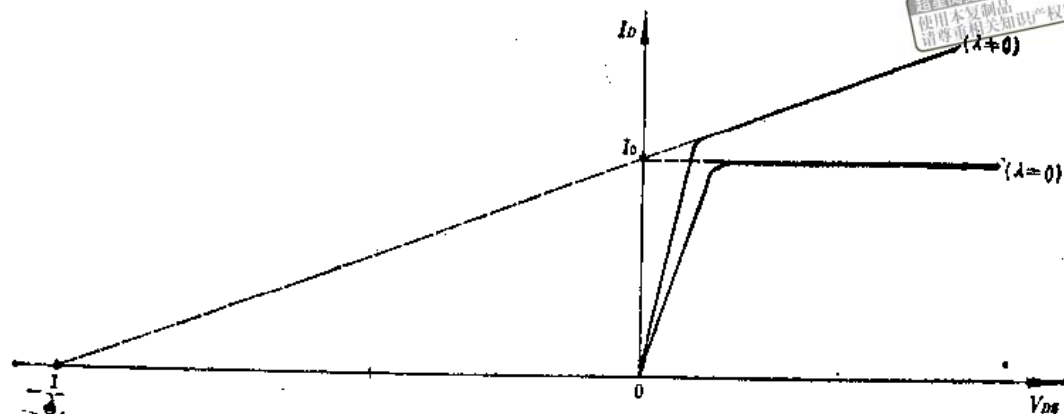


图 1.3-14 沟道调制效应对输出特性曲线的影响

(4) 噪声

一般来说,与双极型器件相比,MOS 器件的噪声更大,因此,在 MOS 模拟电路的设计中,必须更仔细地分析它的噪声特性。

MOS 器件的噪声可以分成两部分:热噪声和 $1/f$ 噪声,其等效输入噪声的频谱如图 1.3-15 所示。

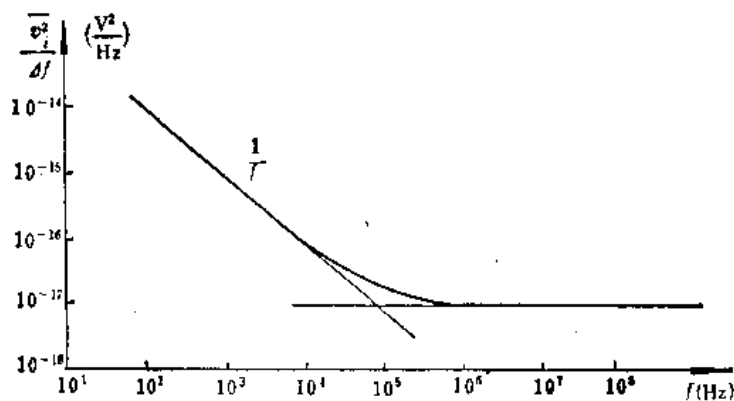


图 1.3-15 MOS 场效应管的等效输入噪声的频谱

MOS 器件的热噪声主要由有限的沟道电阻所产生,其等效输入热噪声电压为

$$\bar{V}_{n_g}^2 = 4kT \left(\frac{2}{3} \frac{1}{g_m} \right) \Delta f, \quad (1.3-41)$$

式中 g_m 是器件的跨导。

由上式可知,热噪声与温度、器件的尺寸(沟道的宽长比)以及它的偏置电流有关。对于 n 沟 MOS 器件,它的工作电流为 50 微安、沟道的宽长 $WL = 100 \times 10$ 微米²和氧化层厚度 $t_{ox} = 1200$ 埃时,其热噪声电压为 10 纳伏/(赫兹)^{1/2}。

另一部分是由于硅和二氧化硅的界面态所产生的 $1/f$ 噪声,其值为

$$\bar{V}_{1/f}^2 = \frac{KF}{C_{ox}WL} \frac{1}{(f)^a} \Delta f, \quad (1.3-42)$$

式中 a 近似为 1, KF 的典型值为 3×10^{24} (伏²·法)/赫兹,对于 n 沟 MOS 器件,其工作电流为 50 微安、沟道 WL 为 100×10 微米²、频率在 1 千赫时,它的 $1/f$ 噪声电压约 100 纳伏/(赫兹)^{1/2}。

第四节 MOS 场效应管的二级效应

以上给出了 MOS 场效应管的一级近似模拟,并在近似条件下推导出一些重要的关系式,这些无疑对分析和设计 MOS 电路是非常重要的。但随着 MOS 集成电路的集成度和速度的提高,器件尺寸越做越小,沟道长度越来越短,由此产生短沟道效应,使阈值电压下降,这就需要对阈值电压关系式进行修正。此外,例如温度变化,使 MOS 器件性能发生变化等。为了提高设计的精确性,本节将介绍些 MOS 器件的二级效应,并给出相应的修正公式。

请尊重知识产权！
使用本复制品
请尊重知识产权！

(一) 短沟道效应

第三节讨论了沟道长度调制效应,其沟道长度调制参数 λ 为(见 (1.3-13)、(1.3-11) 式)

$$\begin{aligned}\lambda &= \frac{\Delta L}{LV_{DS}} \\ &= \frac{1}{LV_{DS}} \sqrt{\frac{2\epsilon_{si}\epsilon_0}{qN_{SUB}} [V_{DS} - (V_{GS} - V_T)]}.\end{aligned}\quad (1.4-1)$$

上式表明,沟道长度 L 越短, λ 值越大。根据典型实验数据,当 L 大于 25 微米时, λ 约为 0.01/伏。当沟道长度 L 小于 25 微米时, λ 可用下式表示,

$$\lambda = \frac{0.25}{L} \text{ 1/伏}, \quad (1.4-2)$$

式中 L 以微米为单位。

沟道长度缩短后,不仅使输出阻抗降低,也使阈值电压下降,体效应减弱。沟道长度缩短后,对阈值电压有贡献的耗尽区电荷总量 Q_d 将减小,因为终止于耗尽层电荷的电力线,部分来自栅极电压,部分来自漏源电压,当沟道长度较长时,可忽略漏源电压电力线的影响,认为耗尽层电荷 Q_d 只对阈值电压有影响;而沟道长度缩短后不能忽略漏源端电压对耗尽层电荷的影响,造成对阈值电压有贡献的耗尽区电荷总量 Q_d 减小,使阈值电压降低。

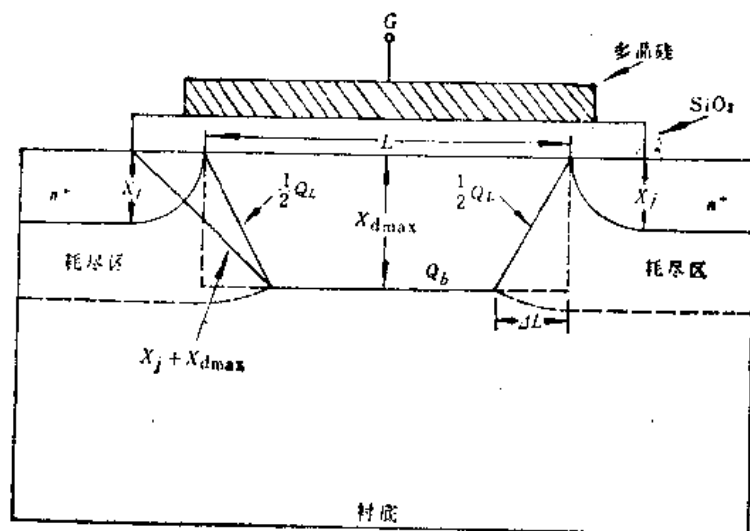


图 1.4-1 MOS 管的二维梯形模型

当沟道长度小于5微米时,可用图1.4-1所示的二维梯形模型来分析这时的阈值电压,图中 x_j 为 n^+ 扩散区的结深, L 为沟道长度, x_{dmx} 为耗尽层厚度。

若假设器件的漏源电压非常小,从源极到漏极之间的耗尽层宽度是均匀的,其宽度为 x_{dmx} ,然而在考虑了源区和漏区的耗尽层宽度后,栅区下面的耗尽层电荷 Q'_b 为

$$Q'_b = Q_b - Q_L,$$

而 $Q_b = L x_{dmx}$, $Q_L = \Delta L x_{dmx}$ 。

由图1.4-1中的几何关系可得

$$(x_j + x_{dmx})^2 = (\Delta L + x_j)^2 + x_{dmx}^2,$$

由上式我们可以得到

$$\Delta L = x_j \left(\sqrt{1 + \frac{2x_{dmx}}{x_j}} - 1 \right), \quad (1.4-3)$$

$$Q'_b = Q_b - Q_L = Q_b - \Delta L x_{dmx}$$

$$= Q_b \left(1 - \frac{\Delta L}{Q_b} x_{dmx} \right)$$

$$= Q_b \left(1 - \frac{\Delta L}{L} \right). \quad (1.4-4)$$

考虑了耗尽层电荷修正后,并参照(1.2-15)和(1.2-18),体效应因子(衬底偏置效应) γ 可作如下修正:

因

$$Q_b = -\sqrt{2q\epsilon_{sl}\epsilon_0 N_{SUB}(2\Phi_f - V_{BS})}$$

$$= -\gamma C_{ox} \sqrt{2\Phi_f - V_{BS}},$$

由上式可得

$$-C_{ox} \sqrt{2\Phi_f - V_{BS}} = \frac{Q_b}{\gamma} = \frac{Q'_b}{\gamma'},$$

即得修正后的体效应因子 γ' 为

$$\gamma' = \gamma \frac{Q'_b}{Q_b}$$

$$= \gamma \left[1 - \frac{x_j}{L} \left(\sqrt{1 + \frac{2x_{dmx}}{x_j}} - 1 \right) \right]. \quad (1.4-5)$$

由上面讨论可知,沟道长度 L 小于5微米时,体效应因子 γ 减小,其 L 与 V_T 的典型值关系如图1.4-2所示。该图引自参考文献[2]。

沟道长度 L 缩短到5微米以下时,不仅要考虑沟道长度调制效应,而且还要考虑由于横向扩散使沟道长度缩短,这时,有效沟道长度 L_{eff} 可表示为:

$$(i) \text{ 线性区 } L_{eff} = L - 2\alpha x_j, \quad (1.4-6)$$

$$(ii) \text{ 饱和区 } L_{eff} = L - \Delta L - 2\alpha x_j, \quad (1.4-7)$$

式中 x_j 为扩散深度, α 为横向扩散修正系数。

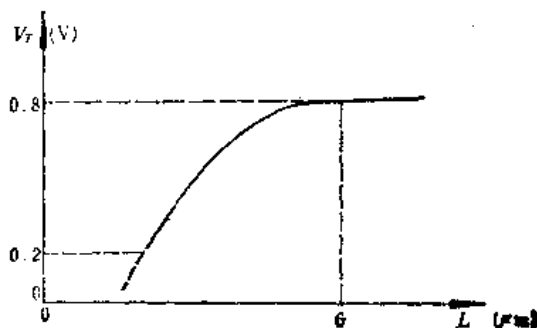


图1.4-2 L 与 V_T 的关系曲线

另一方面,我们在推导线性区漏源电流 I_D 表示式时,假定沟道下面的耗尽层电荷 Q_s 是常数。实际上, Q_s 是沟道电压的函数,是一个变量。考虑到 (1.4-6) 式和 Q_s 是一变量,以及短沟道效应 I_D 关系式修正为(推导可参看资料 [11] pp. 94~95)

$$I_D = \mu C_{ox} \frac{W}{L_{eff}} \left\{ (V_G - V_S - V_{FB} - 2\Phi_f)(V_D - V_S) - \frac{1}{2}(V_D - V_S)^2 - \frac{2}{3}a\gamma[(V_D - V_B - 2\Phi_f)^{3/2} - (V_S - V_B + 2\Phi_f)^{3/2}] \right\}, \quad (1.4-8)$$

(1.4-8) 式的 V_D, V_G, V_S, V_B 都是对参考点的电压, a 为短沟道效应的修正系数,通常取 0.9, 进入饱和区时,漏极电压 V_{Dsat} 表示为(见参考文献 [12])

$$V_{Dsat} = V_G - V_{FB} - 2\Phi_f + \frac{1}{2}(a\gamma)^2 \left[1 + \sqrt{1 + \frac{4(V_G - V_{FB} - V_B)}{(a\gamma)^2}} \right], \quad (1.4-9)$$

饱和区的漏源电流 I_D 只要将 (1.4-8) 式中的 V_D 用 (1.4-9) 式 V_{Dsat} 取代即可。

此外,短沟道使漏源击穿电压降低,长沟道 MOS 场效应管的漏源击穿电压主要是 $p-n$ 结的雪崩击穿,而短沟道 MOS 场效应管的漏源击穿电压由穿通电压引起,穿通电压的大小与沟道长度有关,沟道长度越短穿通电压越低。

(二) 狭沟道效应

当沟道宽度 W 很狭时,耗尽区的电荷会超出沟道宽度以外,见图 1.4-3。

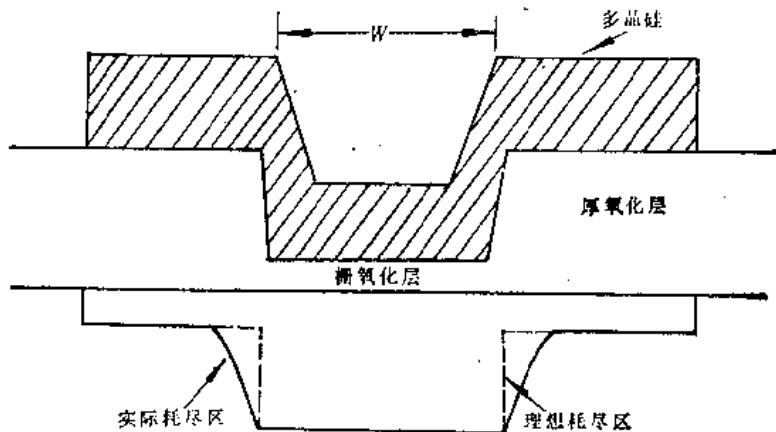


图 1.4-3 MOS 管的狭沟道模型

由于实际耗尽区的电荷多于理想耗尽区电荷,从而使阈值电压增大。这时阈值电压可表示为

$$V_T = \Phi_{ms} - \frac{Q_{ss}}{C_{ox}} + 2\Phi_f + \gamma \sqrt{2\Phi_f - V_{BS}} + \frac{\pi}{4} \frac{\epsilon_0 \epsilon_{si}}{W C_{ox}} (2\Phi_f - V_{BS}), \quad (1.4-10)$$

上式的最后一项表示狭沟道效应对阈值电压的修正。

(三) 亚阈值效应

亚阈值效应又称为弱反型效应。到目前为止,我们均假定当加在 MOS 管栅极上的电压

超过阈值电压时,表面反型,沟道立即形成,这称为强反型近似。采用强反型近似模型计算阈值电压时,半导体表面势 Φ 等于费米势 Φ_f 的二倍($\Phi=2\Phi_f$)。根据强反型近似模型,漏源输出电流 I_D 与 V_{GS} 的关系如图1.4-4中的实线所示。实际上,弱反型区产生了电流 I_D ,即当 $\Phi<2\Phi_f$ ($V_{GS}>V_T$)时,已经开始导电了,这就称为亚阈值效应或弱反型效应。

图1.4-4中的虚线(曲线)反映了经典的强反型近似模型与弱反型模型之间的关系。弱反型模型认为 $V_{GS}<V_T$ 时,导电已开始,而且漏源电导 I_D 与 V_{GS} 的关系是指数关系。当 I_D 随 V_{GS} 指数增加直到与描述强反型模型的实线交于某点(该点所对应的电压为 V_{on})。这意味着当 $V_{GS}<V_{on}$ 时, I_D 与 V_{GS} 是指数关系;而当 $V_{GS}>V_{on}$ 时,则呈线性关系。考虑弱反型效应后,可以定义一个开启电压 V_{on} ,其值为

$$V_{on}=V_T+\frac{n_1 kT}{q} \quad (1.4-11)$$

式中 n_1 为弱反型开启电压的修正系数,约1.5~3。

考虑弱反型效应后,当 $V_{GS}<V_{on}$ 时,漏源电流方程为(详细推导见参考文献[35])

$$I_D=\mu C_{ox} \frac{W}{L} \left\{ \left(V_{on}-V_{BIN}-\frac{\eta V_{DS}}{2} \right) V_{DS} - \frac{2}{3} \alpha \gamma \left[(\Phi-V_{BS}+V_{DS})^{\frac{3}{2}} - (\Phi-V_{BS})^{\frac{3}{2}} \right] \right\} e^{\frac{q}{n_1 kT} (V_{GS}-V_{on})}, \quad (1.4-12)$$

$$\text{式中} \quad V_{BIN}=V_{FS}+\frac{\pi}{4} \frac{\epsilon_{si}}{C_{ox}W} (\Phi-V_{BS}), \quad (1.4-13)$$

$$\eta=1+\frac{\pi}{4} \frac{\epsilon_{si}}{C_{ox}W}, \quad (1.4-14)$$

α 为短沟道效应的修正系数。这表示弱反型时漏源电流 I_D 随 V_{GS} 作指数变化。

(四) 温度效应

为了使MOS场效应管在一定的温度范围内能稳定可靠地工作,在设计时必须考虑适应其参数随温度的变化。半导体器件一般的工作温度范围有两种:一种是军用范围,通常为 $-55\sim+125^\circ\text{C}$;另一种是民用范围,一般为 $-25\sim85^\circ\text{C}$ 。因此,要根据不同的使用情况,来确定对场效应管温度性能的要求。

MOS场效应管性能随温度的变化最主要表现在阈值电压 V_T 及载流子迁移率随温度的变化,下面分别进行讨论。

1. 阈值电压 V_T 随温度的变化

以 n 沟增强型管为例进行讨论。由第二节的讨论可知, n 沟增强型管的开启电压(见(1.2-12)式及其说明)为

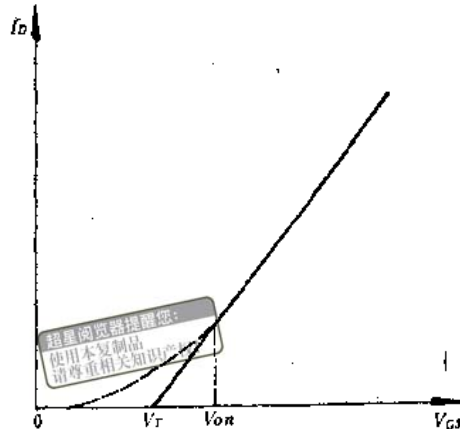


图1.4-4 亚阈值效应

$$V_T = \Phi_{ms} - \frac{Q_{ss}}{C_{ox}} + 2\Phi_f + \frac{1}{C_{ox}} \sqrt{4\epsilon_{si}\epsilon_0 q N_{SUB} \Phi_f},$$

式中

$$\Phi_{ms} = \Phi_m - \left(\Phi_{so} + \frac{E_g}{2q} + \Phi_f \right),$$

Φ_m = 金属-二氧化硅接触电势差

Φ_{so} = 硅-二氧化硅接触电势差,

E_g = 硅禁带宽度,

$$\Phi_f = \frac{kT}{q} \ln \frac{N_{SUB}}{n_i},$$

Φ_f 为 p 型衬底的费米势, 其中 n_i 与 T 的关系可表示为

$$n_i = 3.9 \times 10^{18} T^{\frac{3}{2}} e^{-\frac{E_g}{2kT}},$$

$E_g = 1.21$ 电子伏特。

假定氧化层中的正电荷面密度 Q_{ss} 与温度 T 无关, 实验还发现 SiO_2 两边的金属与半导体 Si 的接触电势差 Φ_{ms} , 在很宽的温度范围内, 近似与温度无关。这样就可得到 V_T 随温度 T 的变化率为

$$\frac{dV_T}{dT} \approx 2 \frac{d\Phi_f}{dT} + \frac{\sqrt{4\epsilon_{si}\epsilon_0 q N_{SUB} \Phi_f}}{2C_{ox}\Phi_f} \frac{d\Phi_f}{dT}, \quad (1.4-15)$$

其中
$$\frac{d\Phi_f}{dT} = \frac{k}{q} \ln \frac{N_{SUB}}{n_i} + \frac{kT}{q} \cdot \frac{d}{dT} \ln \left(\frac{1}{n_i} \right)$$

$$\approx \frac{1}{T} \left[\Phi_f - \frac{3kT}{2q} - \frac{E_g}{2q} \right] \quad (1.4-16)$$

如果在 $T = 300 \text{ K}$ 时, $N_{SUB} = 10^{15}/\text{厘米}^3$, $\Phi_f = 0.29$ 伏, $E_g = 1.21$ 电子伏特, $t_{ox} = 1000$ 埃, $C_{ox} = 35 \times 10^{-8}$ 法, 则有

$$\frac{d\Phi_f}{dT} \approx -0.001 \text{ 伏/}^\circ\text{C};$$

若
$$\frac{\sqrt{4\epsilon_{si}\epsilon_0 q N_{SUB} \Phi_f}}{2C_{ox}\Phi_f} = 0.67,$$

则
$$\frac{dV_T}{dT} \approx -0.00267 \text{ 伏/}^\circ\text{C}.$$

由计算得到的开启电压随温度的变化系数与实验结果较为一致。因此, 对于上述例子, 如果工作温度变化幅度为 $\Delta T = \pm 100^\circ\text{C}$, 则 $\Delta V_T \approx -0.267$ 伏; 如果在 25°C 时, V_T 为 1 伏; 则在 125°C 时, V_T 为 0.733 伏, 如图 1.4-5 所示。对 n 沟 MOS 管而言, 当温度提高时, 阈值电压将降低。对于 p 沟 MOS 管, 可同样进行讨论, 它的 $\frac{dV_T}{dT}$ 总是正值。图 1.4-5 表示了 n 沟 MOS 管的阈值电压 V_T 随温度变化的情况。

2. 载流子迁移率随温度的变化

沟道中载流子的迁移率随温度的变化是 MOS 场效应管温度效应的第二个重要因素。实

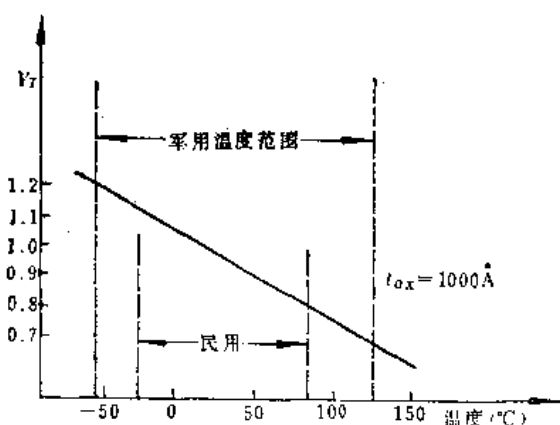


图 1.4-5 n 沟 MOS 管阈值电压 V_T 与温度的关系

验证,对于 MOS 场效应管而言,如果表面电场小于 10^5 伏/厘米,则沟道中电子与空穴的有效迁移率近似于常数,并约等于半导体体内迁移率的一半。实验发现,在 $-55 \sim +125^\circ\text{C}$ 温度范围内,迁移率 μ 与温度 T 近似成反比关系,即

$$\mu \approx \frac{1}{T} \quad (1.4-17)$$

3. 漏源电流 I_{DS} 随温度的变化

MOS 管的阈值电压及载流子的迁移率随温度的变化反过来会影响 MOS 管的电导,即影响它的电流。

V_T 的降低使 I_{DS} 增加, μ_n 的降低会使 I_{DS} 减小,因此当温度升高时, I_{DS} 究竟是增加还是减小,要看这两个效应那个起主要作用。为此将 (1.3-9) 式对 T 求微商

$$\frac{dI_{DS}}{dT} = I_{DS} \frac{1}{\mu_n} \frac{d\mu_n}{dT} - \frac{2I_{DS}}{(V_{GS} - V_T)} \frac{dV_T}{dT}.$$

由于在一般工作温度范围内 $\mu_n \propto \frac{1}{T}$, 因此上式成为

$$\frac{dI_{DS}}{dT} = I_{DS} \left[-\frac{1}{T} - \frac{2}{V_{GS} - V_T} \cdot \frac{dV_T}{dT} \right]. \quad (1.4-18)$$

如果某 n 沟 MOS 场效应管的开启电压 $V_T = 1$ 伏; 工作时 $V_{GS} = 3$ 伏, $\frac{dV_T}{dT} = -0.0026$ 伏/ $^\circ\text{C}$, 则 $\frac{dI_{DS}}{dT}$ 在 300K 时的值为

$$\frac{dI_{DS}}{dT} = I_{DS} [-0.0033 + 0.00267] = -0.00063 I_{DS}.$$

这时,漏源饱和电流的温度系数为负值,说明迁移率变化的影响超过开启电压变化的影响。总的来说 MOS 场效应管电性能的温度稳定性要比双极晶体管好。

以上讨论可知,温度升高,使阈值电压 V_T 下降,迁移率减小,漏源电流 I_{DS} 减小。

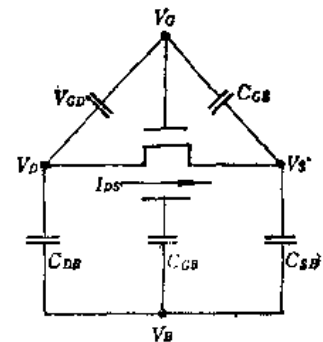


图 1.4-6 MOS 场效应管模型

MOS 场效应管模型如图 1.4-6 所示。

MOS 场效应管的主要参数关系式和工艺参数如下(详见参考文献 [12]):

1. 阈值电压 V_T

$$V_T = V_{FB} + 2\Phi_f + a\gamma\sqrt{V_S - V_B + 2\Phi_f}, \quad (1.4-19)$$

式中 a 为短沟道修正系数, $V_{FB} = \Phi_m - \frac{Q_{ss}}{C_{ox}}$ 。

2. 载流子迁移率 μ

$$\mu = \frac{\mu_0}{1 + \theta(V_G - V_S - V_{FB} - 2\Phi_f)}, \quad (1.4-20)$$

式中 μ_0 为低电场载流子迁移率,

θ 为迁移率的修正系数。

3. 进入饱和区时的漏电压 V_{Dsat}

$$V_{Dsat} = V_G - V_{FB} - 2\Phi_f + \frac{1}{2}(\alpha\gamma)^2 \left(1 - \sqrt{1 + \frac{4(V_G - V_{FB} - V_B)}{(\alpha\gamma)^2}} \right). \quad (1.4-21)$$

4. 沟道长度调制

$$L' = L - 2\alpha x_j, \quad (1.4-22)$$

式中 L 为沟道长度的设计值, x_j 为扩散深度(结深), α 为扩散的横向修正系数,

(1) 线性区 ($V_D \leq V_{Dsat}$)

$$L_{eff} = L' \quad (1.4-23)$$

(2) 饱和区

$$L_{eff} = L' - \alpha K_1 [\sqrt{V_D - V_B + 2\Phi_f} - \sqrt{V_{Dsat} - V_B + 2\Phi_f}], \quad (1.4-24)$$

$$\text{式中 } K_1 = \sqrt{\frac{2\epsilon_{si}\epsilon_0}{qN_{sub}}}$$

5. 沟道宽度 W 的有效宽度 W_{eff}

$$W_{eff} = W - 2\alpha x_w \quad (1.4-25)$$

式中 W 为沟道宽度的设计值

x_w 为场氧化层厚度

6. MOS 场效应管电流 I_{DS}

(1) 线性区 ($V_D \leq V_{Dsat}, V_G - V_S \geq V_T$)

$$\begin{aligned} I_{DS} = \mu C_{ox} \frac{W_{eff}}{L_{eff}} \{ & (V_G - V_S - V_{FB} - 2\Phi_f)(V_D - V_S) \\ & - \frac{1}{2}(V_D - V_S)^2 - \frac{2}{3}(\alpha\gamma) [(V_D - V_B + 2\Phi_f)^{\frac{3}{2}} \\ & - (V_S - V_B + 2\Phi_f)^{\frac{3}{2}}] \} \end{aligned} \quad (1.4-26)$$

(2) 饱和区 ($V_D > V_{Dsat}, V_G - V_S \geq V_T$)

将 (1.4-26) 式中的 V_D 用 (1.4-21) 式的 V_{Dsat} 代替, 可以得到饱和区的 I_{DS} 关系式。

(3) 截止区 ($V_G - V_S < V_T$)

$$I_{DS} = 0.$$

7. MOS 电容 (C_{GS}, C_{GD}, C_{GB})

(1) 线性区

$$\begin{aligned} C_{GS} = C_{GD} &= \frac{C_{gs} + C_{gd} + C_{gb}}{2} = \frac{C_{ox}W}{2} [2\alpha x_j + L - 2\alpha x_j] = \frac{C_{ox}WL}{2}, \\ C_{GB} &= \frac{C_{gb}}{5} = \frac{1}{5} C_{ox}W \alpha x_j. \end{aligned} \quad (1.4-27)$$

(2) 饱和区

$$\left. \begin{aligned} C_{GS} &= C_{gs} + \frac{2}{3} C_{gd} = \frac{2}{3} C_{ox}W \left(L - \frac{1}{2} \alpha x_j \right), \\ C_{GD} &= C_{gd} = C_{ox}W \alpha x_j, \\ C_{GB} &= \frac{C_{gb}}{5} = \frac{1}{5} C_{ox}W (L - 2\alpha x_j). \end{aligned} \right\} \quad (1.4-28)$$

(3) 截止区

$$\left. \begin{aligned} C_{GS} &= C_{gs} = C_{ox} W \alpha x_f, \\ C_{GD} &= C_{gd} = C_{ox} W \alpha x_f, \\ C_{GB} &= C_{gb} = C_{ox} W (L - 2\alpha x_f). \end{aligned} \right\} \quad (1.4-29)$$

8. 结电容 (C_{DB}, C_{SB})

$$C_j = \left(W_j + \frac{\pi}{2} x_j \right) \left(L_j + \frac{\pi}{2} x_j \right) K_2 (V_j - V_B - \Phi_{BJ})^{-\frac{1}{2}} \quad (1.4-30)$$

$$\text{式中 } K_2 = \sqrt{\frac{q \epsilon_{si} \epsilon_0 N_{SUB}}{2}} \quad (1.4-31)$$

W_j, L_j 分别为漏或源的扩散区的宽度和长度, Φ_{BJ} 为 $p-n$ 结的接触电势。

(9) CMOS 工艺的主要参数

t_{ox}	650 埃
α	0.9
α	0.75
x_j	0.3 微米 (n 沟道); 0.6 微米 (p 沟道)
x_w	1.23 微米 (n 沟道); 0.56 微米 (p 沟道)
N_{SUB}	$2.0 \times 10^{16}/\text{厘米}^3$ (p 型衬底); $3.0 \times 10^{15}/\text{厘米}^3$ (n 型衬底)
V_{FB}	-1.27 伏 (n 沟道); -0.2 伏 (p 沟道)
$2\Phi_f$	0.733 伏 (n 沟道); -0.635 伏 (p 沟道)
μ_0	$800 \times 10^{-4} \text{米}^2/(\text{伏} \cdot \text{秒})$ (n 沟道); $300 \times 10^{-4} \text{米}^2/(\text{伏} \cdot \text{秒})$ (p 沟道)
θ	0.1 伏 ⁻¹ (n 沟道); 0.15 伏 ⁻¹ (p 沟道)
Φ_{JB}	0.913 伏 (n 沟道); -0.858 伏 (p 沟道)
ϵ_0	8.85419×10^{-12} 法/米
ϵ_{si}	11.8
ϵ_{ox}	3.9

第二章 MOS 模拟电路中的常用单元电路

本章将介绍 MOS 模拟集成电路中常用的单元电路。利用这些单元电路，就可以设计出比较复杂的 MOS 运算放大器以及其他类型的模拟电路。

第一节 有源电阻

MOS 模拟集成电路中 MOS 场效应管的主要应用有以下三个方面：其一是作为放大器的有源负载，以提高放大器的增益和电路的集成度；其二是作为可变的线性电阻，以实现放大器的增益控制或控制振荡器的反馈强弱；其三是作为等效电阻构成分压电路等。MOS 管的有源电阻有如下几种形式。

(一) 栅漏连接的有源电阻

MOS 场效应管栅漏连接的有源电阻(增强型场效应管)如图 2.1-1a、b 所示。对于 n 沟器件其源极通常接在电源电压的负端，从而消除衬底效应。同样，对于 p 沟器件其源极接在电源电压的正端，也可消除衬底效应。因 $V_{GS}=V_{DS}=V$ ，故图 2.1-1 a、b 有源电阻的 V - I 特性如图 2.1-1 c 所示。由于栅漏相连，工作在饱和区，其 V - I 特性可表示为

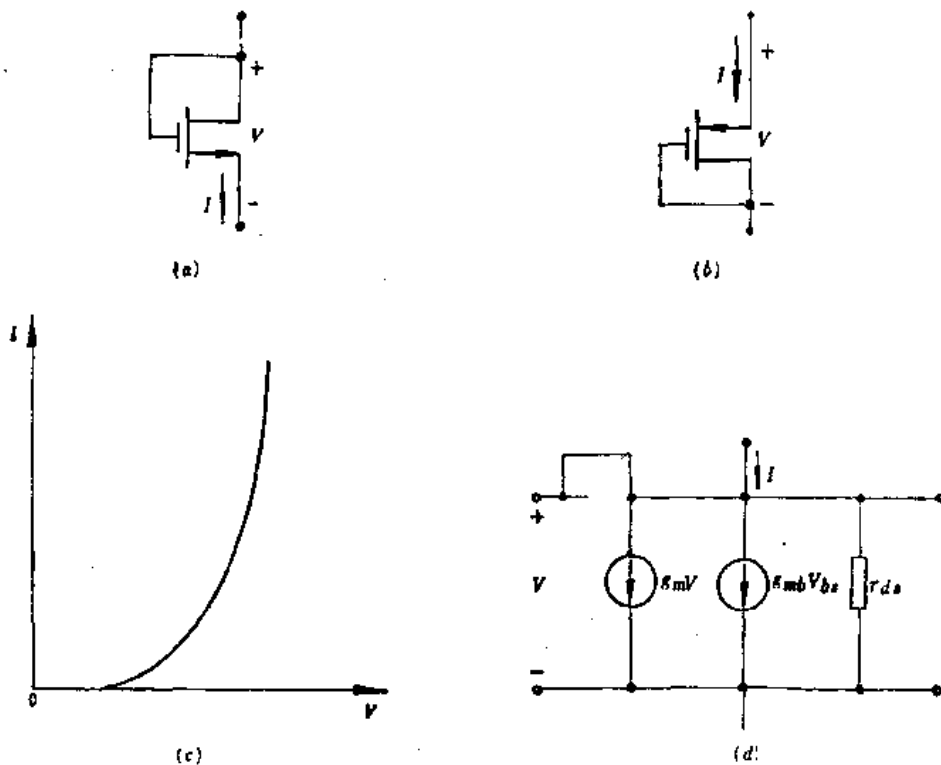


图 2.1-1 栅漏连接的有源电阻及其 V - I 特性和等效电路

$$I = I_D = \frac{\mu_n C_{ox} W}{2L} (V_{SG} - V_T)^2, \quad (2.1-1)$$

令 $\beta = \frac{\mu_n C_{ox} W}{L}$, (2.1-1)式也可写为电压形式,即 (2.1-2)

$$V = V_{GS} = V_{DS} = V_T + \left(\frac{I}{\beta} \right)^{\frac{1}{2}}. \quad (2.1-3)$$

若 $V_{BS} = 0$, 则利用(2.1-1)式或(2.1-3)式可得图 2.1-1 a, b MOS 场效应管的等效电阻, 其阻值为

$$r_o = \frac{\Delta V}{\Delta I} = \frac{1}{\sqrt{2\beta I_D}}. \quad (2.1-4)$$

由第一章(1.3-37)式可知, 上式的等效电阻 r_o 等于跨导 g_m 的倒数, 即

$$r_o = \frac{1}{\sqrt{2\beta I_D}} = \frac{1}{g_m}. \quad (2.1-5)$$

我们也可用图 2.1-1 d 小信号等效电路来计算 r_o , 其表示式为

$$r_o = \frac{r_{ds}}{1 + g_m r_{ds}} = \frac{1}{g_m}. \quad (g_m r_{ds} \gg 1)$$

由上式可知, 要提高 MOS 管栅漏连接的有源电阻的阻值, 可减小沟道的宽度 W , 增大沟道长度 L , 即减小沟道的宽长比。由于受几何尺寸的限制, r_o 不可能做得很大, 因此用栅漏连接的增强型 MOS 管作为放大器的负载时, 电压增益较小。但利用这种有源器件可构成分压器, 其形式如图 2.1-2 所示。

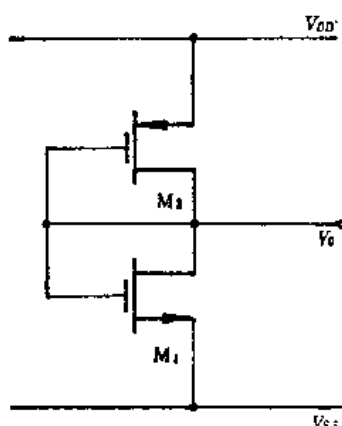


图 2.1-2 MOS管分压电路

现考虑该图的设计方法。设图中的各参数为: $V_{DD} = 5$ 伏, $V_{SS} = -5$ 伏, $V_{T1} = \pm 1$ 伏, $\mu_n C_{ox} = 2.5 \times 10^{-8}$ 安/伏², $\mu_p C_{ox} = 1.25 \times 10^{-8}$ 安/伏², 要求输出电压 $V_0 = 1$ 伏, 其 M_1, M_2 管的工作电流 $I_D = 50$ 微安, 试求 M_1 和 M_2 管的宽长比。

由图可知, M_1 和 M_2 管无衬底偏置效应, 且 $V_{GS1} = V_{DS1} = V_0 - V_{SS}$, $V_{GS2} = V_{DS2} = V_0 - V_{DD}$, $V_{T1} = 1$ 伏, $V_{T2} = -1$ 伏, 根据(2.1-1)式可得

$$\beta_1 = \frac{\mu_n C_{ox} W_1}{L_1} = 4.0 \times 10^{-8} \text{ 安/伏}^2,$$

$$\beta_2 = \frac{\mu_p C_{ox} W_2}{L_2} = 11.12 \times 10^{-8} \text{ 安/伏}^2,$$

由上式可求得 M_1 和 M_2 管的宽长比为:

$$\frac{W_1}{L_1} = 0.16, \quad \frac{W_2}{L_2} = 0.89.$$

分压器也可由全 NMOS 管构成, 其形式如图 2.1-3 所示。根据分压电压 V_1, V_2, V_3 的大小, 工作电流 I_D 的数值以及考虑 M_2 和 M_3 管的衬底偏置效应, 利用(2.1-1)式可求得 M_1, M_2 和 M_3 的宽长比。

(二) n 沟耗尽型作为有源电阻

n 沟耗尽型作为有源电阻时, 其连接方式(即栅源短接)和 $V-I$

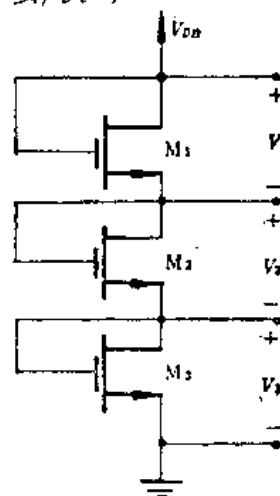


图 2.1-3 NMOS管构成的分压电路

特性分别如图 2.1-4a、b 所示。

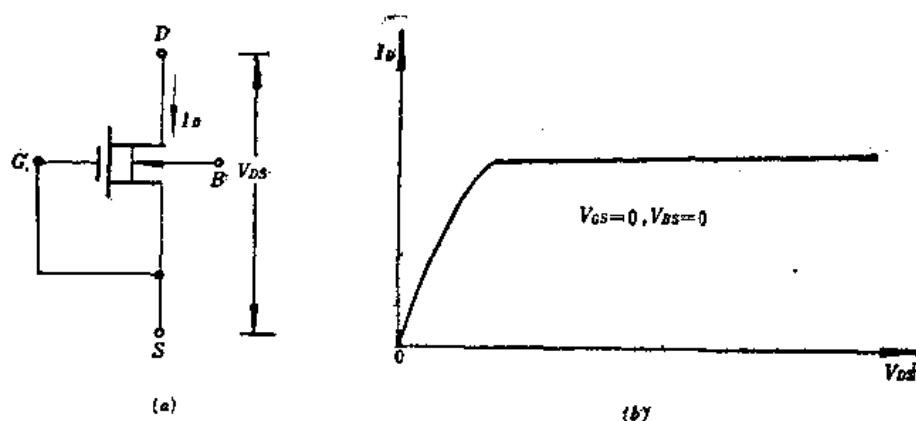


图 2.1-4 n 沟耗尽型管有源负载及其特性

由图可知,当管子进入饱和区后,漏源两端阻抗为高阻抗。

用图 2.1-5 交流小信号等效电路,可求得漏源端的等效阻抗 r_o 。

当衬底与源极之间的电压 $V_{BS}=0$ 时,图中 $g_m V_{gs}$ 、 $g_{mb} V_{bs}$ 均等于零 ($V_{gs}=0$, $V_{bs}=0$),则有

$$r_o = r_{ds} = \frac{1}{\lambda I_{D0}} \quad (2.1-6)$$

当 $V_{BS} \neq 0$ 时,则

$$r_o = \frac{r_{ds}}{1 + g_{mb} r_{ds}} \approx \frac{1}{g_{mb}} \quad (2.1-7)$$

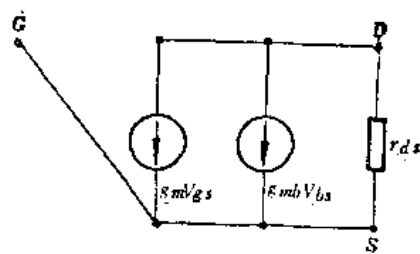


图 2.1-5 交流小信号等效电路

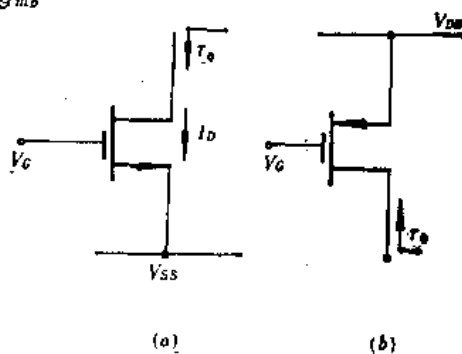


图 2.1-6 源极交流接地的有源电阻

由(2.1-6)、(2.1-7)式可知, n 沟耗尽型 MOS 管的有源电阻比上述增强型 MOS 管的有源电阻大。因而用 n 沟耗尽型 MOS 管作为放大器的有源负载时,具有较高的电压增益。

(三) MOS 场效应三极管连接方式的有源电阻

1. 源极交流接地

图 2.1-6a、b 分别表示 n 沟、 p 沟增强型 MOS 管的源极交流接地的有源电阻。

(1) 饱和区 ($V_{DS} \geq V_G - V_T$)

有源电阻 r_o 为

$$r_o = r_{ds} = \frac{1}{\lambda I_D} \quad (2.1-8)$$

(2) 线性区 ($V_{DS} < V_G - V_T$) 有源 r_o 电阻为

$$r_o = \frac{1}{g_m} = \frac{1}{\sqrt{2\beta I_D}} \quad (2.1-9)$$

2. 漏极交流接地

图 2.1-7 a、b 分别表示 n 沟、 p 沟增强型 MOS 管的漏极交流接地的有源电阻。

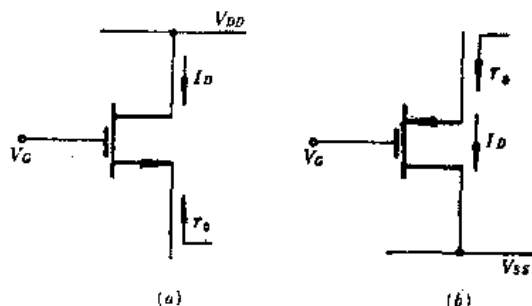


图 2.1-7 漏极交流接地的有源电阻

根据小信号交流等效电路，很容易求得 r_o

为

$$r_o = \frac{1}{g_m + g_{ds}} \quad (2.1-10)$$

工作在饱和区时， $g_m \gg g_{ds}$ ，上式可写为

$$r_o = \frac{1}{g_m} = \frac{1}{\sqrt{2\beta I_D}} \quad (2.1-11)$$

工作在非饱和区时，(2.1-10)式中的 g_m 、 g_{ds} 分别表示为

$$g_m = \frac{\mu C_{ox} W}{L} V_{DS} = \beta V_{DS} \quad (2.1-12)$$

$$g_{ds} = \frac{\mu C_{ox} W}{L} (V_{GS} - V_T) = \beta (V_{GS} - V_T) = \sqrt{2\beta I_D} \quad (2.1-13)$$

由以上分析表明，源极交流接地时其输出阻抗较高，因而在 MOS 放大器中，为增大电压增益，通常采用源极交流接地作为放大器的有源负载。

第二节 恒流源电路

在 MOS 模拟集成电路中，恒流源电路常作为偏置电路以及作为放大器的有源负载。模拟集成电路性能的优劣常与恒流源电路的恒流特性密切相关。MOS 场效应管恒流源的电路形式与双极型晶体管电路基本相似。现介绍几种常用的 MOS 管恒流源电路。

(一) 基本的恒流源电路

基本的恒流源电路如图 2.2-1 所示，图中的 I_R 为参考电流， I_o 为输出电流。MOS 管 M_1 工作在饱和区 ($V_{DS} = V_{GS}$)，若 MOS 管 M_2 的 $V_{DS} \geq V_{DSat} = V_{GS} - V_T$ ，那么 M_2 也工作在饱和区。

根据饱和区的电流方程可求得 I_o 与 I_R 的关系式为

$$I_o = \frac{W_2}{L_2} \cdot \frac{(1 + \lambda V_{DS1})}{(1 + \lambda V_{DS2})} I_R \quad (2.2-1)$$

式中 W_2/L_2 为 M_2 管的宽长比， W_1/L_1 为 M_1 管的宽长比，并假定两管的 μ 、 C_{ox} 和 λ 相同。

由(2.2-1)式可知，只要改变 M_1 、 M_2 管的宽长比，就可设计出所需要的 I_o 。若 $V_{DS1} = V_{DS2}$ ， $W_2/L_2 = W_1/L_1$ ，则 $I_o = I_R$ 。因 $V_{DS1} = V_{GS1}$ ， $V_{DS2} = V_o$ ，而 V_o 是输出电压，通常 V_o 是一变量，且 $V_o > V_{DS1}$ ，由于沟道长度调制效应的存在， I_o 随输出电压 V_o 的变化而变化。显然，只有 $\lambda = 0$ 时，才能使 I_o 为恒定值。

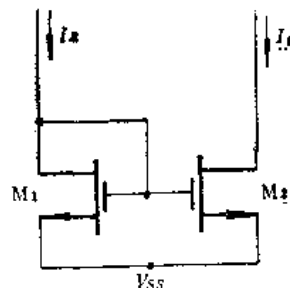


图 2.2-1 基本的恒流源电路

(二)高输出阻抗的恒流源电路

 I_0 与 I_R 的关系可写为

$$\frac{I_0}{I_R} = \frac{\frac{W_2}{L_2}}{\frac{W_1}{L_1}} \cdot \frac{1 + \lambda V_{DS1}}{1 + \lambda V_{DS2}} = \frac{\frac{W_2}{L_2}}{\frac{W_1}{L_1}} \quad (2.2-2)$$

 V_0 可表示为

$$V_0 = V_2 + V_4 = r_{d1} [i_0 + g_{m1} V_2 - g_{m1} (V_3 + V_1 - V_2)] + V_2.$$

而 $V_2 = r_{ds}(i_0 - g_m V_1)$,

因参考电流 I_k 是恒定的, 故在交流小信号条件下, $i_k=0, V_1=V_2=0$ 。这样, 上述表示式为

$$V_0 = i_0 [r_{ds_2} + r_{ds_4} + r_{ds_2} r_{ds_4} (g_{m_4} + g_{m_{b_4}})] = i_0 [r_{ds_2} + r_{ds_4} + r_{ds_2} r_{ds_4} g_{m_4} (1 + \eta_4)].$$

而 $\eta_4 = g_{m_{b_4}}/g_{m_4}$ 。因此输出阻抗 r_0 为

$$r_0 = \frac{v_0}{\dot{\theta}_0} = r_{d\alpha_2} + r_{d\alpha_4} + r_{d\alpha_3} r_{d\alpha_4} (1 + \eta_4) g_{m_4}, \quad (2.2-3)$$

因 $r_{dr_1} g_{m_1} \gg 1, \eta_1 \ll 1$, 故上式近似为.

$$r_0 = r_{d12} r_{d24} g_{m40} \quad (2, 2-4)$$

(2.2-4)式表明,该恒流源的输出阻抗 r_o 比图2.2-1恒流源电路的输出阻抗大 $g_m r_{ds}$ 倍。通常 $g_m r_{ds}$ 值约50~100,因此,图2.2-2的恒流源电路的输出阻抗比图2.2-1的恒流源电路

的输出阻抗大 50~100 倍。

(三) 威尔逊(Wilson)恒流源电路

威尔逊恒流源如图 2.2-4 所示。由于负反馈作用使该电路具有很高的输出阻抗和良好的恒流特性。

同样可用交流小信号等效电路求出该电路输出阻抗 r_o 。在不考虑 M_1 管衬底偏置效应的情况下, r_o 可写成

$$r_o = \frac{v_o}{i_o} = \frac{1}{g_{m_2}} + r_{ds_1} \left[1 + \frac{g_{m_1}}{g_{m_2}} (1 + g_{m_2} r_{ds_2}) \right]. \quad (2.2-5)$$

如果假定 $g_{m_1} = g_{m_2} = g_{m_3}$, 并且 $g_{m_2} r_{ds_2} \gg 1$, 那么 (2.2-5) 式可写成

$$r_o = r_{ds_1} \cdot g_{m_1} \cdot r_{ds_2} \quad (2.2-6)$$

(2.2-6) 式与 (2.2-4) 式相同, 因此, 威尔逊恒流源也具有很大的输出阻抗。

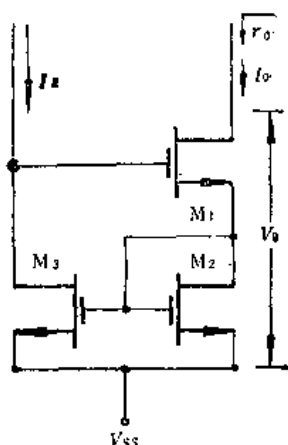


图 2.2-4 威尔逊恒流源

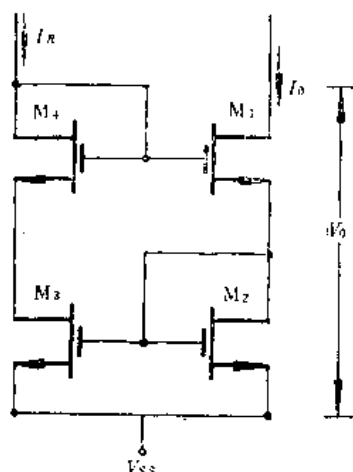


图 2.2-5 改进的威尔逊恒流源电路

图 2.2-4 中的 M_3 、 M_2 管的漏源电压是不相同的, 为使其相同, 可引入 MOS 二极管 M_4 , 其电路形式如图 2.2-5 所示。这种电路与图 2.2-4 相比, 具有更好的恒流特性, 故称图 2.2-5 恒流源电路为改进的威尔逊恒流源电路。

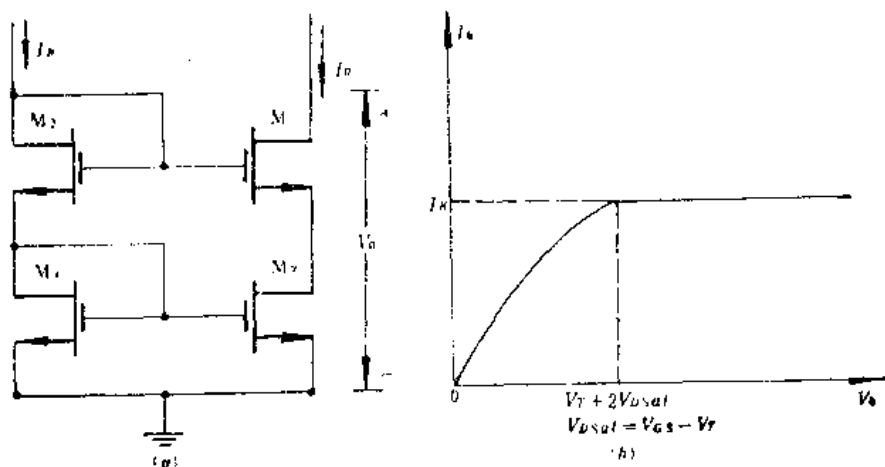


图 2.2-6 高阻抗恒流源电路及其特性

(四)高输出阻抗、高摆幅输出的恒流源电路

上述改进的恒流源电路虽提高了输出阻抗、改善了恒流性能,但作为有源负载时,输出摆幅较小,这是因为输出级采用串级形式,进入饱和区的电压(V_0)较大。现以图 2.2-2 恒流源电路为例,进行说明。为讨论方便起见,电路重画如图 2.2-6a 所示。此时输出电压(V_0)-输出电流(I_0)的特性曲线如图 2.2-6b 所示。图中 M_2 管的漏源电压 V_{DS_2} 等于栅源电压 V_{GS_2} (V_{GS_4}), M_1 管的漏源饱和电压 $V_{DS_{sat}} = V_{GS_1} - V_T$, 因此, M_1 管进入线性区之前,输出电压 V_0 的最小值为

$$V_{0min} = V_{GS_1} - V_T + V_{GS_2}$$

设 $M_1 \sim M_4$ 管参数相同,则上式可写成

$$V_{0min} = V_T + 2V_{DS_{sat}} \quad (2.2-7)$$

而 $V_{DS_{sat}} = V_{GS} - V_T$,

由上式可知,负向输出摆幅不仅决定于管子的饱和压降 $V_{DS_{sat}}$,还要加上阈值电压 V_T 。

为消除(2.2-7)式中的 V_T 项,增大输出电压 V_0 的动态摆幅,可采用图 2.2-7a 的电路

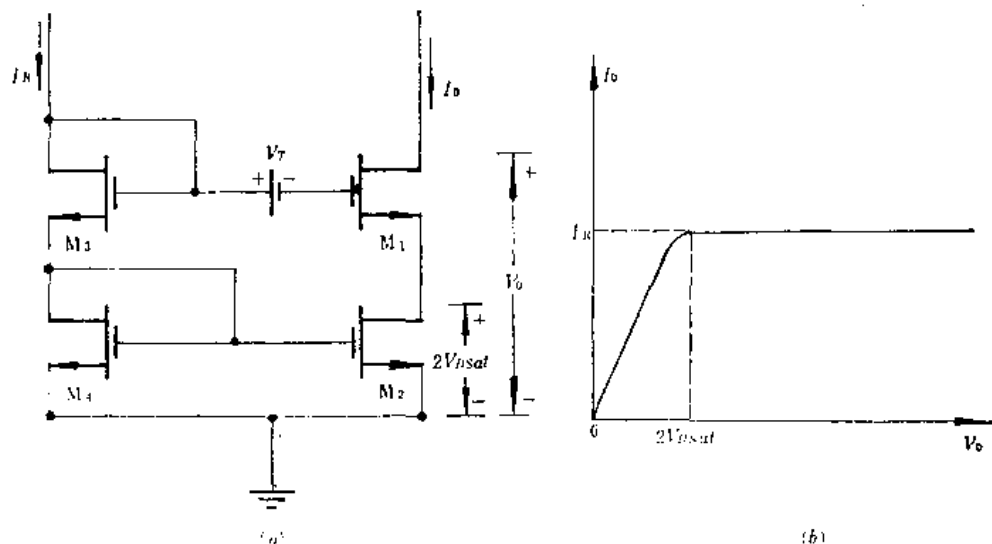


图 2.2-7 高阻抗、高输出摆幅恒流源电路及其特性

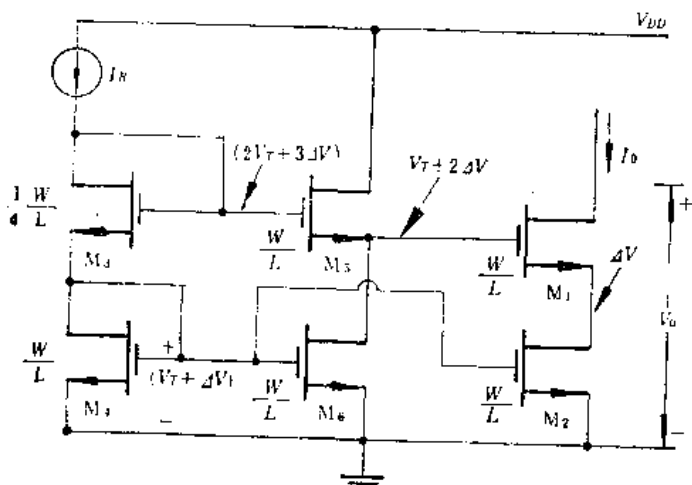


图 2.2-8 高阻抗、高输出摆幅的恒流源电路

形式,在 M_1 管和 M_3 管栅极之间加入了一个电平移位电压源,其值等于阈值电压 V_T 。加入电平移位电压源 V_T 后, M_2 管的漏源电压 $V_{DS} = V_{DS_{sat}} = V_{GS} - V_T$ 。显然, M_1 管进入线性区之前,输出电压 V_0 的最小值为

$$V_{0min} = 2V_{DS_{sat}} \quad (2.2-8)$$

图 2.2-7b 表示了图 2.2-7a 电路的输出特性曲线。

图 2.2-7a 的实际电路如图 2.2-8 所示,图中所有 MOS 管

的偏置电流为 I_0 ($I_R = I_0$), 除 M_3 管外, 其他 MOS 管的宽长比 (W/L) 均相同, M_3 管的宽长比为其他 MOS 管宽长比 (W/L) 的 $1/4$ 。为书写方便起见, 图中的 $\Delta V = V_{DSat}$ 。

因 M_3 管的宽长比 (W/L) 是其他 MOS 管的宽长比 (W/L) 的 $1/4$, 并根据 $I_D = \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_T)^2$ 关系式, 不难证明, 这样的电路结构及器件尺寸, M_3 管的栅极电位为 $2V_T + 3\Delta V$, 从而使 M_2 管的漏源电压 $V_{DS} = \Delta V = V_{DSat} = V_{GS} - V_T$, 保证了输出电压 V_o 最小值为

$$V_{o\min} = 2\Delta V = 2V_{DSat}.$$

图 2.2-8 恒流源电路可作为有源负载, 以实现高增益、大的输出摆幅。

附录 (2.2-9)
使用本
请尊重相关知识产权

第三节 偏置电路

在 MOS 模拟集成电路中, 偏置电路是不可缺少的重要组成部分。偏置电路与上一节恒流源电路密切相关。在第二节, 我们对恒流源电路的恒流特性及输出阻抗进行了讨论, 而对如何实现参考电流 I_R 没有进行说明, 这一节, 将重点讨论参考电流源 I_R 如何实现。 I_R 决定后, 就可根据沟道的宽长比 (W/L) 设计出所需要的恒流源电流 I_0 。

(一) 基本的偏置电路

基本的偏置电路如图 2.3-1 所示。参考电流 I_R 由电阻 R_B 、电源电压 (V_{DD} 、 V_{SS}) 和 M_1 管的 V_{GS1} 电压所决定, 即

$$I_R = \frac{V_{DD} - (V_{GS1} - V_{SS})}{R_B}. \quad (2.3-1)$$

M_1 管工作在饱和区, 其电流可用下式表示

$$I_R = \frac{\mu_n C_{ox} W_1}{2L_1} (V_{GS1} - V_T)^2 \times (1 + \lambda V_{DS1}), \quad (2.3-2)$$

由上式可得 M_1 管的宽长比为

$$\frac{W_1}{L_1} = \frac{2I_R}{\mu_n C_{ox} (V_{GS1} - V_T)^2 (1 + \lambda V_{DS1})}, \quad (2.3-3)$$

上式的 $V_{DS1} = V_{GS1}$, 电压值较小, $\lambda V_{DS1} \ll 1$ 因此上式可简化为

$$\frac{W_1}{L_1} = \frac{2I_R}{\mu_n C_{ox} (V_{GS1} - V_T)^2}, \quad (2.3-4)$$

利用 (2.3-1)、(2.3-4) 式, 对于给定的 I_R 、电源电压 (V_{DD} 、 V_{SS}) 和 M_1 管的 V_{GS} 电压, 可求得 R_B 和 M_1 管的宽长比 W_1/L_1 , 现举例如下:

【例】 $I_R = 80$ 微安, $V_{DD} = 5$ 伏, $V_{SS} = -5$ 伏, $V_{GS1} = 2$ 伏, $V_T = 1$ 伏, $\mu_n = 600$ 厘米²/伏·秒, $t_{ox} = 1000$ 埃, $I_{o1} = 100$ 微安, $I_{o2} = 200$ 微安, $\epsilon_0 = 8.85 \times 10^{-14}$ 法/厘米, $\epsilon_{ox} = 3.9$ 。

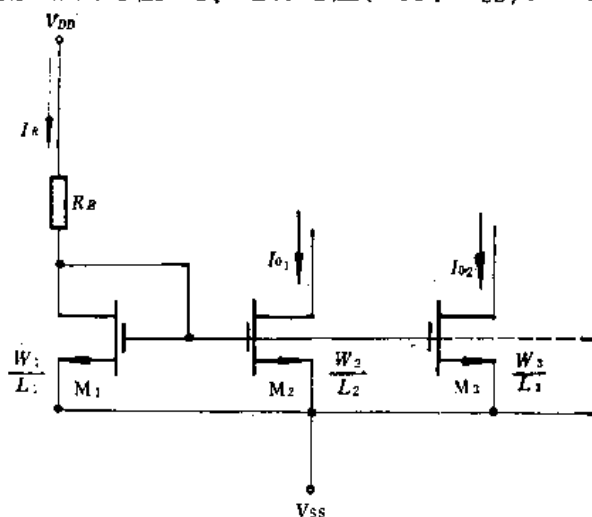


图 2.3-1 基本的偏置电路

试计算 R_B , W_1/L_1 , W_2/L_2 和 W_3/L_3 。

由(2.3-1)式

$$R_B = \frac{V_{DD} - (V_{GS1} - V_{SS})}{I_R} = 100 \text{ 千欧},$$

由(2.3-4)式

$$\begin{aligned} \frac{W_1}{L_1} &= \frac{2I_R}{\mu_n C_{ox} (V_{GS1} - V_T)^2} = \frac{2I_R}{\mu_n \frac{\epsilon_0 \epsilon_{ox}}{t_{ox}} (V_{GS1} - V_T)^2} = \frac{2 \times 80 \times 10^{-8}}{600 \times \left(\frac{8.85 \times 10^{-14} \times 3.9}{1000 \times 10^{-8}} \right)} \\ &= \frac{160}{20} = \frac{80}{10}, \end{aligned}$$

$$\frac{I_{D1}}{I_R} = \frac{\frac{W_2}{L_2}}{\frac{W_1}{L_1}},$$

$$\frac{W_2}{L_2} = \frac{I_{D1}}{I_R} \cdot \frac{W_1}{L_1} = \frac{100}{80} \cdot \frac{80}{10} = \frac{100}{10},$$

$$\frac{W_3}{L_3} = \frac{I_{D1}}{I_R} \cdot \frac{W_1}{L_1} = \frac{200}{80} \cdot \frac{80}{10} = \frac{200}{10}.$$

取 $L_1 = L_2 = L_3 = 10$ 微米,

则 $W_1 = 80$ 微米, $W_2 = 100$ 微米, $W_3 = 200$ 微米。

图 2.3-1 的偏置电阻 R_B 的阻值较大, 需占用较大硅片面积, 为提高集成度, R_B 电阻可用 MOS 管取代。

(二) NMOS 管的偏置电路

NMOS 管的偏置电路有两种, 一种是用增强型管作为等效电阻的偏置电路, 另一种是用

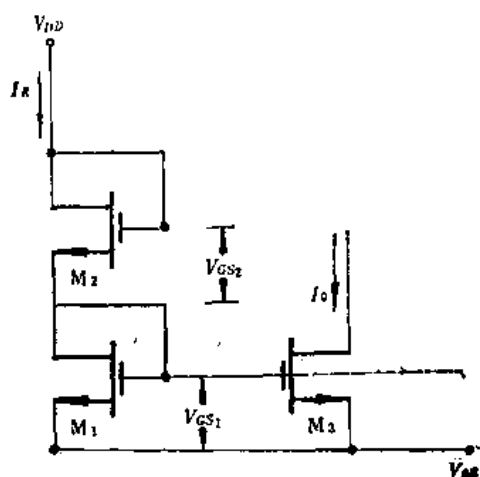


图 2.3-2 NMOS 增强型管的偏置电路

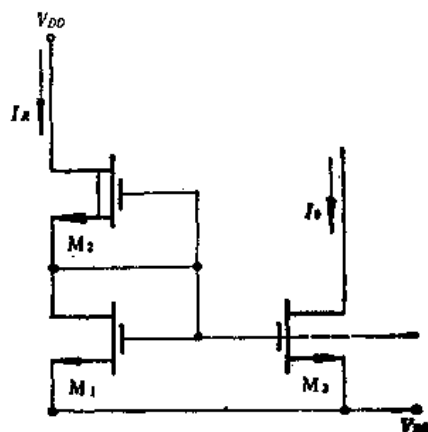


图 2.3-3 NMOS 耗尽型管的偏置电路

耗尽型管作为等效电阻的偏置电路, 电路形式分别如图 2.3-2, 图 2.3-3 所示。

图 2.3-2 和图 2.3-3 中的 M_2 管其作用相当于图 2.3-1 中的偏置电阻 R_B 。由 MOS

管的电流-电压特性可知,减小 MOS 管的沟道宽长比(W/L),即增大沟道长度 L ,可提高漏源两端的等效电阻阻值(这里说的等效电阻是指直流等效电阻, (V_{DS}/I_D))。如果 M_1 、 M_2 管的沟道宽长比决定后,参考电流 I_R 也就确定了。反之,给定参考电流 I_R 以及 M_1 、 M_2 管的工作电压(V_{GS})可分别计算出 M_1 管和 M_2 管的沟道宽长比。先对图 2.3-2 电路进行讨论。

由图 2.3-2 可知, M_1 管和 M_2 管的漏源电流 I_D 相同,等于 I_R 。根据电流方程可得

$$I_{D1}=I_R=\frac{\mu_n C_{ox} W_1}{2L_1} (V_{GS1}-V_{T1})^2, \quad (2.3-5)$$

$$I_{D2}=I_R=\frac{\mu_n C_{ox} W_2}{2L_2} (V_{GS1}-V_{T1})^2. \quad (2.3-6)$$

由上述两个方程得到

$$\begin{aligned} \frac{W_1}{L_1} (V_{GS1}-V_{T1})^2 &= \frac{W_2}{L_2} (V_{GS1}-V_{T1})^2, \\ \frac{\frac{W_1}{L_1}}{\frac{W_2}{L_2}} &= \frac{(V_{GS1}-V_{T1})^2}{(V_{GS1}-V_{T1})^2}. \end{aligned} \quad (2.3-7)$$

上式的阈值电压 V_{T1} 、 V_{T2} 分别表示为(见第一章(1.2-19)式)

$$\begin{aligned} V_{T1} &= V_{T1}, \\ V_{T2} &= V_{T1} + \gamma \left[\sqrt{2\Phi_f - V_{BS}} - \sqrt{2\Phi_f} \right] \\ &= V_{T1} + \gamma \left[\sqrt{2\Phi_f - V_{GS1}} - \sqrt{2\Phi_f} \right]. \end{aligned}$$

根据(2.3-5)、(2.3-7),可求得 M_1 、 M_2 管的沟道宽长比。现举例说明

$I_R=80$ 微安, $V_{DD}=2.5$ 伏, $V_{SS}=-2.5$ 伏, $V_{T1}=1$ 伏, $\mu_n=600$ 厘米²/伏秒, $t_{ox}=1000$ 埃, $I_0=200$ 微安。

为简单起见,假设 M_2 管的衬底与源极连接, $V_{BS}=0$, $V_{T1}=V_{T2}=V_{T1}$ 。试计算 M_1 、 M_2 和 M_3 的沟道宽长比。

由(2.3-5)式得

$$\frac{W_1}{L_1} = \frac{2I_R}{\mu_n C_{ox} (V_{GS1}-V_{T1})^2} = \frac{80}{10}.$$

M_2 管的 V_{GS1} 为

$$V_{GS1}=V_{DD}-V_{SS}-V_{GS1}=3 \text{ 伏}.$$

由(2.3-7)式得

$$\begin{aligned} \frac{\frac{W_1}{L_1}}{\frac{W_2}{L_2}} &= \frac{(V_{GS1}-V_{T1})^2}{(V_{GS1}-V_{T1})^2} = \frac{4}{1}, \\ \frac{W_2}{L_2} &= \frac{1}{4} \frac{W_1}{L_1} = \frac{20}{10}. \end{aligned}$$

图中的电流源 I_0 与 I_R 的关系式为

$$\frac{I_0}{I_R} = \frac{\frac{W_3}{L_3}}{\frac{W_1}{L_1}},$$

M_3 管的沟道宽长比为

$$\frac{W_3}{L_3} = \frac{I_0}{I_R} \cdot \frac{W_1}{L_1} = \frac{200}{10}.$$

若取 $L_1 = L_2 = L_3 = 10$ 微米,

则 $W_1 = 80$ 微米, $W_2 = 20$ 微米, $W_3 = 200$ 微米。

由(2.3-5~7)式及上例, 可以看出, 在给定 I_R 的条件下, MOS 管的 V_{GS} 越大, 其沟道宽长比越小。为了增大电流源 I_0 输出的电压动态范围, 通常 V_{GS_1} (V_{GS_2}) 的电压值取得比较低。因此, 当电源电压 (V_{DD} , V_{SS}) 较大时, 势必增大 M_2 管的 V_{GS_2} , 大大减小其沟道的宽长比。如果上例的电源电压改为 $V_{DD} = 7.5$ 伏, $V_{SS} = -7.5$ 伏, 那么 $V_{GS_1} = 13$ 伏, $W_2/L_2 = W_1/269L_1$, 即 M_2 管的沟道宽长比从 $W_1/4L_1$ 减少到 $W_1/269L_1$ 。为了不过多地减小 M_2 管的沟道宽长比, 可采用图 2.3-4 的电路形式。

对于图 2.3-3 的偏置电路, 也可得如下表示式,

$$I_{D_1} = I_R = \frac{\mu_n C_{ox} W_1}{2L_1} (V_{GS_1} - V_{T_1})^2, \quad (2.3-8)$$

$$I_{D_2} = I_R = \frac{\mu_n C_{ox} W_2}{2L_2} (-V_{T_2})^2 \quad (2.3-9)$$

$$\frac{\frac{W_1}{L_1}}{\frac{W_2}{L_2}} = \frac{(-V_{T_2})^2}{(V_{GS_1} - V_{T_1})^2} \quad (2.3-10)$$

式中的 V_{T_2} 为耗尽型 MOS 管 M_2 的夹断电压, 其值为负值。图 2.3-3 电路的设计方法与图 2.3-2 电路的设计方法相同。

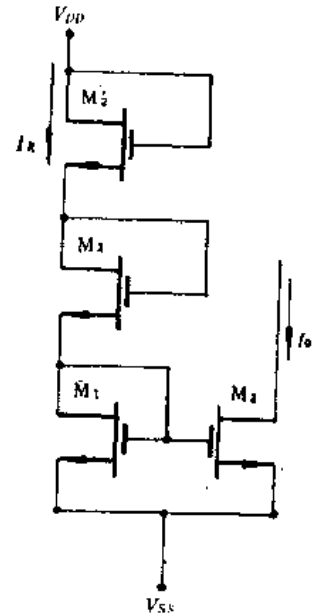


图 2.3-4 NMOS 管偏置电路

(三) CMOS 管的偏置电路

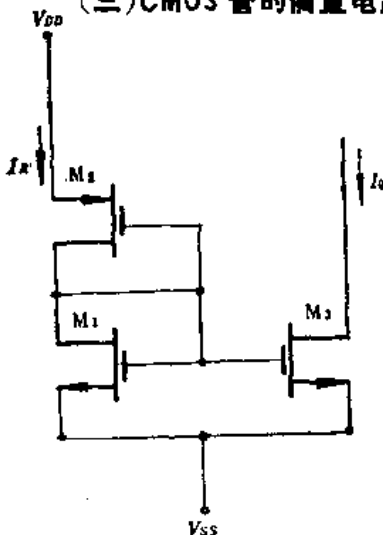


图 2.3-6 CMOS 偏置电路

所谓 CMOS 偏置电路, 就是将图 2.3-1 中的偏置电阻 R_s 用 p 沟 MOS 管来代替, 其电路形式如图 2.3-5 所示。在 CMOS 运算放大器以及其他的 MOS 模拟电路中, 偏置电路一般采用图 2.3-5 的电路形式。其设计公式如下:

$$I_{D_1} = I_R = \frac{\mu_p C_{ox} W_1}{2L_1} (V_{GS_1} - V_{T_1})^2; \quad (2.3-11)$$

$$I_{D_2} = I_R = \frac{\mu_n C_{ox} W_2}{2L_2} (V_{GS_2} - V_{T_2})^2; \quad (2.3-12)$$

$$\frac{\frac{W_1}{L_1}}{\frac{W_2}{L_2}} = \frac{\mu_p}{\mu_n} \cdot \frac{(V_{GS_2} - V_{T_2})^2}{(V_{GS_1} - V_{T_1})^2} \quad (2.3-13)$$

式中的 μ_p 为 p 沟道中的空穴迁移率, 通常为 n 沟道中的电子迁移率 μ_n 的 $1/2 \sim 1/4$ 。

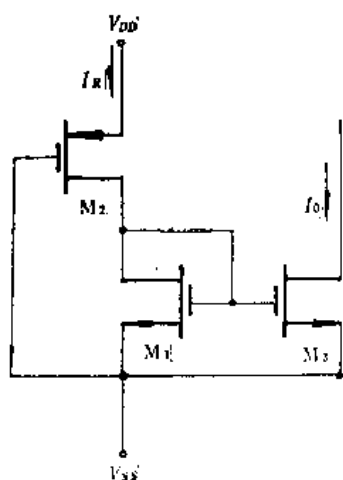


图 2.3-5 CMOS 偏置电路

在低电源电压、低功耗 CMOS 运算放大器电路中，偏置电路有时采用图 2.3-6 的电路形式。此时 M_2 管工作在线性区，并有较大的 V_{GS} 电压，因此 M_2 管的沟道宽长比较小，计算机分析表明，图 2.3-6 电路偏置稳定性比图 2.3-5 电路要好。其设计公式为

$$I_{D1} = I_R = \frac{\mu_n C_{ox} W_1}{2L_1} (V_{GS1} - V_{T1})^2, \quad (2.3-14)$$

$$I_{D1} = I_R = \frac{\mu_p C_{ox} W_2}{L_2} \left[(V_{GS} - V_{T1}) V_{DS} - \frac{V_{DS}^2}{2} \right], \quad (2.3-15)$$

$$\frac{W_1}{L_1} = \frac{2\mu_p \left[(V_{GS2} - V_{T1}) V_{DS} - \frac{V_{DS}^2}{2} \right]}{\mu_n (V_{GS1} - V_{T1})^2}. \quad (2.3-16)$$

第四节 MOS 单级放大器

在 MOS (NMOS 和 CMOS) 运算放大器或其他模拟电路中，有源负载的共源 MOS 放大器应用得最普遍，其常用的电路形式有四种，如图 2.4-1a~d 所示。

(1) 图 2.4-1a 电路称为全增强型 NMOS 单级放大器。图中的增强型 n 沟 MOS 管 M_2 作为增强型 n 沟 MOS 管 M_1 的有源负载。

(2) 图 2.4-1b 称为增强型-耗尽型 NMOS 单级放大器。图中的耗尽型 n 沟 MOS 管 M_2 作为增强型 n 沟 MOS 管 M_1 的有源负载。

(3) 图 2.4-1c 是 CMOS 单级放大器，具有较高的电压增益 (100~1000)，是 CMOS 运算放大器中的主要放大单元。图中 p 沟 MOS 管 M_2 是 n 沟 MOS 管 M_1 的有源负载。

(4) 图 2.4-1d 也是 CMOS 单级放大器，它是推挽式的倒相放大器，其增益性能同图 2.4-1c CMOS 放大器。

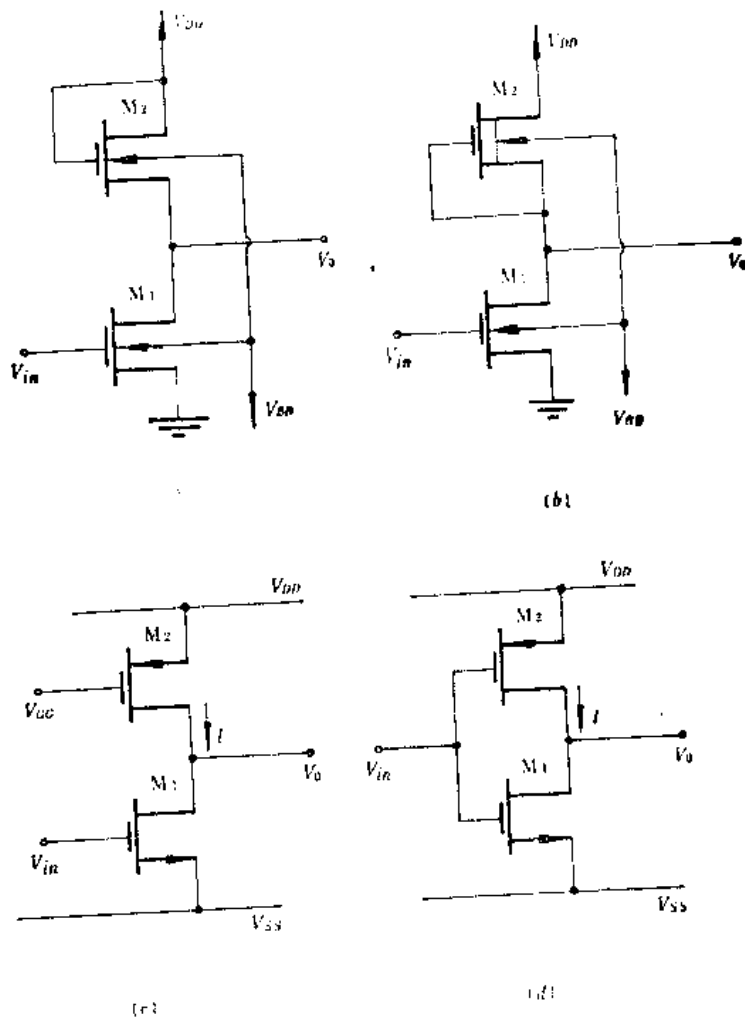


图 2.4-1 有源负载的共源放大器

现对上述四种电路的放大性能给予讨论。

(一) NMOS 单级放大器

1. 全增强型 NMOS 放大器 (图 2.4-1a)

(1) 放大器的输入-输出传输特性曲线

放大器有三种工作状态:

i. M_1 管的输入电压 V_{in} 小于开启电压 V_{T1} 时, 即 $V_{in} < V_{T1}$, M_1 、 M_2 管均截止, 输出电压 V_o 为高电位。 M_2 管截止时, 有 $V_{GS1} - V_{T1} = V_{DS1} - V_{T1} < 0$, $V_{DS1} < V_{T1}$, 输出电压 V_o 值在 $V_{DD} - V_{T1} < V_o < V_{DD}$ 范围内。

ii. 当 $V_{T1} < V_{in} < V_o + V_{T1}$ 时, M_1 管由截止区进入饱和区, M_1 管的 I_{D1} 电流随 V_{in} 的增大而加大, 与此同时 M_2 管也由截止区进入饱和区, 因 M_2 管与 M_1 管是串联的, 其漏源电流相同, 即 $I_{D1} = I_{D2}$, 所以 I_{D1} 也随着 V_{in} 的增大而加大, I_{D1} 的增大是由于 V_{GS1} 增大的结果, 这样, 电流从截止到导通, 并逐步增大, 而输出电压 V_o 由 $V_o = V_{DD} - V_{T1}$ 开始逐步下降。如果输出电压 V_o 满足大于 $V_{in} - V_{T1}$, M_1 管处于饱和区。而 M_2 管一旦导通, 始终处于饱和区。

iii. 当 $V_{in} > V_o + V_{T1}$ 时, M_1 管由饱和区进入线性区, 输出电压 V_o 进一步下跌, 而下跌速度减慢。

根据上述讨论, 可画出放大器的输入-输出的传输特性曲线。其曲线如图 2.4-2 所示。

由图 2.4-2 可知, 截止区与饱和区的分界线为 $V_{in} = V_{T1}$ 的直线, 饱和区与线性区的分界线为 $V_{in} = V_o + V_{T1}$ 直线。曲线 AB 段为饱和区, 其斜率在传输特性曲线中最大, 因此, 放大器要获得较高增益, M_1 、 M_2 管应工作在饱和区。在 M_1 管栅极适当偏置直流电压, 可使放大器进入饱和区。

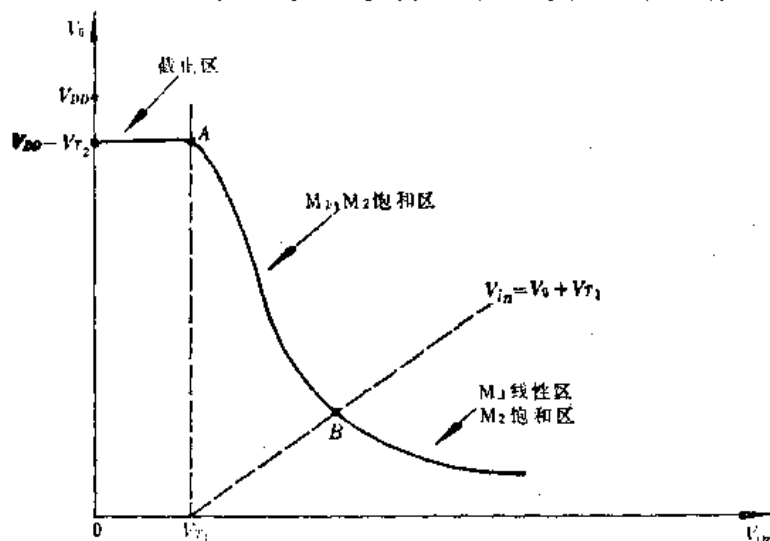


图 2.4-2 全增强型 NMOS 放大器的传输特性曲线

(2) 交流小信号增益

M_1 、 M_2 管均工作在饱和区时, 可得如下方程

$$I_{D1} = \frac{\mu_n C_{ox} W_1}{2L_1} (V_{in} - V_{T1})^2 = \frac{\beta_1}{2} (V_{in} - V_{T1})^2, \quad (2.4-1)$$

$$I_{D1} = \frac{\mu_n C_{ox} W_2}{2L_2} (V_{DD} - V_o - V_{T1})^2 = \frac{\beta_2}{2} (V_{DD} - V_o - V_{T1})^2 \quad (2.4-2)$$

因 $I_{D1} = I_{D2}$, 由 (2.4-1)、(2.4-2) 式得

$$V_o + \gamma \sqrt{2\Phi_f + V_o - V_{BB}} = -\sqrt{\frac{\beta_1}{\beta_2}} (V_{in} - V_{T1}) + V_{DD} - V_{T1} + \gamma \sqrt{2\Phi_f}. \quad (2.4-3)$$

由上式可得图 2.4-1a 放大器的交流小信号增益, 表示式为

$$A_{vE} = \frac{\partial V_o}{\partial V_{in}} = \frac{-\sqrt{\frac{\beta_1}{\beta_2}}}{1 + \frac{r}{2\sqrt{V_0 + 2\Phi_1 - V_{BE}}}} \quad (2.4-4)$$

交流小信号增益 A_{vE} 也可直接从交流小信号等效电路求得, 其小信号等效电路如图 2.4-3 所示。

对于图 2.4-1a 来说, 图 2.4-3 中的 $V_{gs1} = -V_0$ 。由图 2.4-3 得

$$\begin{aligned} A_{vE} &= \frac{V_o}{V_{in}} \\ &= -\frac{g_{m1}}{g_{ds1} + g_{ds2} + g_{m2} + g_{mb2}} \\ &= -\frac{g_{m1}}{g_{ds1} + g_{ds2} + g_{m2}(1 + \eta_2)}, \end{aligned} \quad (2.4-5)$$

式中 $\eta_2 = \frac{g_{mb2}}{g_{m2}}$ 。如果忽略 M_1 和 M_2 管的输出阻抗, 上式可写为

$$A_{vE} = -\frac{g_{m1}}{g_{m2}(1 + \eta_2)} \quad (2.4-6)$$

根据 η 的定义(见第一章第三节), (2.4-6)和(2.4-4)式是相同的。

由(2.4-4)式或(2.4-6)式可知, 要提高图 2.4-1a 放大器增益 A_{vE} , 只有增大 M_1 管的沟道宽长比 W_1/L_1 , 减小 M_2 管的沟道宽长比 W_2/L_2 , 使 $W_1/L_1 \gg W_2/L_2$; 如果 $W_1/L_1 = 1000 W_2/L_2$, 不考虑 M_2 管的衬底偏置效应, 那么最大增益也只有 10 倍。所以图 2.4-1a 的全增强型 NMOS 单级放大器的增益是比较低的, 通常只有几倍。

我们从另一个方面来说明 A_{vE} 低的原因。根据本章第一节分析, M_2 管的等效负载 r_o 等于 $1/g_m$, 通常 $1/g_m$ 较小, 因而增益 A_{vE} 不大。为提高增益, 可采用图 2.4-1b 的耗尽型作为负载的 E/D MOS 放大器。

2. E/D MOS 单级放大器(图 2.4-1b)

为了提高 NMOS 放大器的电压增益, 将图 2.4-1a 作为等效负载的 n 沟增强型 MOS 管 M_2 由 n 沟耗尽型 MOS 管来代替。

(1) 输入-输出传输特性曲线

i. $V_{in} < V_{T1}$ 时, M_1 管处于截止状态, 输出电压 $V_o = V_{DD}$ 。

ii. $V_{T1} < V_{in} < V_{T1} + V_0$ 时, M_1 、 M_2 管导通。 M_1 管工作在饱和区。 M_2 管在 M_1 管刚导通阶段, 因输出电压 V_o 较大, 处于线性区, 随着 V_{in} 增大, 电流 I_D 增大, 输出电压 V_o 降至 $V_0 < V_{DD} + V_{T1}$ 时, M_2 管进入饱和区。由图 2.4-1b 可知, M_2 管进入饱和区后, I_D 微量增加, 使 V_{DS1} 迅速增大, 从而使输出电压 V_o 迅速下降。

iii. $V_{in} > V_{T1} + V_0$ 时, M_1 管由饱和区进入线性区, M_2 管仍在饱和区, 输出电压 V_o 下降变慢。

综上所述, 图 2.4-1b 的输入-输出特性曲线如图 2.4-4 所示。

由图可知, 曲线 AB 段斜率最大, 其交流小信号增益也最大。因此, 图 2.4-1b 作为小信号放大时, 应使 M_1 、 M_2 管均工作在饱和区。

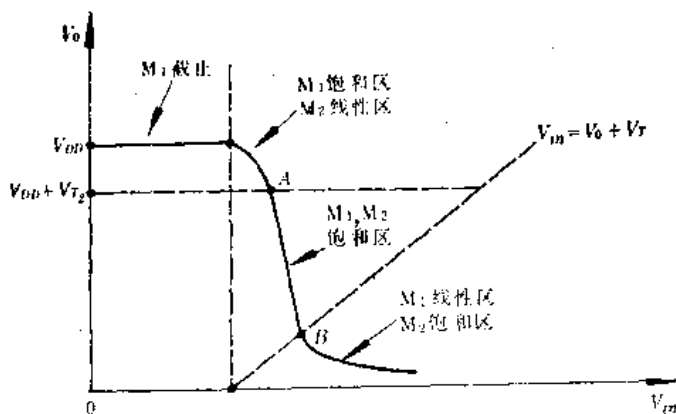


图 2.4-4 E/D MOS 放大器的输入-输出特性曲线

因 $I_{D1} = I_{D2}$, 由 (2.4-7)、(2.4-8) 式得

$$V_{T_{01}} - [\gamma(\sqrt{2\phi_f + V_0 - V_{BS}} - \sqrt{2\phi_f})] = -\sqrt{\frac{\beta_1}{\beta_2}}(V_{in} - V_{T_{01}}). \quad (2.4-9)$$

由上式得 E/D NMOS 单级放大器的增益 A_{VD} 为

$$A_{VD} = \frac{\partial V_D}{\partial V_{in}} = -\left(\frac{2}{\gamma}\right)\sqrt{\frac{\beta_1}{\beta_2}}\sqrt{2\phi_f + V_0 - V_{BS}}. \quad (2.4-10)$$

A_{VD} 同样可用交流小信号等效电路图 2.4-3 求得

$$A_{VD} = \frac{V_o}{V_{in}} = -\frac{g_{m1}}{g_{d1} + g_{d2} + g_{m1}}, \quad (2.4-11)$$

忽略 M_1 、 M_2 管的输出阻抗, 上式写为

$$A_{VD} = -\frac{g_{m1}}{\eta g_{m1}}. \quad (2.4-12)$$

(2.4-12) 式与 (2.4-10) 式是相同的。比较 (2.4-12) 式与 (2.4-6) 式, A_{VD} 与 A_{VE} 有如下关系式, 即

$$A_{VD} = \frac{1 + \eta_2}{\eta_2} \cdot A_{VE} \approx \frac{A_{VE}}{\eta_2}. \quad (2.4-13)$$

因 η_2 近似等于 0.1 左右, A_{VD} 比 A_{VE} 大 1 个数量级, 因此用耗尽型作负载的放大器要比用增强型作负载的放大器的增益来得大, 所以在 NMOS 放大电路中, 往往采用 E/D MOS 电路, 以提高电压增益。

由 (2.4-10) 式或 (2.4-12) 式可知, 增大 A_{VD} 增益, M_1 管跨导 g_{m1} 要大, M_2 管跨导 g_{m2} 要小, 即 $\frac{W_1/L_1}{W_2/L_2}$ 的比值要大。虽然 E/DMOS 单级放大器的电压增益 A_{VD} 比全增强型 NMOS 单级放大器的电压增益 A_{VE} 大, 但也只有几十倍左右。

(二) CMOS 单级放大器

图 2.4-1c、d CMOS 单级放大器与图 2.4-1a、b NMOS 单级放大器相比, 有较高的电压增益和较低的功耗, 增益一般可达 500~1000, 基于它的优点, 近几年来 CMOS 模拟集成电路有较大的发展。

(2) 交流小信号增益

M_1 、 M_2 管均工作在饱和区时, 可得如下关系式,

$$I_{D1} = \frac{\mu_n C_{ox} W_1}{2L_1} (V_{in} - V_{T1})^2 = \frac{\beta_1}{2} (V_{in} - V_{T1})^2 \quad (2.4-7)$$

$$I_{D2} = \frac{\mu_n C_{ox} W_2}{2L_2} (-V_{T2})^2 = \frac{\beta_2}{2} (-V_{T2})^2 \quad (2.4-8)$$

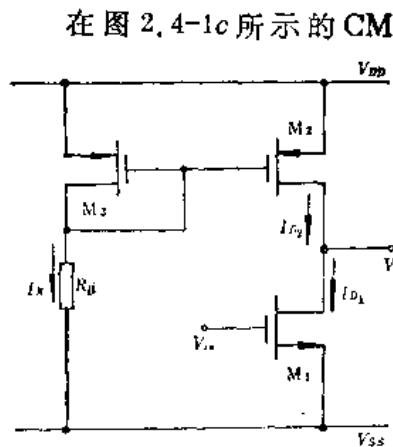


图 2.4-5 CMOS 单级放大器

在图 2.4-1c 所示的 CMOS 单级放大器中,有源负载 M_2 管通常与偏置电路构成电流源电路, M_2 管作为有源负载。其电路形式如图 2.4-5 所示,为简单起见,假设 M_2 与 M_1 的沟道宽长比相等。

输入电压 V_{in} 低于 M_1 管的阈值电压 V_{T1} 时, M_1 管截止, M_2 管导通,但没有电流,输出电压 V_0 等于电源电压 V_{DD} 。当输入电压 V_{in} 大于 V_{T1} 时, M_1 管开始导通,并随 V_{in} 增大,输出电压 V_0 下降,当通过 M_1 和 M_2 管的电流等于参考电流 I_x 时, M_2 管从线性区进入饱和区。 M_1 和 M_2 管均工作在饱和区时,随输入电压 V_{in} 的增大,输出电压 V_0 迅速下降。当输入电压 V_{in} 增大到 $V_0 + V_{T1}$ 时, M_1 管从饱和区进入线性区,输出电压 V_0 下降到 M_1 管的饱和压降 V_{DSat} 。图 2.4-6 表

示了该电路的输入-输出传输特性。

由图可知, M_1 、 M_2 管工作在饱和区时, 曲线斜率最大 (AB 段), 其交流小信号增益也最大。由交流小信号等效电路可知, M_1 、 M_2 管工作在饱和区的电压增益等于 M_1 管的跨导 g_{m1} 和 M_1 、 M_2 管输出阻抗并联的乘积, 即

$$A_v = \frac{V_0}{V_{in}} = g_{m1}(r_{ds1} \parallel r_{ds2}), \quad (2.4-14)$$

式中 $g_{m1} = \sqrt{2I_D\mu_n C_{ox}\left(\frac{W_1}{L_1}\right)}$; $I_{D1} = I_{D2} = I_D$;

$$r_{ds1} = \frac{1}{\lambda_1 I_D}; \quad r_{ds2} = \frac{1}{\lambda_2 I_D}.$$

将 g_{m1} 、 r_{ds1} 、 r_{ds2} 表示式代入 (2.4-14) 式得

$$A_v = \frac{1}{\sqrt{I_D}} \left(\frac{1}{\lambda_1 + \lambda_2} \right) \sqrt{2\mu_n C_{ox} \left(\frac{W_1}{L_1} \right)}. \quad (2.4-15)$$

在 (2.4-15) 式中, 我们注意到一个有趣的结论, 工作电流 I_D 减小, 电压增益 A_v 增大, A_v 可达 500~2000, 这是由于 M_1 和 M_2 的输出阻抗 r_{ds1} 、 r_{ds2} 与 I_D 成反比, 而跨导 g_{m1} 只与 I_D 的平方根成正比的缘故。因此, MOS 电路与双极型电路设计不同之处是 CMOS 有源负载放大器的漏极电流越小, 其电压增益越高。只有当此电流降低到使 MOS 管处于亚阈值区时, 场效应管的跨导将正比于漏极电流, 这时, CMOS 放大器的电压增益与工作电流的变化无关。图 2.4-5 所示的 CMOS 放大器, 其 $\log A_v - \log I_D$ 的关系曲线如图 2.4-7 所示。

此外, 从 (2.4-15) 式也可以看到, 电压增益与沟道长度的调制效应有关。显然, 增大沟道长度 L , 可减小 λ 值, 增大 MOS 管的输出阻抗, 从而提高电压增益。要进一步提高电压增益, M_2 管可采用第二节所述的高阻抗电流源电路。

对于图 2.4-1c 的 CMOS 共源放大电路, 也可以 M_2 管作为共源放大器, M_1 作为 M_2 管的有源负载。

图 2.4-1d 是推挽式的 CMOS 单级放大器, 电路的连接方式不同于图 2.4-1c 电路, 但电路的传输特性是相同的。这里, 就该电路的小信号电压增益作些说明。图 2.4-1d 电路的 M_1 和 M_2 均工作在饱和区时, 其交流小信号等效电路图如 2.4-8 所示。

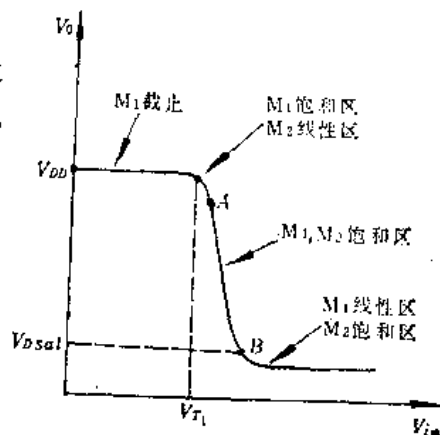


图 2.4-6 CMOS 单级放大器的特性曲线

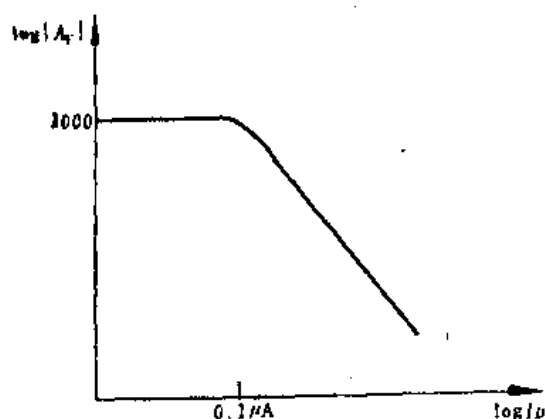


图 2.4-7 CMOS 单级放大器的 A_v 与 I_D 的关系曲线

图中的 $V_{gs1} = -V_{in}$ 。小信号电压增益是

$$A_v = \frac{V_o}{V_{in}} = - \frac{(g_{m1} + g_{m2})}{\frac{1}{r_{ds1}} + \frac{1}{r_{ds2}}} \quad (2.4-16)$$

式中

$$\begin{aligned} g_{m1} &= \sqrt{2\mu_n C_{ox} \left(\frac{W_1}{L_1} \right) I_D}, & g_{m2} &= \sqrt{2\mu_p C_{ox} \left(\frac{W_2}{L_2} \right) I_D}, \\ r_{ds1} &= \frac{1}{\lambda_1 I_D}, & r_{ds2} &= \frac{1}{\lambda_2 I_D}, \\ A_v &= - \frac{1}{\sqrt{I_D}} \frac{\sqrt{2\mu_n C_{ox} \left(\frac{W_1}{L_1} \right)} + \sqrt{2\mu_p C_{ox} \left(\frac{W_2}{L_2} \right)}}{\lambda_1 + \lambda_2}. \end{aligned} \quad (2.4-17)$$

上式表明, 推挽式 CMOS 单级放大器具有较大增益, 可达 500~2000。而电压增益 A_v 也与工作电流 I_D 的平方根成反比。

第五节 差分放大器

差分放大器在模拟集成电路中有着广泛的应用, 如集成运算放大器的输入级均采用差分放大器的电路结构。这是因为差分放大器只对差分信号进行放大, 而对共模信号进行抑制, 有很强的抗干扰能力, 并具有漂移小、级与级之间很容易直接耦合等优点。本节将对 MOS 差分放大器的主要性能进行讨论。

(一) 差分对管的主要性能

MOS 差分对管如图 2.5-1 所示。图中的 M_1 和 M_2 是完全对称(匹配)的, 其工作电流 (I_{D1} 、 I_{D2}) 由电流源 I_0 提供。输出电流 I_{D1} 、 I_{D2} 的大小依赖于输入电压的差值 ($V_{G1} - V_{G2}$), 但 I_{D1} 和 I_{D2} 之和恒等于电流源 I_0 , 在 M_1 和 M_2 的漏极分别接上电阻负载或 MOS 管有源负载, 即构成差分放大器, 由电流输出转换成电压输出, 实现电压放大。

1. MOS 差分对管的直流转换特性

差分对管的输入差值电压 V_{ID} 可表示为

$$V_{ID} = V_{G1} - V_{G2} = V_{GS1} - V_{GS2} = \sqrt{\frac{2I_{D1}}{\beta}} - \sqrt{\frac{2I_{D2}}{\beta}}, \quad (2.5-1)$$

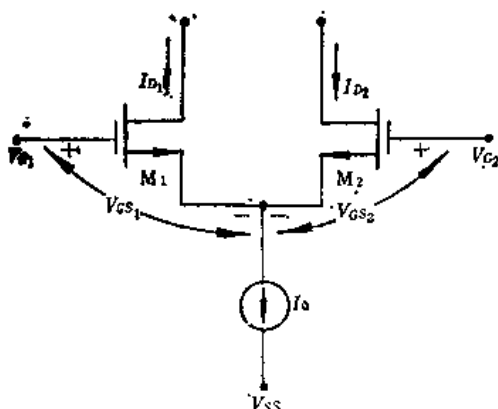


图 2.5-1 MOS 差分对管

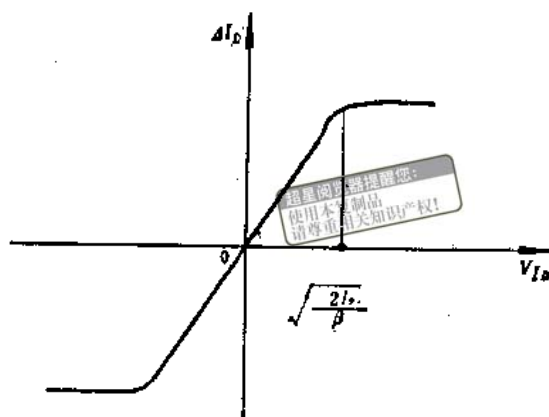


图 2.5-2 MOS 差分对管 $\Delta I_D - V_{ID}$ 的转换特性曲线

上式的 β 为

$$\beta = \frac{\mu_n C_{ox} W_1}{L_1} = \frac{\mu_n C_{ox} W_2}{L_2} = \frac{\mu_n C_{ox} W}{L}. \quad (2.5-2)$$

电流源 I_0 输出电流 I_{D1} 、 I_{D2} 的关系为

$$I_0 = I_{D1} + I_{D2}, \quad (2.5-3)$$

将(2.5-3)代入(2.5-1)式,经整理后,求得 I_{D1} 和 I_{D2} 为

$$I_{D1} = \frac{I_0}{2} + \frac{\beta V_{ID}}{4} \sqrt{\frac{4I_0}{\beta} - V_{ID}^2}, \quad (2.5-4)$$

$$I_{D2} = \frac{I_0}{2} - \frac{\beta V_{ID}}{4} \sqrt{\frac{4I_0}{\beta} - V_{ID}^2}. \quad (2.5-5)$$

由此得出输出电流差值 ΔI_D 为

$$\Delta I_D = I_{D1} - I_{D2} = \frac{\beta V_{ID}}{2} \sqrt{\frac{4I_0}{\beta} - V_{ID}^2}. \quad (2.5-6)$$

由上式可知,输入差值电压 V_{ID} 等于零时,输出差值电流 ΔI_D 为零。当 $V_{ID} = \sqrt{\frac{2I_0}{\beta}}$ 时, ΔI_D 为最大值,其值等于 I_0 。因此 V_{ID} 的范围可以用下式来表示:

$$|V_{ID}| \leq \sqrt{\frac{2I_0}{\beta}}. \quad (2.5-7)$$

由(2.5-6)式可画出 MOS 差分对管 $\Delta I_D - V_{ID}$ 的转换特性曲线,其曲线如图 2.5-2 所示。

从 MOS 差分对管的转换特性曲线可知,它同双极型差分对管相似,也具有有限幅特性,其线性工作范围(2.5-7)式依赖于工作电流 I_0 和 M_1 、 M_2 管的沟道宽长比(W/L),一般从 300 毫伏~几伏,它比双极型差分对管的线性范围(约 50 毫伏)大得多。

2. MOS 差分对管的跨导 g_m

由(2.5-6)式可求得差分对管在平衡时的双端输出跨导,根据定义得

$$g_m = \left. \frac{\partial(\Delta I_D)}{\partial V_{ID}} \right|_{V_{ID}=0} = \frac{\beta}{2} \sqrt{\frac{4I_0}{\beta}} = \sqrt{\beta I_0}, \quad (2.5-8)$$

而 M_1 (或 M_2) 的单管跨导为

$$g_{m1} (g_{m2}) = \sqrt{2\beta I_{D1}} = \sqrt{\beta I_0} \quad (\text{或 } \sqrt{2\beta I_{D2}}) \quad (2.5-9)$$

由此可见, 差分对管双端输出的跨导(平衡时)与 M_1 或 M_2 管的跨导相同, 这与双极型差分对管的结果一致。而 MOS 管的跨导值比双极型三极管要低得多, 它与工作电流的平方根成正比, $g_m = \sqrt{\beta I_0}$, 而双极型三极管的跨导是与工作电流成正比 ($g_m = qI_0/kT$)。

3. MOS 差分对管的输入失调电压

差分对管 M_1 和 M_2 对称时, 输入失调电压 V_{os} 等于零。现在我们讨论差分对管 M_1 和 M_2 不匹配的情况。当两管阈值电压 V_T 不一致时, 沟道的宽长比不一致所引起的输入失调电压为 V_{os} (不考虑负载匹配情况)。差分对管的输入失调电压定义为: 当 M_1 、 M_2 的漏极电流 I_{D1} 和 I_{D2} 相等时, 由于 M_1 和 M_2 参数不相等引起的 V_{GS} 电压的差值 ($\Delta V_{GS} = V_{GS1} - V_{GS2}$), 也即对管的失调电压。

当 M_1 和 M_2 的参数 (V_{T1} 、 β) 不等时, I_{D1} 、 I_{D2} 可写为

$$I_{D1} = \frac{\beta_1}{2} (V_{GS1} - V_{T1})^2,$$

$$I_{D2} = \frac{\beta_2}{2} (V_{GS2} - V_{T2})^2. \quad (2.5-10)$$

这时 I_{D1} 和 I_{D2} 应相等, 它们为

$$I_{D1} = I_{D2} = \frac{I_0}{2}. \quad (2.5-11)$$

再设

$$\begin{cases} \beta_1 = \beta; \\ \beta_2 = \beta + \Delta\beta, \end{cases} \quad (2.5-12)$$

$$\begin{cases} V_{T1} = V_T; \\ V_{T2} = V_T - \Delta V_T. \end{cases} \quad (2.5-13)$$

将 (2.5-11~13) 式代入 (2.5-10) 式, 经计算整理后可得失调电压 V_{os} 为 (利用 $(1+x)^{\frac{1}{2}} = 1 + \frac{1}{2}x$, 当 $x \ll 1$)

$$V_{os} = \Delta V_{GS} = V_{GS1} - V_{GS2} = \Delta V_T + \sqrt{\frac{I_0}{4\beta}} \cdot \frac{\Delta\beta}{\beta}. \quad (2.5-14)$$

已知 $\beta = \frac{\mu_n C_{ox} W}{L}$,

对 β 关系式求微商 (计算时 μ_n 、 C_{ox} 看作常数), 就可写出

$$\left| \frac{\Delta\beta}{\beta} \right| = \left| \frac{\Delta W}{W} \right| + \left| \frac{\Delta L}{L} \right|. \quad (2.5-15)$$

将它代入 (2.5-14) 式后, 就得到

$$V_{os} = \Delta V_T + \sqrt{\frac{I_0}{4\beta}} \left(\left| \frac{\Delta W}{W} \right| + \left| \frac{\Delta L}{L} \right| \right)$$

$$= \Delta V_T + \frac{I_0}{2g_m} \left(\left| \frac{\Delta W}{W} \right| + \left| \frac{\Delta L}{L} \right| \right), \quad (2.5-19)$$

式中 g_m 为 MOS 差分对管双端输出时的跨导。

由上式可得如下结论：

(1) MOS 差分对管的输入失调电压与两个 MOS 管 M_1 和 M_2 的阈值电压的差值成正比，MOS 管阈值电压越大，它的差值就越大，电路的失调电压也越大。MOS 管阈值电压一般在几伏范围内，所以它的失调电压比双极型三极管大。为了减小失调电压必须降低 MOS 管的阈值电压，并采用离子注入工艺，使各 MOS 管的阈值电压的一致性较好，从而减小阈值电压差值。

(2) 增大 MOS 差分对管的沟道宽度和沟道长度，采用合理的版图布局，并提高光刻精度，这样可减小 $\Delta L/L$ 和 $\Delta W/W$ 误差，减小失调电压。

根据(2.5-16)式，还可计算出失调电压的温度系数，即失调电压的温度漂移：

$$\frac{\Delta V_{os}}{\Delta T} = \frac{d(\Delta V_T)}{dT} - \frac{I_0}{2g_m^2} \left(\frac{\Delta W}{W} + \frac{\Delta L}{L} \right) \frac{dg_m}{dT}. \quad (2.5-17)$$

(二) CMOS 差分放大器

图 2.5-3 是 CMOS 差分放大器。 n 沟 MOS 场效应管 M_1 和 M_2 作为差分对管，它的负载由 p 沟电流源 M_3 、 M_4 所组成。电流源 I_0 提供差分放大器的工作电流。如果 M_3 和 M_4 是匹配的，则 M_3 和 M_4 的电流相同，即 $I_{D_3} = I_{D_4}$ ，而 M_1 和 M_2 的电流也相同，故有 $I_{D_1} = I_{D_2} = I_{D_3}$ 。当 $V_{GS1} = V_{GS2}$ 时， M_1 和 M_2 的电流相等， $I_{D_1} = I_{D_2}$ ，使 $I_{D_3} = I_{D_4}$ ，输出电流 $I_{out} = I_{D_3} - I_{D_4} = 0$ ；当 $V_{GS1} > V_{GS2}$ 时， $I_{D_1} > I_{D_2}$ ，使 $I_{D_3} > I_{D_4}$ ，输出电流 $I_{out} = I_{D_3} - I_{D_4} > 0$ ；同样，当 $V_{GS1} < V_{GS2}$ 时， $I_{out} < 0$ ，因 $I_0 = I_{D_1} + I_{D_2}$ ，所以 I_{D_1} 的增加量等于 I_{D_2} 的减小量，反之亦然。这样输出电流 I_{out} 等于差分管电流 I_{D_1} 和 I_{D_2} 的差值，它的最大值为电流 I_0 ，从而实现了差分放大器的差分输出信号转换成单端输出信号。

图 2.5-4 表示了另一种形式的 CMOS 差分放大器， p 沟 MOS 管 M_1 和 M_2 作为差分对管， n 沟 MOS 管 M_3 和 M_4 构成电流源电路，作为差分放大器的负载。差分放大器的工作电流由电流源 I_0 所提供。显然，这种电路工作原理同图 2.5-3 的电路是一样的，但衬底效应不同。如果 CMOS 工艺采用 n 型衬底，那么 p 沟 MOS 管的衬底一定要接在电路最正电位上 (V_{DD})，然而， n 沟 MOS 管的衬底不一定接在电路最负电位 (V_{SS})，其方法是， n 沟 MOS 管做在单独形成的 p 阱上，使 p 阱同 MOS 管的源极相连接，这样消除了衬底偏置效应。如图 2.5-3 中的 M_1 和 M_2 就用这种方法构成的。所以， n 沟 MOS 管作为差分

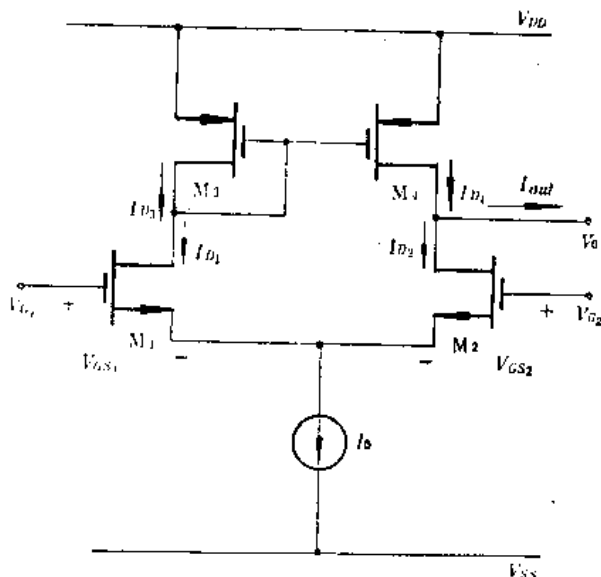


图 2.5-3 CMOS 差分放大器之一

$$\Delta V_{GS} = \Delta V_{T_1} + \frac{I_0}{2g_{m_3}} \frac{\Delta \beta_3}{\beta_3}, \quad (2.5-24)$$

上式 ΔV_{T_1} 是 M_3, M_4 的阈值电压差值, $\Delta \beta_3, \beta_3$ 分别是 M_3, M_4 的参数 β 的差值及平均值, 即

$$\beta = \frac{\mu_p C_{ox} W_3}{L_3}.$$

将(2.5-24)式代入到(2.5-23)式, V_{OS_1} 为

$$V_{OS_1} = \frac{g_{m_1}}{g_{m_1}} \Delta V_{T_1} + \frac{I_0}{2g_{m_1}} \frac{\Delta \beta_3}{\beta_3}. \quad (2.5-25)$$

总的失调电压 V_{OS} 为

$$\begin{aligned} V_{OS} &= V_{OS_1} + V_{OS_2} \\ &= \Delta V_{T_1} + \frac{g_{m_1}}{g_{m_1}} \Delta V_{T_1} + \frac{I_0}{2g_{m_1}} \left(\frac{\Delta \beta_1}{\beta_1} + \frac{\Delta \beta_3}{\beta_3} \right) \end{aligned}$$

利用(2.5-15)式

$$\begin{aligned} V_{OS} &= V_{OS_1} + V_{OS_2} = \Delta V_{T_1} + \frac{g_{m_1}}{g_{m_1}} \Delta V_{T_1} + \frac{I_0}{2g_{m_1}} \left(\left| \frac{\Delta W_1}{W_1} \right| \right. \\ &\quad \left. + \left| \frac{\Delta L_1}{L_1} \right| + \left| \frac{\Delta W_3}{W_3} \right| + \left| \frac{\Delta L_3}{L_3} \right| \right) \end{aligned} \quad (2.5-26)$$

上式表明, 为了减小该差分放大器的输入失调电压, 应减小各对管的阈值电压之差值, 增大沟道的宽度和长度, 其次, 为了减小 M_3, M_4 的失配对输入失调电压的影响, 应减小比值 g_{m_3}/g_{m_1} , 即减小 M_3, M_4 的沟道宽长比与 M_1, M_2 的沟道宽长比之比值 $\left(\frac{W_3/L_3}{W_1/L_1} \right)$, 因此在版图设计时应适当减小 M_3, M_4 的沟道宽长比, 增大 M_1, M_2 的沟道宽长比。

3. CMOS 差分放大器的噪声

MOS 管的噪声比双极晶体管的噪声要大, 特别在低频时有较大的 $1/f$ 噪声, 因而在设计 MOS 放大器时, 应考虑放大器的噪声。噪声主要来自放大器的输入级, 而在 MOS 运算放大器中, 都用差分放大器作为输入级。本节讨论 CMOS 差分放大器的噪声性能以及如何降低噪声。

CMOS 差分放大器的等效噪声源可用图 2.5-5a 来表示, 图中 $\overline{V_{eq1}^2}, \overline{V_{eq2}^2}, \overline{V_{eq3}^2}$ 以及 $\overline{V_{eq4}^2}$ 分别为 M_1, M_2, M_3 和 M_4 输入端的噪声电压均方值。

为简单起见, 考虑输出端短路时的噪声。由图可知, 电路短路输出的总噪声电流均方值为

$$\overline{i_o^2} = g_{m_1}^2 (\overline{V_{eq1}^2} + \overline{V_{eq2}^2}) + g_{m_3}^2 (\overline{V_{eq3}^2} + \overline{V_{eq4}^2}), \quad (2.5-28)$$

式中 g_{m_1} 为 M_1, M_2 的跨导, g_{m_3} 为 M_3, M_4 的跨导。

若把各噪声源等效到输入端, 则图 2.5-5a 可画成图 2.5-5b, 该电路短路输出的总噪声电流均方值应为

$$\overline{i_o^2} = g_{m_1}^2 \overline{V_{eq}^2}. \quad (2.5-29)$$

这两个等效电路中的输出噪声电流应相等, 于是有

$$\overline{V_{eq}^2} = \overline{V_{eq1}^2} + \overline{V_{eq2}^2} + \left(\frac{g_{m_3}}{g_{m_1}} \right)^2 (\overline{V_{eq3}^2} + \overline{V_{eq4}^2}). \quad (2.5-30)$$

由上式可看到, M_1, M_2 的噪声直接提供给放大器的输入端, 而 M_3, M_4 的噪声对放大器输入端

的影响与 g_{m3}/g_{m1} 成正比。为了减小 M_3, M_4 的噪声对放大器的影响, 在电路设计中应尽量减少 M_3, M_4 的跨导值 g_{m3} 。

超星阅读器提醒您：
使用本复制品
请尊重相关知识产权！

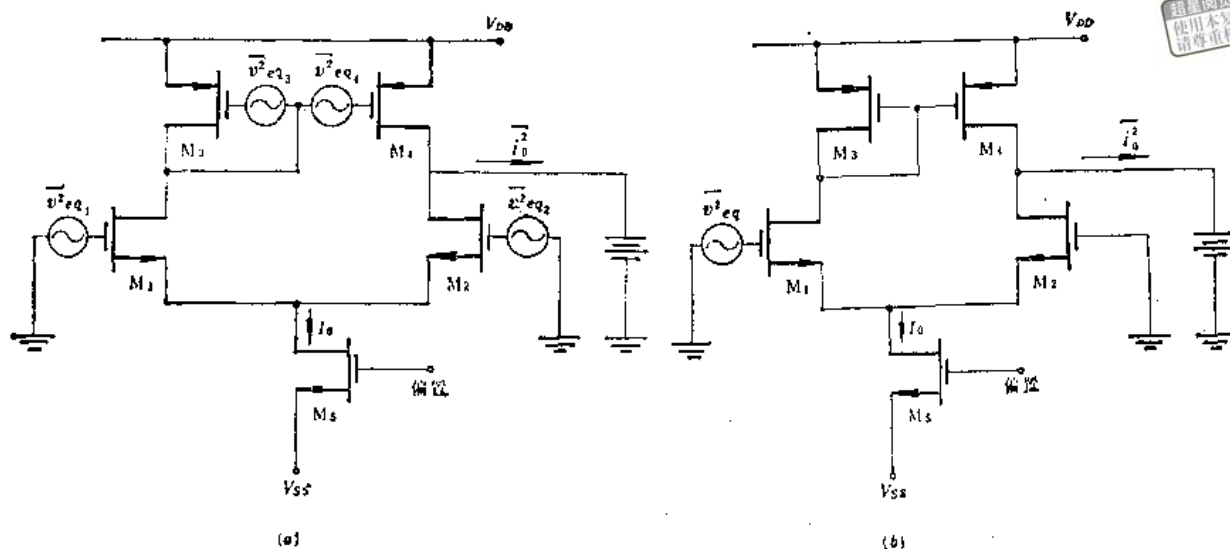


图 2.5-5 CMOS 差分放大器的等效噪声源

(2.5-30) 式中的等效输入噪声 $\bar{V}_{eq}^2$ 可分成 $1/f$ 噪声和热噪声, 现分别说明如下。

由第一章讨论可知, MOS 管的 $1/f$ 噪声表示为

$$\bar{V}_{1/f}^2 = \frac{KF}{C_{ox}WL} \frac{\Delta f}{f}, \quad (1.3-42)$$

式中 KF 为 $1/f$ 噪声系数。

由(2.5-30)、(1.3-42)式 CMOS 差分放大器的等效到输入端的 $1/f$ 噪声可表示为 (见参考文献[3])

$$\bar{V}_{1/f eq}^2 = \frac{2K_n}{W_1 L_1 C_{ox}} \left(1 + \frac{K_p \mu_p L_3^2}{K_n \mu_n L_1^2} \right) \left(\frac{\Delta f}{f} \right), \quad (2.5-31)$$

式中 K_n, K_p 分别为 n 沟和 p 沟 MOS 管的 $1/f$ 噪声系数, 它与工艺条件密切相关。

由上式可知, 要减小差分放大器的 $1/f$ 噪声, 首先应增大输入对管 M_1, M_2 的沟道面积 ($W_1 \times L_1$), 其次应使有源负载对管 M_3, M_4 的沟道长度 L_3 大于 M_1, M_2 的沟道长度 L_1 。

MOS 管等效到输入端的热噪声为

$$\bar{V}_H^2 = 4kT \left(\frac{2}{3g_m} \right) \Delta f. \quad (2.5-32)$$

由(2.5-30)、(2.5-32)式, CMOS 差分放大器的等效到输入端的热噪声可表示为 (见参考文献[3])

$$\bar{V}_{Heq}^2 = 4kT \frac{4}{\sqrt{2\mu_n C_{ox} \frac{W_1}{L_1} I_D}} \left(1 + \sqrt{\frac{\mu_p \frac{W_3}{L_3}}{\mu_n \frac{W_1}{L_1}}} \right) \Delta f, \quad (2.5-33)$$

由此式可知, 要减小差分放大器的热噪声, 首先应该增大输入对管 M_1, M_2 的跨导, 即增大工作电流 I_D 和提高沟道的宽长比 W_1/L_1 , 其次是减小有源负载对管 M_3, M_4 的沟道宽长比 W_3/L_3 , 使 $W_3/L_3 \ll W_1/L_1$ 。

4. CMOS 差分放大器的共模抑制比(CMRR)

在共模信号 V_{ic} 作用下, 图 2.5-3 的等效电路如图 2.5-6 所示。图中 r_o 为电流源输出阻抗, $1/g_{m_1}$ 为 M_1 的等效阻抗, α 为 M_3 、 M_4 电流源的转换系数, M_3 和 M_4 匹配时, $\alpha=1$, 当 M_3 、 M_4 失配时, 设 $\alpha=1-\Delta\alpha$, $\Delta\alpha$ 为失配误差。并设 M_1 和 M_2 的跨导、输出阻抗相同, 即 $g_{m_1}=g_{m_2}$, $r_{ds_1}=r_{ds_2}$ 。

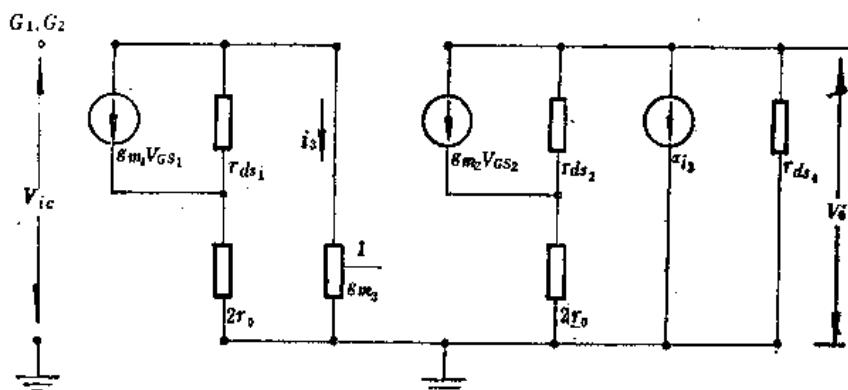


图 2.5-6 CMOS 差分放大器的共模等效电路

由图 2.5-6 可解得共模增益 A_c 为

$$A_c = \frac{V_o}{V_{ic}} = -\frac{r_{ds_2}}{2r_o}(1-\alpha) = -\frac{r_{ds_2}}{2r_o}A\alpha_s \quad (2.5-34)$$

由(2.5-20)式,差分放大器的差分增益为

$$A_V = \frac{V_0}{V_{in}} = g_{m1}(r_{ds1} \parallel r_{ds4}),$$

为简化起见,我们这里设 $r_{ds_1} = r_{ds_2}$ 。

根据共模抑制比定义, CMOS 差分放大器的 CMRR 为

$$\text{CMRR} = \left| \frac{A_d}{A_c} \right| = \frac{g_{m1} r_o}{A\alpha} \quad (2.5-35)$$

可见,要提高差分放大器的共模抑制比,应选用高阻抗电流源电路,以增大 r_o ,同时还应该减小 M_3 、 M_4 管的失配误差 $\Delta\alpha$ 。

以上讨论也适用于图 2.5-4 CMOS 差分放大器。

(三) NMOS 差分放大器

NMOS 差分放大器如图 2.5-7 所示。增强型 n 沟 MOS 管 M_3 、 M_4 作为放大器的等效负载,很容易证明,该电路的电压增益 A_v 表示式为

$$A_V = \frac{V_0}{V_{id}} = \frac{V_{D_1} - V_{D_2}}{V_{id}} = - \frac{g_{m_1}}{(1+n_3)g_{m_2}}$$

$$= - \sqrt{\frac{W_1}{L_1} \frac{L_3}{W_3}} \frac{1}{1 + \frac{\gamma}{\sqrt{2\phi_t + V_{D_1} - V_{D_2}}}}, \quad (2.5-36)$$

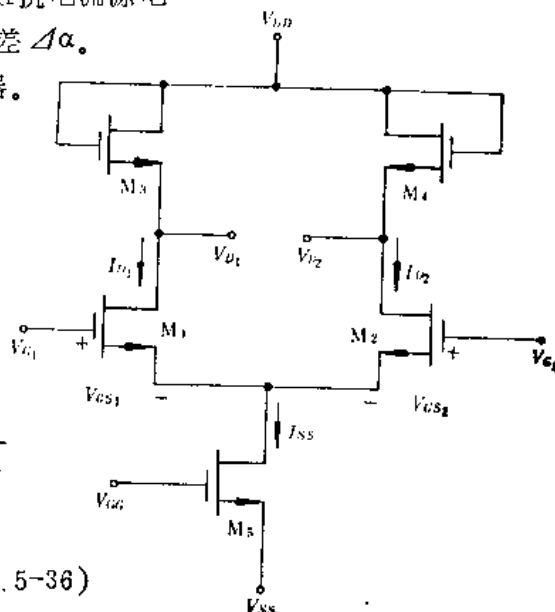


图 2.5-7 NMOS 差分放大器

超星阅读器提醒您：
使用本复制品
请尊重相关知识产权！

式中 V_{BB} 为 M_3, M_4 的衬底电压。

要提高 NMOS 差分放大器增益, M_3, M_4 可用耗尽型器件, 但 NMOS 差分放大器的电压增益比 CMOS 差分放大器的电压增益低得多, 所以一般都采用 CMOS 差分放大器。

关于 NMOS 差分放大器的失调电压、噪声以及共模性能的分析类似于 CMOS 差分放大器, 这里不再赘述。

第六节 输出级电路

设计运算放大器的输出级时, 要考虑它驱动负载的能力(在 MOS 电路中, 负载主要是电

容)、输出动态幅度、输出阻抗以及频率特性。好的输出级电路, 应具有强的驱动能力、低的输出阻抗、大的输出幅度和较好的频率特性。

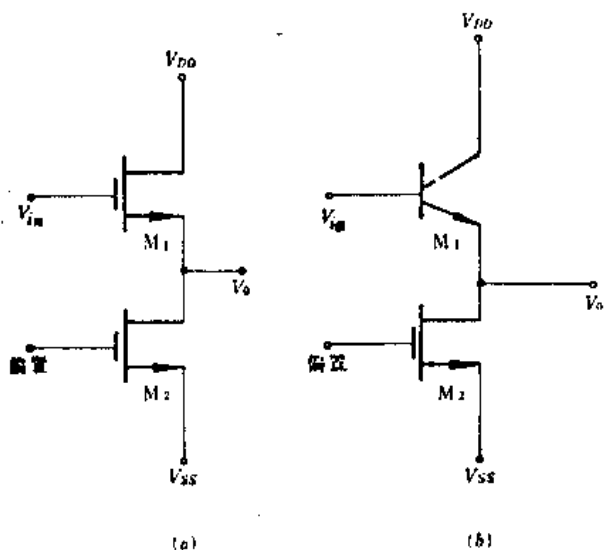


图 2.6-1 源极跟随器

(一) 源极跟随器

通常输出电路总是采用跟随器的形式。最简单的源极跟随器如图 2.6-1a 所示, 图中 M_1 是源极跟随器, M_2 是它的有源负载。由于 MOS 管的跨导较低, 因而该电路的输出电阻比双极型电路的输出电阻大得多。此外, 由于衬底偏置效应, 使源极跟随器的电压增益只有 0.8~0.9, 且使输出的最大动态幅度减小。

由小信号交流等效电路, 源极跟随器电压增益可表示为

$$A_v = \frac{V_o}{V_{in}} = \frac{g_{m1}}{\frac{1}{r_{ds1}} + \frac{1}{r_{ds2}} + g_{m1}(1 + \eta_1)} \approx \frac{1}{1 + \eta_1}, \quad (2.6-1)$$

式中 g_{m1} 是 M_1 的跨导, r_{ds1}, r_{ds2} 分别是 M_1, M_2 的输出阻抗, $\eta_1 = \frac{g_{mb1}}{g_{m1}}$ 。

由此可知, 若无衬底偏置效应, $A_v = 1$ 。

为了减小输出电阻, 消除衬底偏置效应, 在 MOS 电路中也可采用 $n\bar{p}n$ 管代替图中的 M_1 管, 如图 2.6-1b 所示。这里的 $n\bar{p}n$ 管是 MOS 电路中的寄生 $n\bar{p}n$ 管, 它的集电区是 n 型衬底, 基区是 p 阱, 发射区是 n^+ 扩散区, 与 n 沟 MOS 管的漏源区同时形成。

(二) CMOS 互补输出级电路

可以利用 CMOS 器件构成与双极型电路相类似的互补输出级形式, 如图 2.6-2a 所示, 图中 M_1, M_2 构成互补输出级, M_3, M_4 是它们的偏置电路。但是正如以上所述, 这种电路的输出电阻是比较大的, 而且其输出电压的摆幅也不够大。该电路输出电压的摆幅不是简单地等于正、负电源电压减去每个 MOS 管的阈值电压。由于衬底偏置效应, 使输出管的阈值电压

V_{T1} 随输出电压增大而增大, 输出摆幅将明显减小。为了能达到尽可能大的输出幅度, 可采用图 2.6-2b 中的共源输出级电路(并非跟随器)。这里 M_3 是源极跟随器, 它的偏置电压也决定了 M_1 、 M_2 的静态电流。可适当选 M_1 、 M_2 的偏置电压使它们的静态工作电流很低, 处于乙类状态。这时当输入电压正向变化时, M_3 电流增加, 其源极电压也正向变化。因此, M_2 的电流增加, 输出电压向负方向变化。与此同时, M_1 的电流却减小, 因此, 负载电流由 M_2 提供。反之, 当输入电压负向变化时, M_3 和 M_2 的电流均减小, 输出电压向正方向变化。与此同时, M_1 的电流增加, 它向负载提供电流。这种输出电路可以看成是一种跨导放大器, 当外接负载电阻后, 它具有一定的电压增益。该电路可以输出较大的正、负向电压摆幅(其正、负向摆幅决定于正、负电源电压与 M_1 、 M_2 的饱和压降), 但它的输出电阻却很大, 故它适用于驱动 MOS 电路的内部节点。

对于输出级电路的进一步讨论, 可参看第三章。

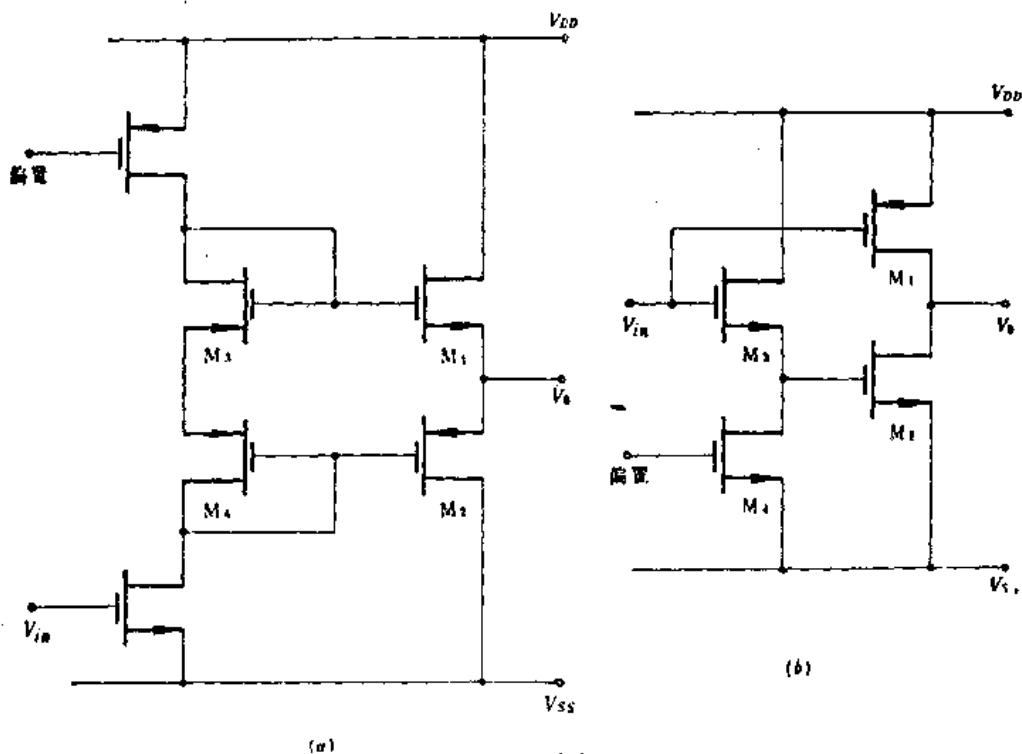


图 2.6-2 互补输出级电路

第七节 高稳定偏置电路

本章的第三节介绍了各种偏置电路, 它在 MOS 模拟集成电路中经常采用, 成为电路的重要组成部分。但这些偏置电路都有共同的缺点, 它所提供的电流随温度和电源电压的变化而变化, 因此, 在要求较高的场合, 可用下面介绍的与温度、电源电压关系不大的高稳定偏置电路。

(一) MOS 管阈值电压 V_T 为基准的偏置电路

典型的 MOS 管阈值电压 V_T 为基准的偏置电路如图 2.7-1 所示。 $M_1 \sim M_4$ 构成正反馈回路, 且 M_3 与 M_4 的宽长比 W/L 相同, 这样流过 M_1 和 M_2 的电流相同。由图可得

$$IR = V_{GS1} = V_{T1} + \sqrt{\frac{2I}{\mu_n C_{ox} \frac{W_1}{L_1}}} \quad (2.7-1)$$

$$V_{T1} \gg \sqrt{\frac{2I}{\mu_n C_{ox} \frac{W_1}{L_1}}},$$

$$I = \frac{V_{T_A}}{R} \quad (2.7.2)$$

(2.7-2)式表明, 图 2.7-1 电路的偏置电流 I 与电源电压无关, 只与阈值电压 V_T 和电阻 R 有关。阈值电压 V_T 是温度的函数, 约 -2 毫伏/ $^{\circ}\text{C}$, 而扩散电阻 R 具有较大的正温度系数, 因此偏置电流 I 具有较大的负温度系数。

$$V_0 = V_{TE} - V_{TD} = V_{TE} + |V_{TD}|, \quad (2.7-3)$$

因 V_{TE} 是正值, V_{TD} 是负值, 而 V_{TE} 、 V_{TD} 都具有负温度系数, 所以增强型管的阈值电压 V_{TE} 和耗尽型管的阈值电压 V_{TD} 的变化量可以抵消, 使 V_{GS}

电压的温度系数很低,可做到百万分之二十/ $^{\circ}\text{C}$,是比较理想的基准电压源,用此基准电压源可获得稳定的偏置电流。

(二) 晶体管 V_{BE} 电压为基准的偏置电路

V_{BE} 为基准的偏置电路如图 2.7-3 所示, 图中的 pnp 晶体管 Q_1 与 CMOS 管同时形成。由 $M_1 \sim M_4$ 构成的反馈回路, 迫使流过 Q_1 管的电流与流过电阻 R 的电流相同。由图可得如下关系式

$$IR = \frac{kT}{q} \ln \frac{I}{I_s} = V_{BE1}, \quad (2.7-4)$$

即
$$I = \frac{V_{BE1}}{R} \quad (2.7-5)$$

该式表明,图 2.7-3 的偏置电路也具有较大的负温度系数。

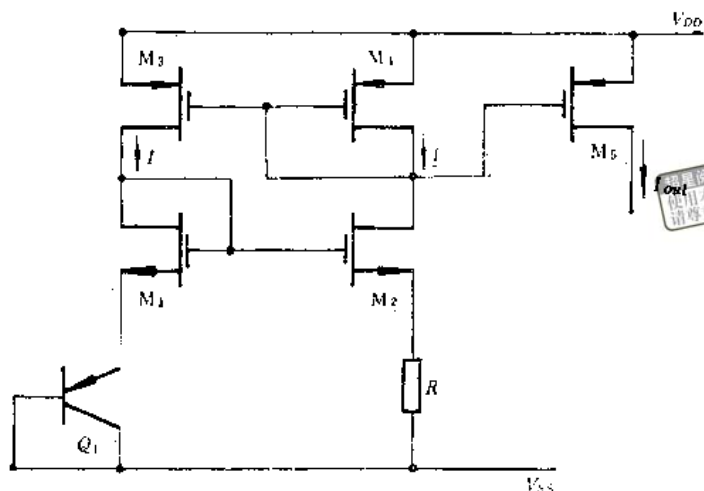


图 2.7-3 V_{BE} 为基准的偏置电路

(三) 晶体管热电压 (kT/q) 为基准的偏置电路

通常定义热电压 $= kT/q$, 式中 k 为玻尔兹曼常数, T 为绝对温度, q 为电子电荷。以热电压为基准的偏置电路其典型电路形式如图 2.7-4 所示。

图中晶体管 Q_2 的发射区面积是晶体管 Q_1 发射区面积的 n 倍, $M_1 \sim M_4$ 管构成反馈回路, 使流过

Q_1 和 Q_2 的电流相等。由图可得

$$V_{BE1} = IR + V_{BE1} \quad (2.7-6)$$

而且

$$V_{BE1} = \frac{kT}{q} \ln \frac{I}{I_s}$$

$$V_{BE2} = \frac{kT}{q} \ln \frac{I}{nI_s}$$

将 V_{BE} 关系式代入 (2.7-6) 式得

$$I = \frac{kT}{q} \cdot \frac{\ln(n)}{R} \quad (2.7-7)$$

kT/q 和电阻 R 均为正温度系数, 只要选择适当的系数 n , 可使偏置电流 I 具有零温度系数, 因而图 2.7-4 电路的偏置电流与温度无关, 可作为基准电流源。

由于沟道调制效应, 流过 M_3 和 M_4 管的电流略有不同, 且输出电流 I_{out} 的大小也与输出端电压大小有关。为克服这一缺点, 可用串级电流源, 其电路形式如图 2.7-5 所示。

用图 2.7-5 的电路结构, 可获得基准电压源和基准电流源, 其电路形式如图 2.7-6 所示。由图和 (2.7-7) 式, V_0 电压可写为

$$V_0 = V_{BE} + \frac{kT}{q} \cdot X \cdot \ln(n)$$

选择适当的 n 和电阻系数 X , 使上式的第一项和第二项的温度系数相互抵消, 那么 V_0 可作为基准电压。由图可知, 利用负反馈电路, 可以将此基准电压 V_0 转换为稳定的电流 I_{out} 。

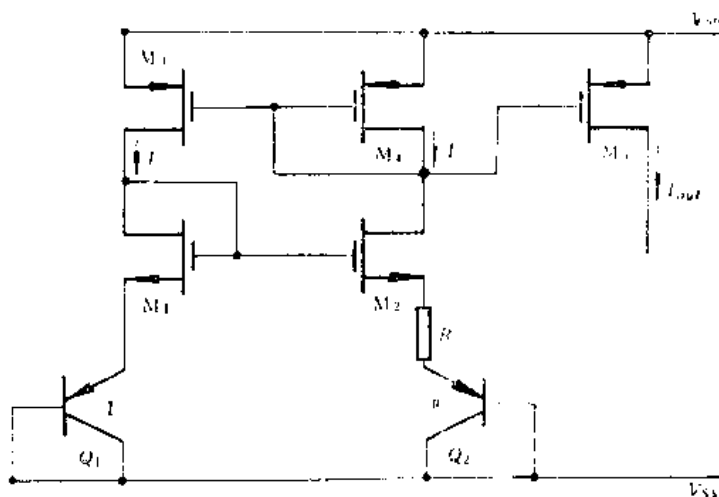


图 2.7-4 kT/q 为基准的偏置电路

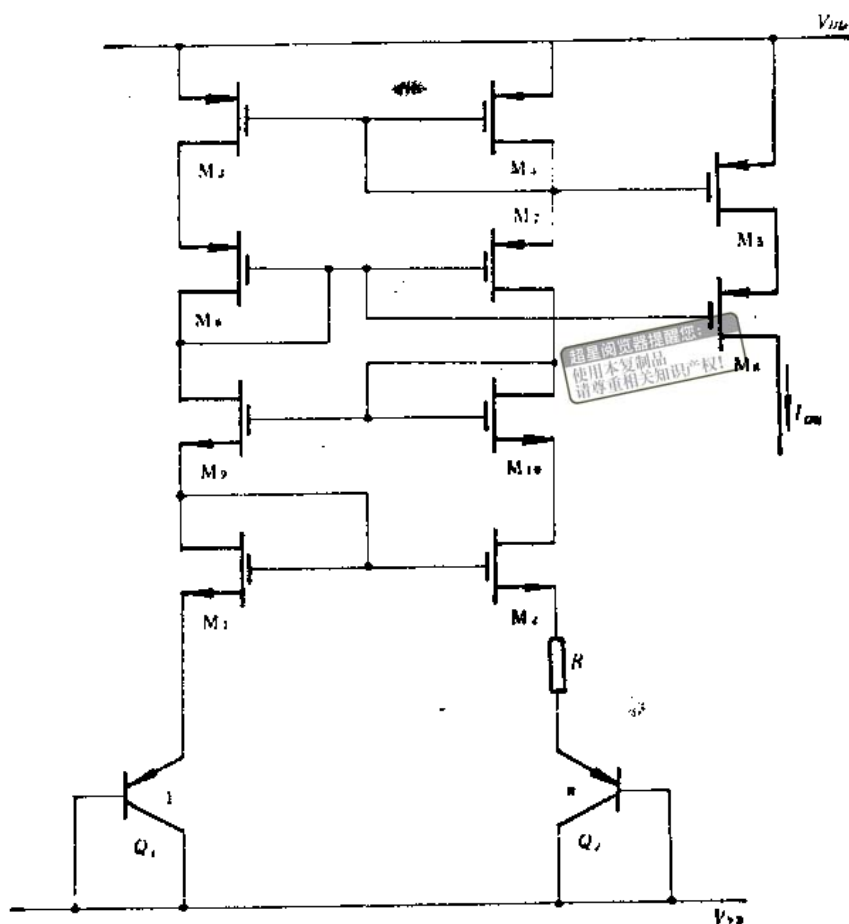


图 2.7-5 高性能基准电流源

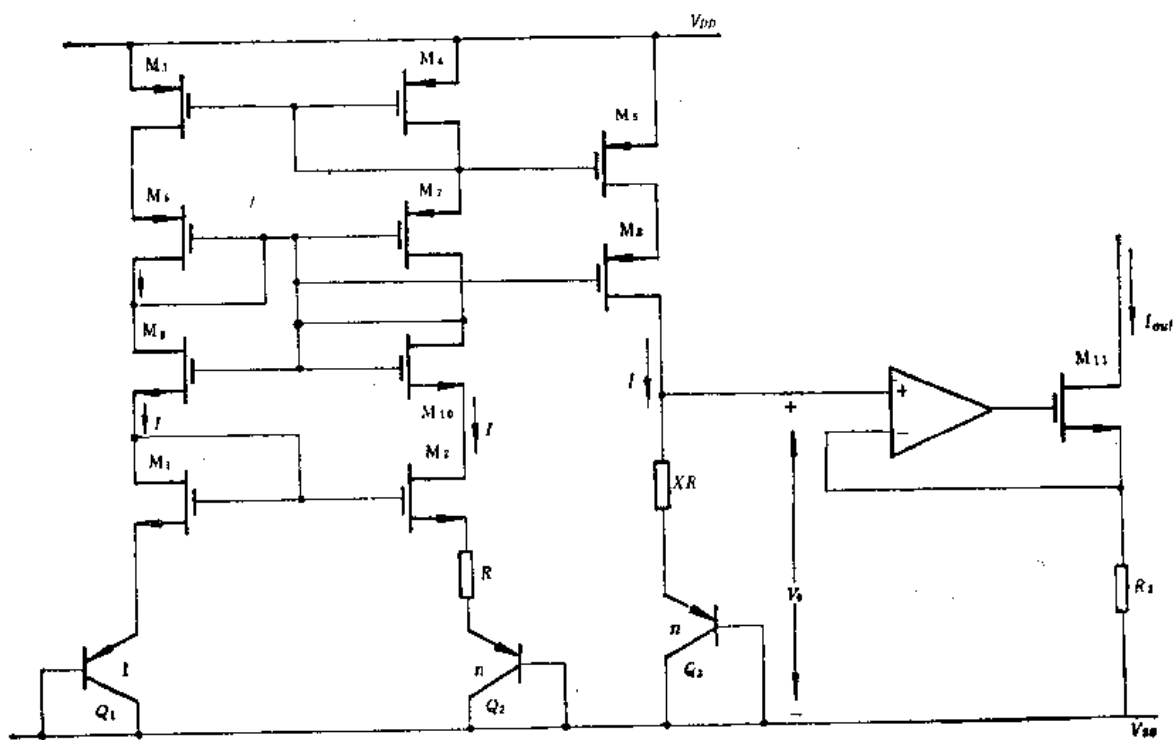


图 2.7-6 高性能基准电流源与电压源

第三章 MOS 运算放大器

超星阅读器提醒您：
使用本复制品
请尊重相关知识产权！

MOS 运算放大器简称运放,它分 NMOS 运放和 CMOS 运放两大类;所谓 NMOS 运放是运放中的场效应管全由 NMOS 管所构成;CMOS 运放是运放中的场效应管由 p 沟、 n 沟 MOS 管共同构成。本章将详细讨论 CMOS 运放的工作原理、设计方法及实用电路分析,而 NMOS 运放将作些简要介绍。

MOS 运放的设计同双极型运放类似,主要从开环增益、输出摆幅、共模抑制比、频率特性、瞬态响应、失调电压及功耗等方面考虑,但 MOS 运放有本身的特点,在某些方面不同于双极型运放,现说明如下:

(1) MOS 运放与双极型运放相比,其最大优点是输入阻抗高(10^{10} 欧姆以上)、输入偏流极小($10^{-21} \sim 10^{-22}$ 安培)和功耗低且有较大电压增益,因此近几年来 MOS 运放特别是 CMOS 运放得到迅速发展,成为大规模模拟集成电路中不可缺少的基本部件。

(2) 双极型运放通常以单片集成电路的形式出现的,具有良好的电性能和通用性。而 MOS 运放通常作为集成电路中的一个基本单元,如开关电容网络、A/D、D/A 等 MOS 集成电路,因此在设计 MOS 运放时,不强调 MOS 运放的通用性,而是根据集成电路的总体性能来定出 MOS 运放的基本参数,例如 MOS 运放的开环增益、驱动能力等。MOS 运放作为 MOS 集成电路中的一个基本单元,它的负载是 MOS 管高阻抗器件及电容,因此设计 MOS 运放通常并不需要低的输出阻抗,而应有驱动电容负载的能力。另外随着 MOS 电路的规模扩大,数字电路和模拟电路集成在一起(如 A/D、PCM 编码译码器等),这时要考虑数字电路的开关噪声通过电源对 MOS 运放模拟电路的影响,这就要求 MOS 运放具有较高的电源电压抑制比(PSRR)。电源电压的变化所引起运放输出电压的变化越小,则其电源电压抑制比能力越强。

(3) MOS 管同双极型器件相比,有较大的噪声,特别在低频端的 $1/f$ 噪声,因此在设计 MOS 运放时,应考虑如何减小运放的噪声。噪声主要来自输入级,而运放输入项由差分放大器构成,因此,降低输入差分放大器的噪声,便可降低运放噪声。

(4) MOS 管的阈值电压较大,因而有较大的失调电压。在设计、制造 MOS 运放时,应降低 MOS 管的阈值电压,并从版图设计、工艺等方面下功夫,以获得低的失调电压。

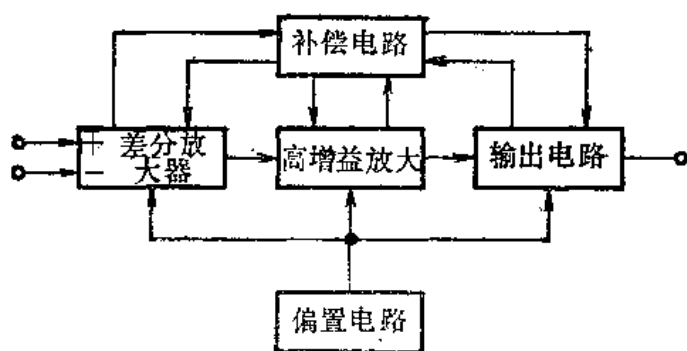


图 3.0-1 MOS 运放的框图

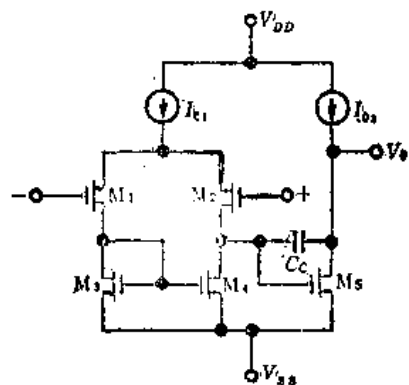


图 3.0-2 二级 CMOS 运放

(5) MOS管跨导 g_m 较低, 并且跨导与工作电流 I_D 的平方根成正比, 这就使 MOS 运放的频率补偿要比双极型来得复杂(下面将要详细讨论)。

MOS 运放的方框图如图 3.0-1 所示, 图中高增益级通常是共源放大电路。补偿电路通常是一只频率补偿电容, 接在高增益级的输入与输出之间, 以实现运放的频率补偿。

CMOS 运放的常用电路形式如图 3.0-2 所示, 它由二级放大器构成, 第一级是由 $M_1 \sim M_4$ 构成的差分放大电路, 第二级是 M_5 与电流源 I_{D2} 组成的共源放大器, 此二级放大器提供的增益约 1000~20000 倍。电容 C_c 为频率补偿电容。实际电路如图 3.0-3 所示。图中 M_6 和 M_7 构成偏置电路, 提供参考电流 I_R 。 M_7 和 M_8 与偏置电路组成电流源电路, 提供差分放大器的工作电流以及作为 M_5 共源放大器的有源负载。它的交流小信号等效电路如图 3.0-4 所示。其中 R_1 与 C_1 分别为第二增益级输入端的等效电阻与分布电容, R_1 值为差分输出端 M_2 、 M_4 的输出阻抗 r_{ds} 的并联, 即 $R_1 = r_{ds1} // r_{ds4}$, R_2 、 C_L 分别为第二增益级输出端的电阻与电容, R_2 值为输出放大器 M_5 、 M_8 的输出阻抗 r_{ds} 的并联, 即 $R_2 = r_{ds5} // r_{ds8}$, 电容 C_L 主要是输出端的负载电容。 g_{m1} 、 g_{m2} 分别为放大器第一级与第二级的等效跨导。显然, 该电路的直流电压增益 A_v 为

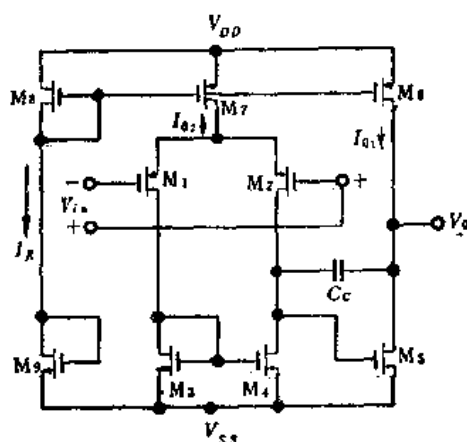


图 3.0-3 二级 CMOS 运放全图

$$A_v = \frac{V_o}{V_{in}} = g_{m1} g_{m2} R_1 R_2. \quad (3.0-1)$$

图 3.0-5 表示一般 NMOS 运放的电路结构, 它通常由输入差分放大器、电平位移电路和输出级共源放大器等三部分构成。由于 NMOS 运放全由 NMOS 管构成, 级与级之间的电平配置比较困难, 电路结构复杂, 为获得较高增益, 需三级以上放大器构成, 这样给频率补偿带来困难, 因此, NMOS 运放与 CMOS 运放相比, 缺点是明显的。但是, 由于 NMOS

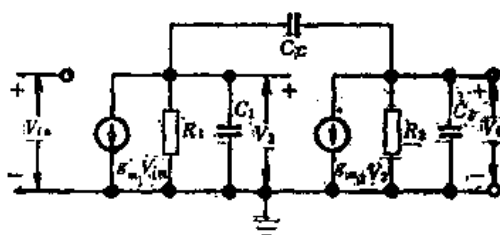


图 3.0-4 二级 CMOS 运放交流等效电路

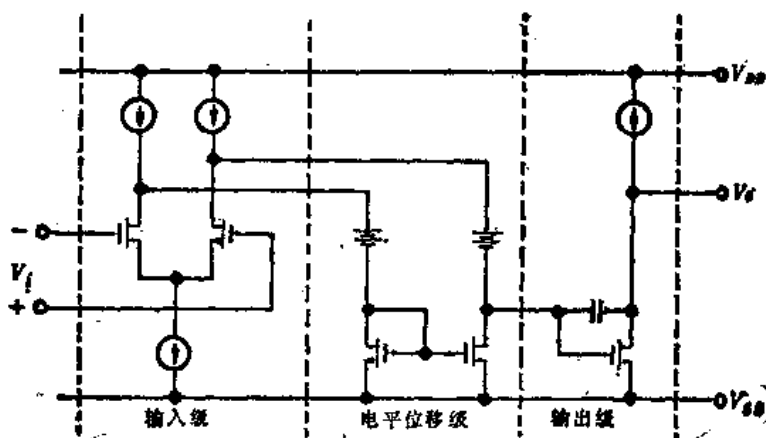


图 3.0-5 NMOS 运放的电路结构

电路的速度与集成度均比 CMOS 电路来得高,因此,在大规模 MOS 模拟集成电路中,有时也采用 NMOS 运放。事实上,首次出现的全 MOS 运放电路是 NMOS 运放。在本章的第十节将简要介绍 NMOS 运放电路的结构、工作原理及设计方法。

第一节 CMOS 运放的频率特性与相位补偿技术

(一) 等效电路的节点方程

CMOS 运放的电路结构与设计方法基本上类似于双极型运放。但是在 MOS 运放中对于频率补偿的考虑与双极型运放有所不同,对于图 3.0-3 所示的二级放大器,当用电容 C_c 进行频率补偿时,可用图 3.0-4 的等效电路写出电路的节点方程:

$$g_{m1}V_{in} + \frac{V_2}{R_1} + V_2C_1S + (V_2 - V_o)C_cS = 0,$$

$$g_{m2}V_2 + \frac{V_o}{R_2} + V_oC_LS + (V_o - V_2)C_cS = 0.$$

解上述方程,得传递函数为

$$\frac{V_o}{V_{in}} = \frac{A_{vo} \left(1 - \frac{C_cS}{g_{m2}}\right)}{1 + bS + CS^2} \quad (3.1-1)$$

式中 $A_{vo} = g_{m1}g_{m2}R_1R_2$;

$$b = [(C_L + C_c)R_2 + (C_1 + C_c)R_1 + g_{m2}R_1R_2C_c];$$

$$C = R_1R_2(C_1C_L + C_cC_L + C_cC_1).$$

由 (3.1-1) 式可知,该方程有两个极点(分母方程的根),由于补偿电容 C_c 的作用,使两个极点分离得比较远,即一个极点在低频端,另一个极点频率较高,根据这一假定,可求得 (3.1-1) 式的极点和零点分别为

$$P_1 = \frac{-1}{(1 + g_{m1}R_2)C_cR_1},$$

$$P_2 = \frac{-g_{m2}C_c}{C_LC_1 + C_LC_c + C_cC_1},$$

$$Z = \frac{g_{m2}}{C_c}. \quad (3.1-2)$$

式中的 P_1 为低频极点,即为运放的主极点, P_2 为高频极点。由 (3.1-2) 式可以看出,由于补偿电容 C_c 的作用,使 $P_1 \ll P_2$, 假如 $P_2 > GB$ (单位增益带宽), 而 $Z > P_2$, 那么幅频特性和相频特性如图 3.1-1 所示。显然,运放闭环至 0 分贝时也是稳定的。如果不加补偿电容 C_c , 使 P_1 与

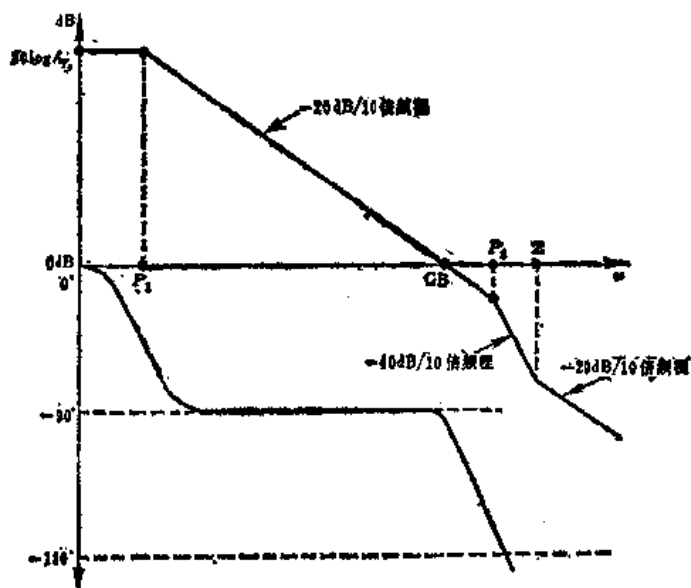
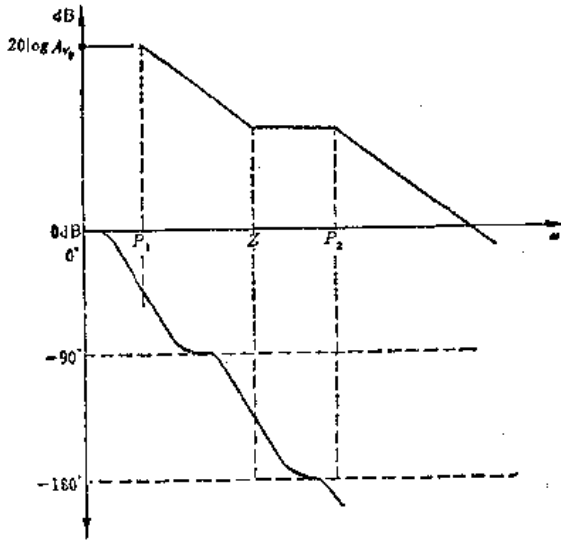


图 3.1-1 运放的幅频与相频特性

P_2 很接近,从而使运放不稳定甚至产生振荡。补偿电容 C_c 使运放的极点频率分开,所以补偿电容 C_c 叫做极点分割电容。



我们看到,加了补偿电容 C_c 后,使极点频率拉开,但也产生了零点,而且这个零点在 S 平面的右半平面上,因而零点所产生的相移是滞后的,它与极点 P_1 、 P_2 所产生的滞后相移叠加,产生较大的附加相移。如果零点 Z 的频率远大于单位增益带宽 GB , 那么零点 Z 对运放相移的贡献可以忽略,不影响其稳定性;反之,零点 Z 的频率低于单位增益带宽 GB , 那么,零点 Z 将使运放不稳定,其幅频与相频特性如图 3.1-2 所示。

(二) 运放等效电路及其特性

图 3.1-2 运放的幅频与相频特性

在双极型运放电路里,通常跨导 g_m 较大,零点 Z 的频率远大于单位增益带宽 GB , 不会影响电路的稳定性,因而频率补偿电容 C_c 不会出现图 3.1-2 的情况。但 MOS 运放情况就不一样,因 MOS 管的跨导较低,频率补偿电容 C_c 所产生的零点 Z 较低,造成运放的不稳定,因此对 MOS 运放的频率补偿还要作进一步的讨论。

运放零点的产生是由于补偿电容 C_c 的前馈作用。所谓前馈,就是在高频情况下补偿电容 C_c 把第一级的输出信号直接馈送到第二级的输出端。显然,信号通过补偿电容 C_c 馈送到输出端的相位与信号通过第二级放大后输出的相位,两者的相位差为 180° 。在双极型运放中,为了获得高输入阻抗,第一级放大器的工作电流很小,跨导 (g_{m1}) 很低,电压增益不高,为了提供运放的开环增益以及增大驱动能力。第二级的工作电流较大,电压增益很高,其跨导 g_{m2} 远大于第一级跨导 g_{m1} ,因此在第二级输出端的前馈信号比经第二级放大后的信号小得多。当它与放大后的信号可以比拟时,运放总的开环增益已比 1 小得多,所以补偿电容 C_c 的前馈作用对运放的稳定性没有什么影响。在 MOS 运放中,为了降低噪声,提高电压增益,通常增大第一级放大器的跨导 g_{m1} ,并从提高运放的总增益考虑,第一级放大器的工作电流和第二级放大器的工作电流是相近的,即它们的跨导和增益都很接近。由于 MOS 管跨导不高,这时由于 C_c 的前馈作用在输出端产生的信号就不能忽略,当频率升高时,它的影响更严重,并使运放的附加相移在没有到达单位增益时已到达 -180° ,使负反馈变成正反馈。关于这种情况我们可以利用运放的等效电路图 3.1-3a 来说明,为了说明 C_c 的作用,图中忽略了 C_1 、 C_2 的影响。在低频时,电容 C_c 与放大器构成积分电路,但在高频时,电容 C_c 可看成短路,这时第二级的放大管可以看成是漏栅短接的二极管,因此,第二级的等效输入电阻变为 $1/g_{m2}$,成为第一级放大器的负载。此时,电路的总增益等于第一级的增益,即为 $-g_{m1}/g_{m2}$,且其相位与低频时相反。图 3.1-3b 表示其幅频特性,如前所述,在双极型运放电路中, $g_{m2} \gg g_{m1}$, 高频时增益远小于 1; 而 MOS 运放电路, $g_{m2} \approx g_{m1}$, 高频时增益近似等于 1。因此, MOS 运放电路只采用简单的频率补偿电容 C_c 时,其闭环工作状态有时是不稳定的。

(三) MOS 运放的频率补偿

上述讨论表明,在 MOS 运放中进行相位补偿时,必须消除电路中零点的不良影响。为了更好地说明 MOS 运放的频率补偿,再对 (3.1-2) 式进行讨论。

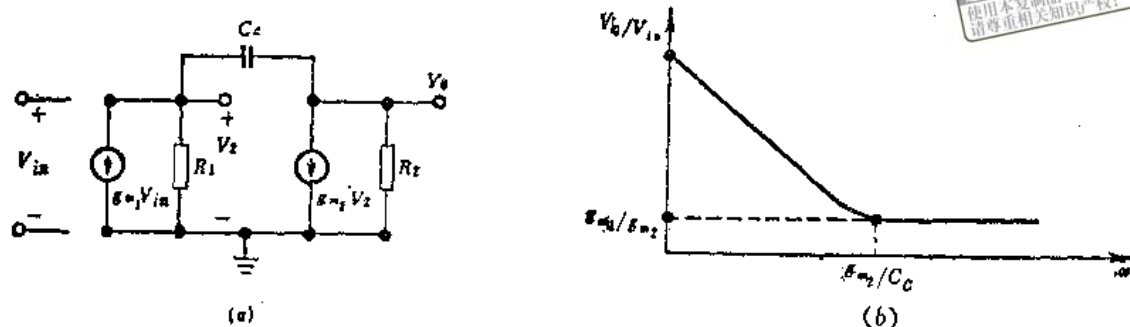


图 3.1-3 运放等效电路及其特性

如果 MOS 运放的高频极点 P_2 频率和零点 Z 的频率大于单位增益带宽 GB 。这时运放的电压增益在高于低频极点 P_1 的频率时,以 -20 分贝/10 倍频程下降 (见图 3.1-1),单位增益带宽应为

$$\begin{aligned} GB &= A_{v_0} |P_1| \\ &= g_{m_1} g_{m_2} R_1 R_2 \frac{1}{g_{m_2} R_1 R_2 C_c} \\ &= \frac{g_{m_1}}{C_c} \end{aligned} \quad (3.1-3)$$

等效电路中的 C_1 是内部的分布电容,它与补偿电容 C_c 和负载电容 C_L 相比,是很小的,故 P_1 可近似为

$$P_2 = -\frac{g_{m_2} C_c}{C_L C_1 + C_L C_c + C_c C_1} \approx -\frac{g_{m_2}}{C_L} \quad (3.1-4)$$

由 (3.1-3)、(3.1-4) 式及零点表示式 (3.1-2), 可得

$$\left| \frac{P_2}{GB} \right| = \frac{g_{m_2} C_c}{g_{m_1} C_L} \quad (3.1-5)$$

$$\left| \frac{Z}{GB} \right| = \frac{g_{m_2}}{g_{m_1}} \quad (3.1-6)$$

由 (3.1-5)、(3.1-6) 式可知,右半平面的零点 Z 、高频极点 P_2 与单位增益带宽 GB 之比决定于 g_{m_2}/g_{m_1} 的比值,要使 MOS 运放实现单极点响应,即 0 分贝以上只出现一个主极点 P_1 ,而高频极点 $P_2 \gg GB$, 零点 $Z \gg GB$, 那么 g_{m_2}/g_{m_1} 的比值应有如下关系式:

$$\frac{g_{m_2}}{g_{m_1}} \gg \frac{C_L}{C_c} \quad (3.1-7)$$

$$\frac{g_{m_2}}{g_{m_1}} \gg 1 \quad (3.1-8)$$

显然, g_{m_2}/g_{m_1} 的比值越大, MOS 运放的稳定性越好。而且补偿电容 C_c 的取值与负载电容 C_L 的大小有关, C_L 增大, C_c 也相应加大。

超星浏览器提醒您：
使用本复制品
请尊重相关知识产权！

1. 將补偿电容 C_c 与放大器输出端相隔离

無因隨器

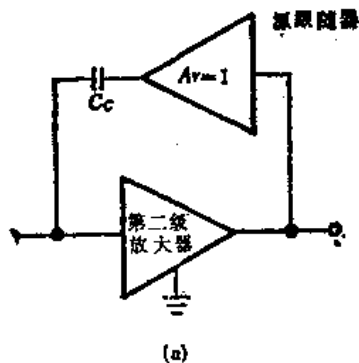


图 3.1-4 二级运放

图 3.1-5 图 3.1-4 的等效电路

$$SC_1 V_0 + \frac{V_0}{R_2} + g_{m_1} V_1 = 0.$$

$$\frac{V_o}{V_{in}} = \frac{g_{m_1}}{S^2(C_1 + C_2)C_2 + S[(C_1 + C_2)\frac{1}{R_2} + C_2\frac{1}{R_1} + C_2g_{m_2}] + \frac{1}{R_1R_2}} \quad (3.1-10)$$
$$P_1 \approx \frac{-1}{R_1 R_2 g_m C_c},$$

$$P_2 \approx \frac{-g_m C_c}{C_L(C_1 + C_c)}. \quad (3.1-11)$$

(3.1-11) 式和 (3.1-2) 式相比, 极点 P_1 、 P_2 没有什么变化, 而零点却消除了, 电路的稳定性得到了改善。

2. 补偿电容 C_c 与电阻串联后进行补偿

另一种消除右半平面零点的有效方法是电容 C_c 与电阻 R_z 串联后进行补偿, 其等效电路如图 3.1-6 所示。

由图得如下节点方程

$$\begin{aligned} g_{m_1}V_{in} + \frac{V_1}{R_1} + V_1SC_1 + (V_1 - V_o) \frac{SC_c}{1 + SC_cR_z} \\ = 0, \\ g_{m_2}V_1 + \frac{V_o}{R_2} + V_oSC_2 + (V_o - V_1) \frac{SC_c}{1 + SC_cR_z} \\ = 0. \end{aligned}$$

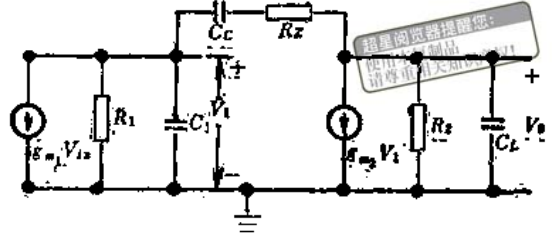


图 3.1-6 二级运放的等效电路

解上述方程, 求得传递函数为

$$\frac{V_o}{V_{in}} = \frac{a \left[1 - S \left(\frac{C_c}{g_{m_1}} - R_z C_c \right) \right]}{1 + bS + cS^2 + dS^3}, \quad (3.1-12)$$

式中

$$\begin{aligned} a &= g_{m_1}g_{m_2}R_1R_2, \\ b &= [(C_L + C_c)R_2 + (C_1 + C_c)R_1 + g_{m_1}R_1R_2C_c + R_2C_c], \\ c &= [R_1R_2(C_1C_L + C_cC_1 + C_cC_L) + R_2C_c(R_1C_1 + R_2C_L)], \\ d &= R_1R_2C_1C_LC_c. \end{aligned}$$

如果 $\frac{1}{g_{m_1}} \ll R_1, R_2$, 二个极点分离得较远, 则由 (3.1-12) 式求得的极点和零点为

$$\begin{aligned} P_1 &\approx \frac{-1}{(1 + g_{m_1}R_2)R_1C_c} \approx \frac{-1}{g_{m_1}R_2R_1C_c} \\ P_2 &= \frac{-g_{m_1}C_c}{C_1C_L + C_cC_1 + C_cC_L} \approx -\frac{g_{m_1}}{C_L} \\ Z &= -\frac{1}{C_c \left(\frac{1}{g_{m_1}} - R_z \right)} \end{aligned} \quad (3.1-13)$$

由 (3.1-12)、(3.1-13) 式可知, 当 $R_z = \frac{1}{g_{m_1}}$ 时, 零点消去, 提高了电路的稳定性。如果 R_z 稍大于 $1/g_{m_1}$, 则零点从 S 平面的右半平面移到左半平面, 也可提高电路的稳定性。

第二节 CMOS 运放工作点与管子参数

CMOS 运放的电路结构确定后, 最重要的是确定运放各级的工作电流与工作电压。为使运放工作正常, 首先要保证运放各级放大器中的场效应管在静态和规定的动态条件下, 处于饱和区; 其次, 在静态条件下, 输入端等于零电压时, 输出端电压为零, 即要有小的失调电压; 第三, 根据增益、输出动态幅度等确定各级放大器及偏置电路的工作电流。我们知道, MOS 管的工作电流、电压决定于工艺参数和沟道的宽长比。如果工艺参数确定之后, 工作电压 (V_{GS}) 也就确定了, 那么 MOS 管的工作电流 I_D 只与沟道的宽长比有关。因此在 MOS 运放中, 各级

放大器的工作点与 MOS 管的沟道宽长比密切相关。下面我们以常用的 CMOS 运放电路为例进行分析,为使 MOS 运放具有小的失调电压,如何来确定各级放大器中的 MOS 管的沟道宽长比。

(一) CMOS 运放的工作点与管子参数

利用图 3.2-1 所示的电路进行输入失调电压分析。在这里,影响电路输入失调电压的因素包括 M_1 和 M_2 本身的输入失调电压和 M_3 、 M_4 管失配的影响(记为 V_{os1}),以及后级的影响(记为 V_{os2}),故电路总的输入失调电压 V_{os} 为

$$V_{os} = V_{os1} + V_{os2} \quad (3.2-1)$$

根据第二章第五节的讨论可知, V_{os1} 为

$$V_{os1} = \Delta V_{T1} + \frac{g_{m3}}{g_{m1}} \Delta V_{T3} + \frac{I_0}{2g_{m1}} \left(\left| \frac{\Delta W_1}{W_1} \right| + \left| \frac{\Delta L_1}{L_1} \right| + \left| \frac{\Delta W_3}{W_3} \right| + \left| \frac{\Delta L_3}{L_3} \right| \right)$$

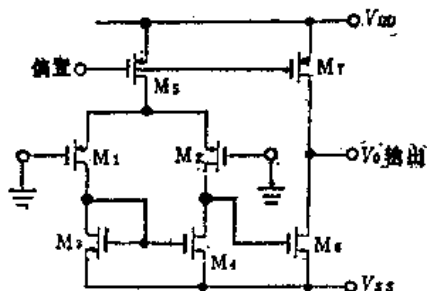


图 3.2-1 二级 CMOS 运放

1. 失调电压

必须指出,上式的失调电压 V_{os1} 的表示式是在考虑输入对管 M_1 、 M_2 和电流源管 M_3 、 M_4 对称条件下得出的,它是由工艺参数(如扩散不均匀,氧化层厚度不均匀)、制版、光刻等原因引入的随机失调电压。要减小这种随机失调电压,应改善工艺条件、提高制版、光刻精度,此外,在设计版图时,应使输入对管 M_1 、 M_2 和电流源对管 M_3 、 M_4 尽量靠近,以减小 M_1 、 M_2 管的阈值电压差值 ΔV_{T1} 和 M_3 、 M_4 管的阈值电压差值 ΔV_{T3} ,并适当加大管子尺寸,以减小 M_1 、 M_2 和 M_3 、 M_4 的沟道宽度、长度的相对误差。

第二项 V_{os2} 失调主要由第二级引起的。由于 MOS 跨导较小,输入级的差分增益不是很大,这样第二级引起的失调折合到输入端的失调电压 V_{os2} 不能忽略。

若输入对管 M_1 、 M_2 和电流源对管 M_3 、 M_4 是对称的,则输入电压为零时, M_3 管的漏源电压与 M_4 管的漏源电压相等,由图 3.2-1 可得

$$V_{DS3} = V_{GS3} = V_{GS4} = V_{DS4} + V_{GS5} \quad (3.2-2)$$

由于 M_3 、 M_4 和 M_5 管的工艺参数、阈值电压相同,则根据 MOS 管的电流表示式以及 (3.2-2) 式,可得

$$I_3 = I_4 \quad (3.2-3)$$

$$\frac{I_3}{I_0} = \frac{I_4}{I_0} = \frac{\frac{W_4}{L_4}}{\frac{W_5}{L_5}} \quad (3.2-4)$$

显然要使失调电压为零,应使 M_5 管的电流 I_5 与 M_7 管的电流 I_7 相同,而 M_7 管与输入级差分放大器的电流源管 M_5 是同一偏置电压,故 I_0 (M_3 管的工作电流)与 I_7 有如下关系:

$$\frac{I_0}{I_7} = \frac{\frac{W_5}{L_5}}{\frac{W_7}{L_7}} \quad (3.2-5)$$

因 $I_5 = 2I_3 = 2I_4$, $I_6 = I_7$, 则由 (3.2-4)、(3.2-5) 式可得

$$\frac{2 \frac{W_3}{L_3}}{\frac{W_6}{L_6}} = \frac{2 \frac{W_4}{L_4}}{\frac{W_6}{L_6}} = \frac{\frac{W_5}{L_5}}{\frac{W_7}{L_7}}, \quad (3.2-6)$$

因 $\frac{W_3}{L_3} = \frac{W_4}{L_4}$, 上式也可写成

$$\frac{\frac{W_3}{L_3} + \frac{W_4}{L_4}}{\frac{W_6}{L_6}} = \frac{\frac{W_5}{L_5}}{\frac{W_7}{L_7}}. \quad (3.2-7)$$

因此,若使 (M_3+M_4) 与 M_6 的沟道宽长比的比例与 M_5 、 M_7 的沟道宽长比的比例相等, 后级对输入失调电压就没有影响。倘若这些比例失配或有关管子的阈值电压失配, 就会引起输入失调电压的增加。但是,若输入级的差分放大器的增益较大时,后级失配所引起的失调可以减小。放大器的 MOS 管的沟道宽长比确定以后,再根据电压增益、输出动态幅度等要求,确定工作电流。工作电流由偏置电路来提供。下面讨论如何确定 CMOS 运放的工作点,并介绍 MOS 管的参数选择(主要是沟道的宽长比)。

2. 工作点与管子参数

图 3.2-2 是典型的二级 CMOS 运放。 R_B 和 M_6 构成偏置电路, 以提供输入级差分放大器和输出级电路的工作电流。差分放大器由差分对管 M_1 、 M_2 、有源负载 M_3 、 M_4 和作为电流源管的 M_7 所组成。 M_5 和 M_8 构成第二级共源放大器。电容 C_c 为频率补偿电容。

运放结构确定后,首先确定直流工作点。

现设 $V_{DD} = 5$ 伏、 $V_{SS} = -5$ 伏,管子的阈值电压 $|V_T| = 1$ 伏。从输出的动态幅度考虑,设定图中节点②的电位为 -2 伏,即 $V_{GS_4} = V_{GS_5} = V_{GS_6} = 3$ 伏。从电路的功耗、放大器的增益、输出的驱动能力等方面考虑,选取偏流 $I_6 = 70$ 微安,差分放大器的工作电流 $I_7 = I_8 = 70$ 微安,输出级电路 $I_5 = 100$ 微安。根据工作电流,偏流电阻 R_B 为

$$R_B = \frac{V_{DD} - V_{GS_6} - V_{SS}}{I_6} = 100 \text{ 千欧}.$$

设 NMOS 管的 $C_{ox} \mu_n$ 参数为

$$C_{ox} \mu_n = 23.3 \text{ 微安/伏}^2,$$

则 M_6 的宽长比为

$$\frac{W_6}{L_6} = \frac{I_6}{\frac{C_{ox} \mu_n}{2} (V_{GS_6} - V_T)^2} = \frac{18}{12}.$$

因 $I_7 = I_8$, M_7 的宽长比为

$$\frac{W_7}{L_7} = \frac{W_8}{L_8} = \frac{18}{12}$$

类似于 (3.2-6) 式, M_5 的宽长比由下式求得

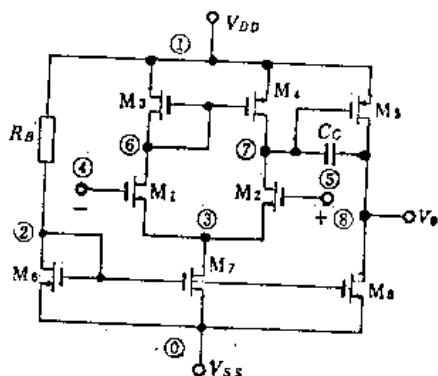


图 3.2-2 二级 CMOS 运放

$$\frac{W_8}{L_8} = \frac{W_7}{L_7} \quad \frac{I_8}{I_7} = \frac{22}{10}$$

在静态条件下(输入电压为零),为使失调电压为零,应使 $I_5 = I_8$, 根据图 3.2-2 和关系式 (3.2-6) 可得 M_5 管的宽长比为

$$\frac{W_5}{L_5} = \frac{2 \frac{W_4}{L_4} \cdot \frac{W_8}{L_8}}{\frac{W_7}{L_7}} \quad (3.2-8)$$

图中的差分放大器增益 A_d 可写成

$$A_d = \sqrt{\frac{\mu_n C_{ox} \frac{W_1}{L_1}}{I_7 \lambda^2}} \quad (3.2-9)$$

式中的 λ 为沟道长度调制参数。

设 $\lambda = \lambda_n = \lambda_p = 0.01 \text{ 伏}^{-1}$, 而 $I_7 = 70 \text{ 微安}$, $\mu_n C_{ox} = 23.3 \text{ 微安/伏}^2$, 则 (3.2-9) 式表示为

$$A_d = 57.7 \sqrt{\frac{W_1}{L_1}} \quad (3.2-10)$$

第二级增益为

$$A_s = \sqrt{\frac{\mu_p C_{ox} \frac{W_5}{L_5}}{2 I_5 \lambda^2}} \quad (3.2-11)$$

式中的 $\mu_p C_{ox} = 10.1 \text{ 微安/伏}^2$, $I_5 = 100 \text{ 微安}$, $\lambda = 0.01 \text{ 伏}^{-1}$. 因此上式可写为

$$A_s = 22.4 \sqrt{\frac{W_5}{L_5}} \quad (3.2-12)$$

为使第二级的跨导 g_{m2} 大于输入级差分放大器跨导 g_{m1} , 选择

$$\frac{W_1}{L_1} = 1 = \frac{10 \text{ 微米}}{10 \text{ 微米}}, \quad \frac{W_5}{L_5} = 10 \frac{W_1}{L_1} = \frac{100 \text{ 微米}}{10 \text{ 微米}}$$

由 (3.2-8) 式得 M_3, M_4 管的宽长比为

$$\frac{W_3}{L_3} = \frac{W_4}{L_4} = \frac{\frac{W_6}{L_6} \cdot \frac{W_7}{L_7}}{2 \frac{W_8}{L_8}} = \frac{34}{10}$$

现将图 3.2-2 电路中各管的宽长比, 列于表 3.2-1。

表 3.2-1 对应于图 3.2-2 电路中 MOS 管的宽长比

器 件	W/L (W, L 的单位为微米)
M_1	10/10
M_2	10/10
M_3	34/10
M_4	34/10
M_5	100/10
M_6	18/12
M_7	18/12
M_8	22/10

此时,图 3.2-1 所示的运放的电压增益为

$$A_{v_s} = A_d A_1 = 57.7 \times 22.4 \sqrt{\frac{W_1}{L_1}} \sqrt{\frac{W_5}{L_5}} = 4100;$$

运放的输出阻抗为

$$R_o = \frac{1}{2\lambda I_5} = 500 \text{ 千欧};$$

运放第一级的跨导为

$$g_{m_1} = \sqrt{\mu_n C_{ox} I_7 \frac{W_1}{L_1}} = 40.4 \text{ 微安/伏};$$

运放第二级的跨导为

$$g_{m_2} = \sqrt{2\mu_p C_{ox} I_5 \frac{W_5}{L_5}} = 142 \text{ 微安/伏}.$$

如果设计运放的单位增益带宽 GB 为 1 兆赫,那么根据第一节的 (3.1-3) 式,补偿电容 C_c 值为

$$C_c = \frac{g_{m_1}}{2\pi GB} = 6.6 \text{ 皮法}.$$

运放的零点为

$$f_z = \frac{g_{m_1}}{2\pi C_c} = 3.4 \text{ 兆赫},$$

运放的第一极点:

$$f_{p_1} = \frac{GB}{2\pi A_{v_s}} = 250 \text{ 赫兹};$$

运放的第二极点与负载电容 C_L 有关,其值为

$$f_{p_2} = \frac{g_{m_2}}{2\pi C_L}.$$

根据第一节的讨论和 (3.1-7) 式,负载电容 C_L

应小于 23 皮法,否则运放在深度负反馈工作时,有可能出现高频振荡。为提高运放的稳定性并消除零点,其方法是用频率补偿电容 C_c 与电阻 R_z 串联后进行补偿,而 $R_z = \frac{1}{g_{m_1}}$,其电路形式如图 3.2-3 所示。

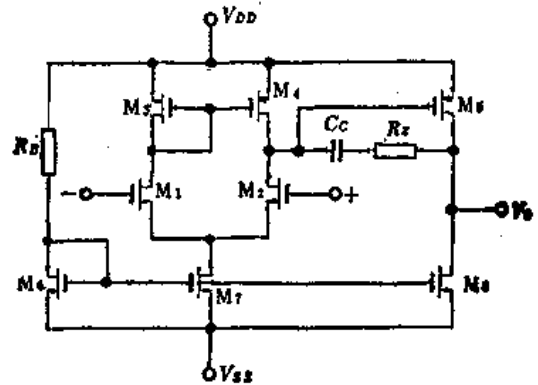


图 3.2-3 C_c - R_z 串联补偿的 CMOS 运放

(二) CMOS 运放的实际电路

图 3.2-4 是输入为 p 沟 MOS 对管的二级 CMOS 运放。美国莫托洛拉公司生产的 CMOS

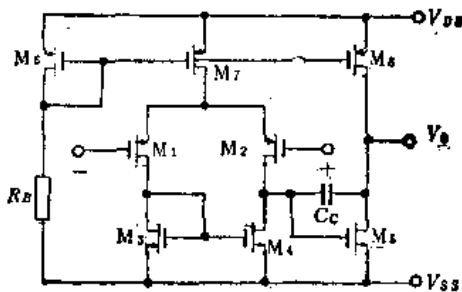


图 3.2-4 二级 CMOS 运放

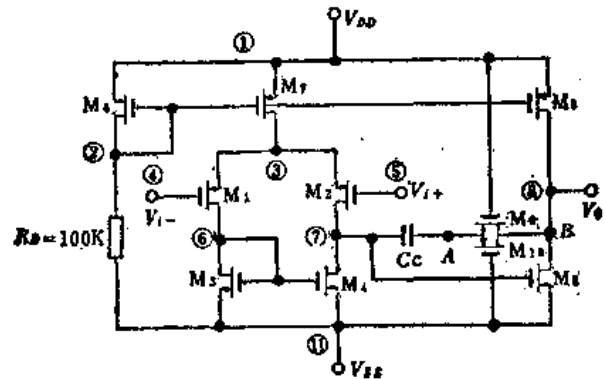


图 3.2-5 串级补偿的 CMOS 运放

四运放 MC14573 和上海元件五厂生产的 CMOS 四运放 5G14573 都采用这种电路结构形式。改变偏流电阻 R_b 的阻值即可调节运放的工作电流、增益、输出电流等参数。

为了提高图 3.2-4 运放的稳定性, 消除零点, 可在补偿电容 C_c 上串联一电阻 R_c 。通常 R_c 可用 MOS 管取代, 其电路形式如图 3.2-5 所示。

图中利用 M_9 、 M_{10} 漏源之间的等效电阻构成上述串联电阻。这里 n 沟 MOS 管 M_9 和 p 沟 MOS 管 M_{10} 的栅极分别接在正、负电源电压上。当输出信号的极性不同时, 它们的漏极与源极的作用是互相交换的。静态时, M_9 、 M_{10} 中无电流, 信号输入时, 若电路的输出信号是正极性时, B 点电位高于 A 点电位。这时 M_9 处于正向工作状态, 而 M_{10} 处于反向工作状态(它的源极与漏极的作用互换), 如图 3.2-6a 所示。反之, 当电路的输出信号是负极性时, B 点电位

低于 A 点电位, 则这时 M_9 处于反向工作状态, M_{10} 处于正向工作状态, 如图 3.2-6b 所示。通常, 在集成电路中, MOS 管的正、反向特性是对称的, 所以上述两种情况下 M_9 、 M_{10} 的特性是相同的。根据交流小信号等效电路, 可求得

A 、 B 两端点间的等效电阻 $r_{AB} \approx \frac{1}{g_m}$, 这里的

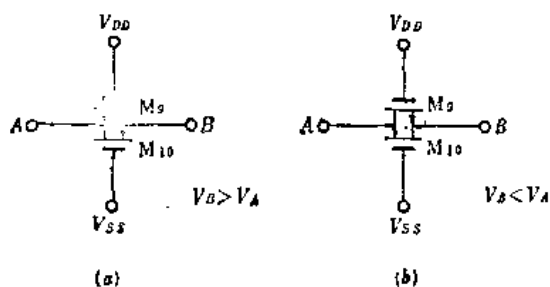


图 3.2-6 对应于图 3.2-5 中 M_9 、 M_{10} 的等效电阻

g_m 是 M_9 及 M_{10} 的跨导。因此, 当 M_9 、 M_{10} 的跨导设计得与 M_3 、 M_5 的跨导相近时, 该电路就能消除电容 C_c 引起的零点。

现将图 3.2-5 电路中各管的宽长比列于表 3.2-2。

表 3.2-2 对应于图 3.2-5 电路中各管的宽长比

MOS 器件	宽长比 (W/L) (W、L 的单位为微米)
M_1	20/10
M_2	20/10
M_3	36/10
M_4	36/10
M_5	100/10
M_6	30/10
M_7	30/10
M_8	42/10

第三节 CMOS 运放的瞬态响应

第一节讨论的 CMOS 运放的频率特性, 是指工作在小信号情况下的频率响应, 通常用小信号(正弦信号)来描述, 但实际上运放处理的信号很少是正弦信号, 通常是阶跃信号, 而且运放的响应不能单纯用频率来描述, 而用运放的转换速率 S_R 和建立时间 T_{SET} 来表示, 这两个参数是运放瞬态响应的主要参数。

通常运放的转换速率 S_R 和建立时间 T_{SET} 是在运放的闭环增益为 1 并且接成跟随器形式的条件下测得的(见图 3.3-1a)。所谓运放的转换速率 S_R 是指闭环增益为 1、阶跃大信号(小于运放的最大输入共模电压)输入时输出信号 $V_o(t)$ 的最大变化速率, 其单位为伏/微秒。

根据定义, 转换速率 S_R 为

$$S_R = \left. \frac{dV_o(t)}{dt} \right|_{\max} \quad (3.3-1)$$

建立时间 T_{SET} 是指闭环增益为 1、阶跃大信号输入时刻到输出幅度达到确定的精度范围所需要的时间。精度越高, 建立时间越长。运放的建立时间如图 3.3-1b 所示。图中 V 为输入信号的阶跃幅值; δ 为所需要的精度, 通常 δ 取 0.1%; T_S 为转换时间, 在这段时间输出幅度变化的幅值即为转换速率 S_R ; T_{SL} 为线性区建立时间; T_{SET} 为建立时间, 其值 $T_{SET} = T_S + T_{SL}$ 。

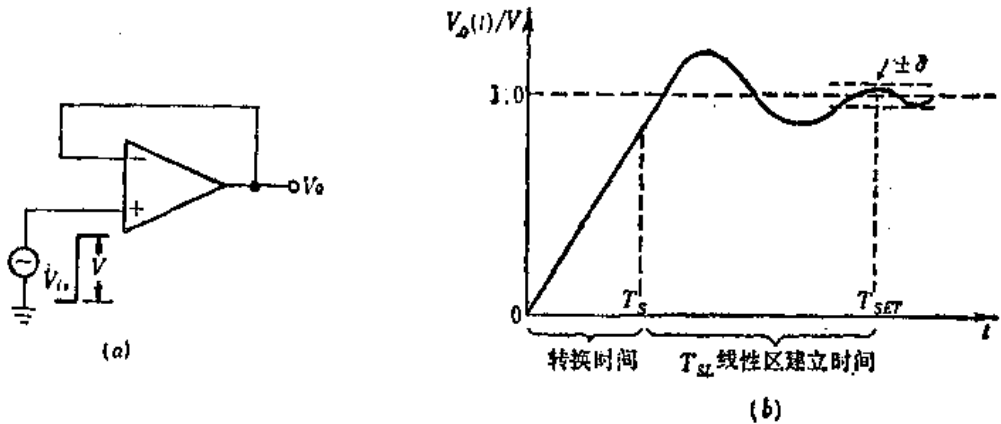


图 3.3-1 运放的建立时间

由图可知, 运放的建立时间由两部分组成, 一部分是转换时间 T_S , 另一部分是运放进入到线性区后, 其输出幅度达到确定的精度范围(δ)所需要的时间 T_{SL} 。现作些简要说明, 当大的阶跃信号输入时, 运放的输出电压来不及变化, 负反馈信号为零, 所以输入信号全部加在运放的输入端, 因此运放输入级(差分放大器)处于限幅状态(即进入非线性状态)。这时电路输出信号的变化与输入信号无关, 决定于运放电路中的补偿电容 C_c 的充电电流, 即决定于运放的转换速率 S_R 。随着输出幅度的增大, 使输入到运放输入级的幅度逐渐减小, 当减小到运放输入级限幅电平时, 运放进入线性状态。下面定量计算 CMOS 运放的建立时间 T_{SET} 与运放频响之间的关系。

由第一节讨论可知, CMOS 运放的频率特性为

$$\frac{V(S)}{V_{in}(S)} = \frac{g_{m1}R_1R_2g_{m2}\left(1 - \frac{S}{\omega_2}\right)}{\left(1 + \frac{S}{\omega_1}\right)\left(1 + \frac{S}{\omega_2}\right)} \quad (3.3-2)$$

式中 ω_1 为主极点频率,

$$\omega_1 = \frac{1}{(1 + g_{m1}R_2)R_1C_c}; \quad (3.3-3)$$

ω_2 为高频极点频率,

$$\omega_2 = \frac{g_{m2}C_c}{C_LC_1 + C_LC_c + C_cC_1};$$

如果 $C_c \gg C_1, C_L \gg C_1$, 则

$$\omega_2 \approx \frac{g_{m2}}{C_L} \quad (3.3-4)$$

而 C_c 为补偿电容, C_L 为运放输出端的负载电容,

$$Z = \frac{g_{m1}}{C_c}. \quad (3.3-5)$$

为提高稳定性,将零点消除,(3.3-2)式可写为

$$\frac{V_o(S)}{V_{in}(S)} = \frac{g_{m1}g_{m2}R_1R_2}{\left(1 + \frac{S}{\omega_1}\right)\left(1 + \frac{S}{\omega_2}\right)} = \frac{A_{vo}}{\left(1 + \frac{S}{\omega_1}\right)\left(1 + \frac{S}{\omega_2}\right)}, \quad (3.3-6)$$

式中 A_{vo} 为运放的直流增益, $A_{vo} = g_{m1}g_{m2}R_1R_2$.

根据第二章对差分放大器限幅特性的讨论,运放输入级的限幅电平近似为

$$V_m = \frac{I_0}{g_{m1}},$$

式中 I_0 为输入级工作电流, g_{m1} 为输入级放大器的跨导.

由上所述,闭环增益为 1 的条件,分析运放瞬态响应的模型如图 3.3-2 所示.

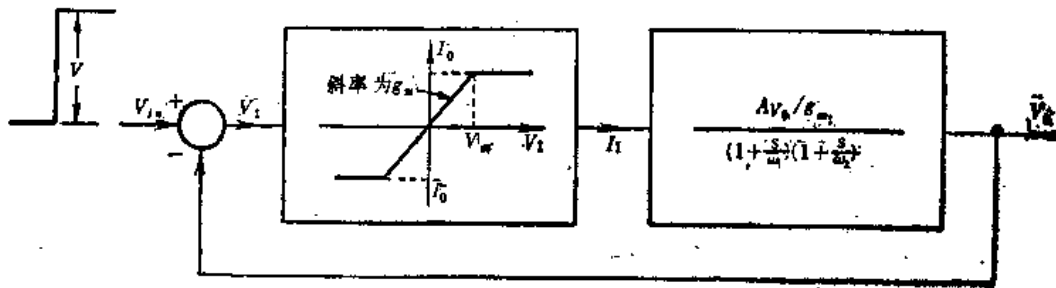


图 3.3-2 分析运放瞬态响应的模型

(一) 转换时间 T_s

转换期间,输入级处于限幅状态.输入级的输出电流 I_1 为

$$I_1(S) = \frac{I_0}{S},$$

输出电压 V_o 为

$$\begin{aligned} V_o(S) &= I_1(S) \frac{\frac{A_{vo}}{g_{m1}}}{\left(1 + \frac{S}{\omega_1}\right)\left(1 + \frac{S}{\omega_2}\right)} \\ &= \frac{A_{vo}I_0}{g_{m1}} \left[\frac{1}{S\left(1 + \frac{S}{\omega_1}\right)\left(1 + \frac{S}{\omega_2}\right)} \right]. \end{aligned} \quad (3.3-7)$$

将上式进行拉普拉斯反变换得

$$V_o(t) = \frac{A_{vo}I_0}{g_{m1}} \left[1 - \frac{\omega_2}{\omega_2 - \omega_1} e^{-\omega_1 t} + \frac{\omega_1}{\omega_2 - \omega_1} e^{-\omega_2 t} \right]. \quad (3.3-8)$$

因 $\omega_2 \gg \omega_1$, 上式可简化为

$$V_o(t) = \frac{A_{vo}I_0}{g_{m1}} [1 - e^{-\omega_1 t}]. \quad (3.3-9)$$

在 $t=T_r$ 时, 输出电压达到 $V-(I_0/g_{m1})$, 即

$$V_o(T_r) = V - \frac{I_0}{g_{m1}} = V \left(1 - \frac{I_0}{g_{m1}V} \right). \quad (3.3-10)$$

$t=T_r$ 时, 解 (3.3-9) 式得

$$T_r = -\frac{1}{\omega_1} \ln \left[1 - \frac{g_{m1}}{I_0 A_{v1}} \left(V - \frac{I_0}{g_{m1}} \right) \right]. \quad (3.3-11)$$

因 $e^{-\omega_1 T_r} \approx 1 - \omega_1 T_r$, (3.3-11) 式可简化为

$$T_r = \frac{g_{m1}}{I_0} \left(V - \frac{I_0}{g_{m1}} \right) \frac{1}{A_{v1} \omega_1}. \quad (3.3-12)$$

由 (3.1-3) 式可知:

$$A_{v1} |P_1| = GB = \frac{g_{m1}}{C_c} = A_{v1} \omega_1 \quad (3.3-13)$$

将 (3.3-13) 式代入 (3.3-12) 式得

$$T_r = \frac{\left(V - \frac{I_0}{g_{m1}} \right)}{\frac{I_0}{C_c}}. \quad (3.3-14)$$

由 (3.3-1) 式、(3.3-9) 和 (3.3-13) 式, 转换速率 S_R 为

$$S_R = \frac{dV_o}{dt}(T_r) = \frac{A_{v1} I_0}{g_{m1}} \omega_1 = \frac{I_0}{C_c}, \quad (3.3-15)$$

从而 (3.3-14) 式可写为

$$T_r = \frac{V - \frac{I_0}{g_{m1}}}{S_R}. \quad (3.3-16)$$

(二) 建立时间 T_{SET}

当 $t \geq T_r$ 时, 运放进入线性放大状态, 由图 3.3-2 得闭环的传递函数为

$$\begin{aligned} A(S) &= \frac{V_o(S)}{V_{in}(S)} = \frac{A_v(S)}{1 + A_v(S)} = \frac{\frac{A_{v1}}{1 + A_{v1}} \omega_n^2}{S^2 + 2\xi \omega_n S + \omega_n^2} \\ &= \frac{\frac{A_{v1}}{1 + A_{v1}} \omega_n^2}{[(S + \xi \omega_n)^2 + (\omega_n \sqrt{1 - \xi^2})^2]}, \end{aligned} \quad (3.3-17)$$

$$\text{式中 } A_v(S) = \frac{A_{v1}}{\left(1 + \frac{S}{\omega_1}\right) \left(1 + \frac{S}{\omega_2}\right)}, \quad (3.3-18)$$

$$\omega_n^2 = (1 + A_{v1}) \omega_1 \omega_2 = A_{v1} \omega_1 \omega_2 \quad (3.3-19)$$

$$= \left(\frac{g_{m1}}{C_c} \right) \left(\frac{g_{m2}}{C_L} \right), \quad (3.3-20)$$

$$2\xi \omega_n = (\omega_1 + \omega_2). \quad (3.3-21)$$

由 (3.3-17) 式 闭环放大器的极点为

$$S = -\xi \omega_n \pm \sqrt{\xi^2 - 1} \omega_n. \quad (3.3-22)$$

显然,极点分布与阻尼系数 ξ 有关,因而建立时间 T_{SET} 也与 ξ 有关。

由 (3.3-19)、(3.3-21) 式,得到

$$\xi = \frac{1}{2\omega_n}(\omega_1 + \omega_2) = \frac{1}{2\sqrt{(1+A_{V_0})\omega_1\omega_2}}(\omega_1 + \omega_2)$$

$$\approx \frac{\sqrt{\omega_2}}{2\sqrt{A_{V_0}\omega_1}} \quad (A_{V_0} \gg 1, \omega_2 \gg \omega_1)$$

$$= \frac{\sqrt{\frac{g_{m1}}{C_L}}}{2\sqrt{\frac{g_{m1}}{C_e}}} \quad (3.3-24)$$

当 $\xi \leq 1$ 时,补偿电容 C_e 有如下关系,

$$C_e \leq 4\left(\frac{g_{m1}}{g_{m1}}\right)C_L \quad (3.3-25)$$

利用 (3.3-10) 式初始条件及 (3.3-17) 式,可求得不同 ξ 值时的建立时间 T_{SET} (详细推导可参看文献[13])。

1. $\xi < 1$ (有过冲情况)

$$\begin{aligned} T_{SET} &= T_s + \frac{1}{\xi\omega_n} \ln\left(\frac{I_0}{g_{m1}V\delta}\right) \\ &= T_s + \frac{2}{\omega_1 + \omega_2} \ln\left(\frac{I_0}{g_{m1}V\delta}\right) \\ &\approx T_s + \frac{2}{\omega_2} \ln\left(\frac{I_0}{g_{m1}V\delta}\right) \end{aligned} \quad (3.3-26)$$

$$= T_s + \frac{2C_L}{g_{m1}} \ln\left(\frac{I_0}{g_{m1}V\delta}\right) \quad (3.3-27)$$

公式 (3.3-27) 第一项表示转换时间,第二项表示线性工作区的建立时间。若 $\delta = 0.001$, 则 (3.3-26)、(3.3-27) 式可写为

$$T_{SET} = T_s + \frac{2}{\omega_2} \ln\left(\frac{1000 I_0}{g_{m1}V}\right) \quad (3.3-28)$$

$$= T_s + \frac{2C_L}{g_{m1}} \ln\left(\frac{1000 I_0}{g_{m1}V}\right) \quad (3.3-29)$$

2. $\xi = 1$ (临界阻尼)

$$[1 + \omega_n(T_{SET} - T_s)]e^{-\omega_n(T_{SET} - T_s)} = \frac{g_{m1}V\delta}{I_0} \quad (3.3-30)$$

上式的建立时间 T_{SET} 可用图解法求得。

3. $\xi > 1$ (过阻尼)

$$\begin{aligned} T_{SET} &= T_s + \left[\frac{1}{\omega_n(\xi - \sqrt{\xi^2 - 1})} \right. \\ &\quad \left. \times \ln\left(\frac{\xi - \sqrt{\xi^2 - 1}}{2\sqrt{\xi^2 - 1}} \frac{I_0}{g_{m1}V\delta}\right) \right] \end{aligned}$$

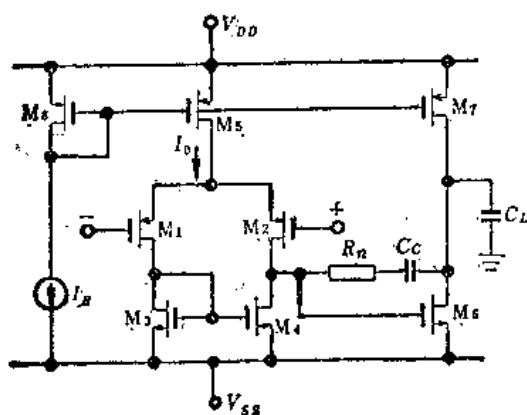


图 3.3-3 二级 CMOS 运放

由上面讨论可知,要缩短建立时间 T_{SET} ,应提高运放的单位增益带宽($GB=A_{V_0}\omega_1$)和高频极点频率 ω_2 ,并且扩大输入级的动态范围(I_o/g_{m1})。

为获得较短的建立时间,取阻尼系数 ξ 小于 1,通常取 0.6~0.9。现对图 3.3-3 所示的 CMOS 运放电路进行瞬态分析。

图中各主要参数见表 3.3-1,各管的宽长比见表 3.3-2。

精英阅读器提醒您：
使用本复制品
请尊重相关知识产权！

表 3.3-1 对应于图 3.3-3 电路的主要参数

C_c (皮法)	3.0	4.0
V_0	5074	5074
g_{m1} (毫西门子)	0.05	0.05
I_o (微安)	21.5	21.5
$f_1\left(\frac{\omega_1}{2\pi}\right)$ (赫兹)	545	410
$f_2\left(\frac{\omega_2}{2\pi}\right)$ (兆赫)	4.92	5.20

表 3.3-2 对应于图 3.3-3 电路中各管的宽长比

MOS 器件	宽长比 W/L, (W、L 的单位为微米)
M_1	50/10
M_2	50/10
M_3	16/10
M_4	16/10
M_5	40/10
M_6	80/10
M_7	100/10
M_8	40/10

将图 3.3-3 接成跟随器,输入电压为 $V_{in}=V=-2.5$ 伏阶跃信号,根据图 3.3-3、表 3.3-1 的数据以及 (3.3-23)、(3.3-27) 式,可求得 $\delta=0.001$ 时的建立时间 T_{SET} :

$C_c=3$ 皮法时, $\xi=0.66$, $T_{SET}=630$ 纳秒;

$C_c=4$ 皮法时, $\xi=0.79$, $T_{SET}=690$ 纳秒。

第四节 CMOS 运放的典型电路

这一节介绍不同类型的实用 CMOS 运放电路。通过这些典型电路的介绍,其目的在于掌握 CMOS 运放电路的一般设计方法。

(一) 一般的 CMOS 运放电路

图 3.4-1 电路是 PCM 编码译码大规模集成电路 [14] 中的运放,电源电压为 ± 7.5 伏,最大输出幅度为 ± 5 伏,最大电容负载为 50 皮法(与电阻 500 欧姆串联)。其主要参数如表 3.4-1 所示。

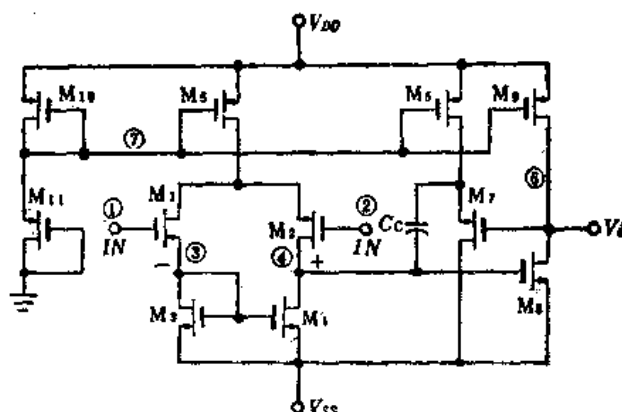


图 3.4-1 二级 CMOS 运放

表 3.4-1 对应于图 3.4-1 电路的主要参数

参数种类	参数值	参数种类	参数值
开环直流电压增益	60~66 分贝	正向转换速率	8 伏/微秒
共模输入范围	±5 伏	负向转换速率	33 伏/微秒
共模抑制比	60 分贝	建立时间(1%+5伏)	1.7 微秒
输入失调电压	<20 毫伏	单位增益带宽	3.2 兆赫
功耗	20 毫瓦	相位余量	64 度

图 3.4-1 电路由二级放大器组成。 $M_1 \sim M_4$ 构成有源负载的差分放大器, M_5 提供该放大器的工作电流。 M_6, M_7 构成共源放大电路, 作为运放的输出级。 M_7 为源极跟随器, 以克服补偿电容 C_c 的前馈效应, 消除零点。 M_8 提供给 M_7 的工作电流, M_{10}, M_{11} 组成的偏置电路, 提供放大器的工作电流。电路中的 MOS 器件的阈值电压为 ± 1.5 伏, 补偿电容 $C_c = 10$ 皮法。

第二节我们讨论了 CMOS 运放的设计方法, 这里我们将讨论图 3.4-1 电路的工作点设计, 并介绍 MOS 器件沟道宽长比的计算方法。

1. 工作点的设计

电路中节点 ⑦ 的电位根据电路输出的正向电压最大幅度来确定, 输出正向摆幅为 5 伏, 管子的阈值电压为 1.5 伏, 为保证放大器处于饱和区, 节点 ⑦ 的电位取 3.8 伏。负向摆幅为 -5 伏, 同样理由, 节点 ③、④ 定为 -5 伏左右。节点 ⑤ 的电位可根据电路正向共模电压范围来确定, 为获得最大正向共模电压, M_8 漏极的电位取 2 伏左右。

由 (3.3-15) 式可知, 运放最大的转换速率为

$$S_K = \frac{I_3}{C_c}$$

这里的 I_3 为输入差分级的工作电流, 即由 M_5 电流源提供。 C_c 为补偿电容, 该电路的补偿电容为 10 皮法。为了达到 30 伏/微秒的转换速率, M_5 的电流应为 300 微安, 现取 350 微安左右, 是补偿电容 C_c 的充放电回路也通过 M_7 , 故 M_8 的工作电流也取 350 微安。

为增大输出能力并且驱动大电容负载, 输出级 M_6, M_7 的工作电流为 M_5 电流源电流的 2 倍, 即 700 微安左右。 M_{10}, M_{11} 偏置电流取 86 微安左右。

综上所述, 电路中 M_{10}, M_5, M_8 和 M_7 的电流比设计为 1:4:4:8, 也即沟道的宽长比为

1:4:4:8。

2. 各 MOS 管沟道的宽长比的计算

CMOS 电路的版图尺寸设计时,最重要的是确定各 MOS 管沟道的宽长比。根据前面有关工作点的讨论,可以估算各有关 MOS 管的沟道宽长比的比例。

根据关系式

$$I_D = \frac{\mu_p C_{ox} W}{2L} (V_{GS} - V_T)^2,$$

求得

$$\frac{W_{10}}{L_{10}} \text{ 和 } \frac{W_{11}}{L_{11}}。$$

因 M_{10} 、 M_5 、 M_6 和 M_9 的电流比为 1:4:4:8,所以 M_5 、 M_6 、 M_9 和 M_{10} 的沟道宽长比为

$$\frac{W_5}{L_5} = \frac{W_6}{L_6} = 4 \frac{W_{10}}{L_{10}},$$

$$\frac{W_9}{L_9} = 8 \frac{W_{10}}{L_{10}}。$$

根据第二节的讨论,为了减小电路的输入失调电压, M_3 、 M_4 、 M_5 与 M_6 、 M_9 的沟道宽长比之间应满足关系式

$$\frac{\frac{W_3}{L_3} + \frac{W_4}{L_4}}{\frac{W_5}{L_5}} = \frac{2 \frac{W_3}{L_3}}{\frac{W_6}{L_6}} = \frac{\frac{W_8}{L_8}}{\frac{W_9}{L_9}}。$$

式中 W_5/L_5 、 W_9/L_9 已经确定了,只要确定 W_3/L_3 ,那么 W_8/L_8 也就确定了。

M_3 、 M_4 的静态工作电流、工作电压都已确定,只要利用电流与电压关系式,

$$I_D = \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_T)^2$$

就可确定 M_3 、 M_4 的沟道宽长比(W_3/L_3)、(W_4/L_4)。

根据 M_1 、 M_2 的静态工作点,求得 W_1/L_1 和 W_2/L_2 ;这样,所有管子的沟道宽长比都定下来了,其设计值列于表 3.4-2 中。

表 3.4-2 对应于图 3.4-1 电路中各管的宽长比 W/L

MOS 管	类 型	W/L (W 、 L 的单位为微米)
M_1 、 M_2	p	160/6
M_3 、 M_4	n	120/6
M_5 、 M_6	p	120/6
M_7	p	320/6
M_8	n	320/6
M_9	p	240/6
M_{10}	p	30/6
M_{11}	p	18/6

以上计算都采用了近似的一级模型。为了获得正确设计值,再用 MOS 管的二级模型进行计算机模拟,对设计值进行修正。

在图 3.4-1 电路中,输出级工作于甲类状态,并且 M_8 、 M_7 的电流也较大,因此电路的总

功耗较大。为了降低电路功耗,可采用图 3.4-2 的电路,其中输出级 M_8 、 M_9 工作在甲、乙类状态。

为了进一步降低电路的功耗,该电路还采用电容与电阻串联的方法(减少一级源极跟随器)来克服补偿电容的前馈作用。根据前面所讲的原理,这里的串联电阻阻值应等于第二放大级跨导的倒数。图中利用 M_{10} 、 M_{11} 漏源之间的等效电阻构成上述串联电阻。

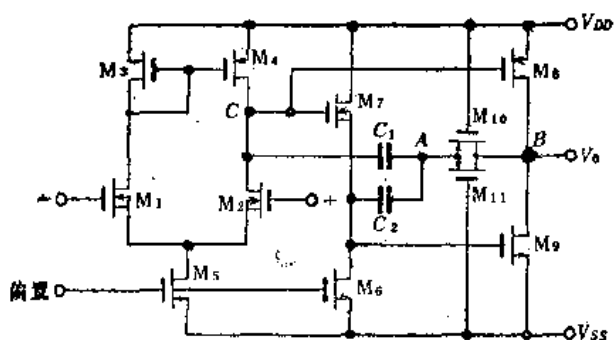


图 3.4-2 输出级为甲、乙类的 CMOS 运放

图 3.4-2 电路的参数值见表 3.4-3,该电路的电压增益值设计得较高,约为 90 分贝左右,而功耗却大大减小。

表 3.4-3 对应于图 3.4-2 电路的主要参数

参数类型	参数值(电源电压 ± 5 伏)
开环直流电压增益	90 分贝
输入失调电压(标准偏差值)	10 毫伏
共模抑制比	70 分贝
电源电压抑制比	70 分贝(负电源) 68 分贝(正电源)
转换速率	2 伏/微秒
功耗	1.6 毫瓦
单位增益带宽	2.5 兆赫
噪声(带宽 10 赫兹~1 兆赫)	26 微伏

图 3.4-3 电路是结构简单、性能良好的 CMOS 运放。补偿电路没有采用零点消除,因此要求第二级跨导 g_{m2} 较大于第一级跨导 g_{m1} ,现设计为 $g_{m2} = (5 \sim 6)g_{m1}$ 。根据第一级的讨论,补偿电容 C_c 和负载电容 C_L 的关系为

$$C_c > \frac{g_{m1}}{g_{m2}} C_L.$$

若 $C_L = 20$ 皮法, $g_{m2} = 5g_{m1}$, 则 $C_c > 4$ 皮法。电路中取 C_c 为 7 皮法。

在电源电压 V_{DD} 为 5 伏, V_{SS} 为 -5 伏的条件下,该电路的参数列于表 3.4-4,而 MOS 器件沟道的宽长比列于表 3.4-5。

图 3.4-4 电路是工作在低电压并具有较强输出能力的 CMOS 运放。输入级差分放大器由 MN_1 、 MN_2 、 MN_6 、 MP_6 和 MP_9 等 MOS 管构成,它是双端转换成单端输出的差分放大器,其输出用于驱动输出级电路 MP_7 的栅极; MP_7 和 MN_7 构成输出级电路,它是共源放大器, MP_7

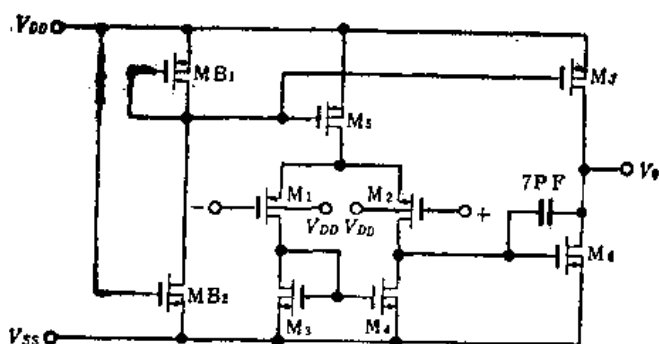


图 3.4-3 结构简单、性能良好的 CMOS 运放

表 3.4-4 对应于图 3.4-3 电路的主要参数

开环增益	3000
单位增益带宽	2 兆赫
相位余量	60 度
建立时间($C_L=20$ 皮法; 1 伏阶跃, 精度 0.1%)	3 微秒
转换速率	10 伏/微秒
功耗	5 毫瓦

表 3.4-5 对应于图 3.4-3 电路中各管的宽长比 W/L

器 件	W/L (W 、 L 的单位为微米)
M_1	60/10
M_2	60/10
M_3	10/10
M_4	10/10
M_5	48/10
M_6	60/10
M_7	288/10
MB_1	60/8
MB_2	8/12

为共源放大管, 其负载为 MN_7 管; 偏置电路由 MP_1 和 MN_3 构成。为增大输出级的驱动能力, 增加了 $MP_2 \sim MP_4$ 和 MN_5 等 MOS 管。在输入信号的作用下, 当差分放大器输出端③电

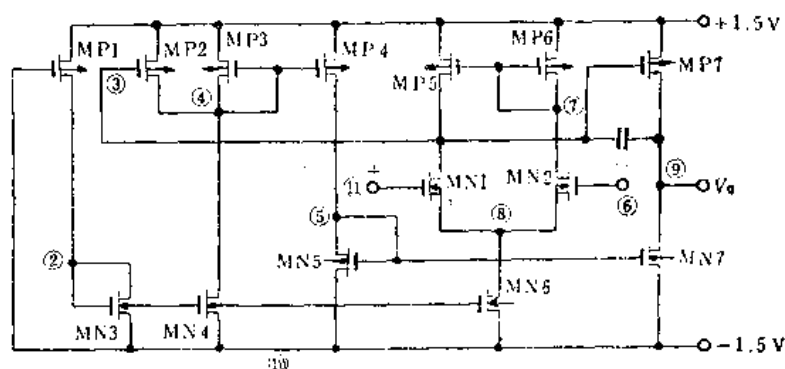


图 3.4-4 输出能力较强的 CMOS 运放

压增大时, 输出端③电压变负; 与此同时, MP_2 电流减小, MP_3 、 MP_4 电流增大, 节点⑤电压上升, MN_7 电流增大, 这样输出端为负电压时, 流入 MN_7 的电流增大, 增强了负向输出能力。反之, 节点③电压减小时, 输出端⑥电压上升, 与此同时, 节点⑤电压下降, MN_7 管电流减小, 由于输出的正向电流由 MP_7 提供, 这样 MP_7 输出的电流大部分到输出负载, 只有一小部分流过 MN_7 , 并且随着输出幅度的增大, 流入 MN_7 的电流也随之减小, 这样, 增大了正向输出能力。实际上, MN_7 管可看成是一只压控可变电阻, 当输出电压为正时, 电阻值增大; 当输出电压为负时, 电阻值减小。图中各管的宽长比列于表 3.4-6。

表 3.4-6 对应于图 3.4-4 电路中各管的宽长比 W/L

MOS 器件	W/L (W, L 的单位为微米)	MOS 器件	W/L (W, L 的单位为微米)
MP ₁	4/12	MN ₁	144/4
MP ₂	50/4	MN ₂	144/4
MP ₃	50/4	MN ₃	16/4
MP ₄	50/4	MN ₄	40/6
MP ₅	104/4	MN ₅	20/8
MP ₆	104/4	MN ₆	54/4
MP ₇	382/4	MN ₇	66/4

该电路的开环增益大于 1000; 单位增益带宽为 1 兆赫。其静态时各节点的直流电压和各管的 I_{DS} 电流分别列于表 3.4-7 和表 3.4-8。

表 3.4-7 输入端接地时各节点电压

节点编号	节点电压(伏)	节点编号	节点电压(伏)
1	1.50	7	0.41
2	-0.48	8	-0.81
3	0.41	9	-0.15
4	0.41	10	-1.50
5	-0.39	11	0.00
6	0.00		

表 3.4-8 MOS 管的漏源电流 I_{DS}

MOS 器件编号	I_{DS} (微安)	MOS 器件编号	I_{DS} (微安)
MP ₁	-5.46	MN ₁	10.31
MP ₂	-4.90	MN ₂	10.31
MP ₃	-4.81	MN ₃	5.46
MP ₄	-5.05	MN ₄	9.71
MP ₅	-10.31	MN ₅	5.05
MP ₆	-10.31	MN ₆	20.62
MP ₇	-39.50	MN ₇	39.50

(二) 输出阻抗低、驱动能力强的 CMOS 运放

图 3.4-5 是低输出阻抗运放。输出级采用甲、乙类推挽放大器,能驱动 200 欧姆的低阻负载。为减小失真,输出级在静态时处于微导通状态,其电流偏置由 $M_6 \sim M_9$ 来决定。 M_{12} 作为等效电阻 ($1/g_{m12}$) 与补偿电容 C_c 串联,以消除电路的零点,提高稳定性。本电路正如第二章所说明的那样,其缺点是输出幅度较小。

图 3.4-6 也是低输出阻抗运放,输出级采用晶体管 (Q_3) 跟随器,能驱动大的负载电容 (100~150 皮法) 和小的负载电阻 (3 千欧),单位增益带宽为 8 兆赫,并有 60 度的相移余量。

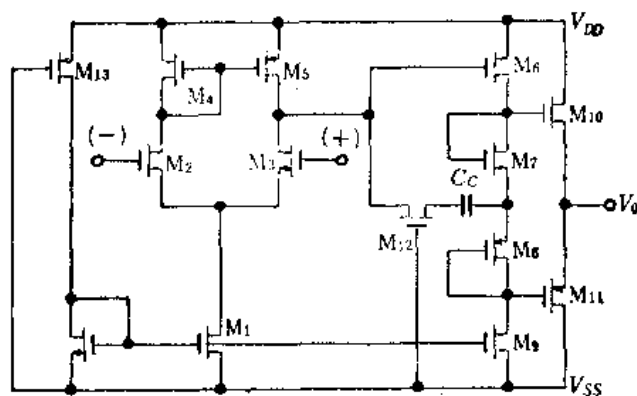


图 3.4-5 低输出阻抗运放

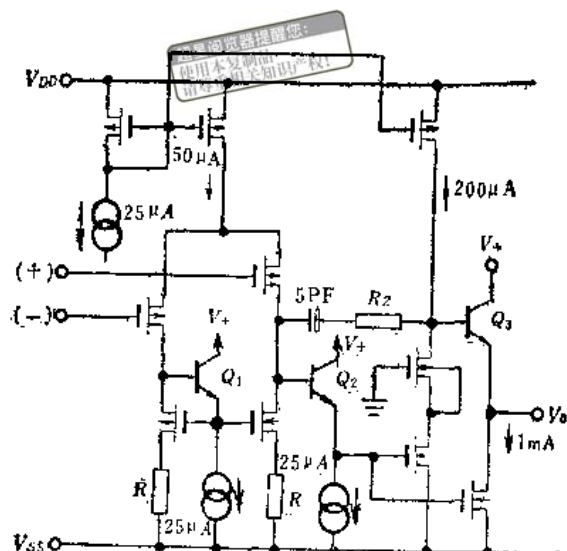


图 3.4-6 输出驱动能力强的 CMOS 运放

(三) 高增益 CMOS 运放

图 3.4-7 是高增益二级 CMOS 运放。为提高增益,其输入级(差分放大器)的负载采用第二章第二节介绍的高阻电流源电路 M_{3A} 、 M_{1A} 、 M_3 和 M_4 作为负载,并在输出端引入了共栅电路(M_{1A} 和 M_{2A}),从而提高了差分放大器的输出阻抗。这样作为输入级的差分放大器,其电压增益比一般形式的差分放大器的电压增益提高 1 个数量级。因此,该电路的电压增益可达 10000 倍以上。图上 M_7 管作为电平位移电路, M_6 为输出级共源放大电路。为保证差分对管 M_1 、 M_2 工作在饱和区, M_3 的宽长比应适当选择。

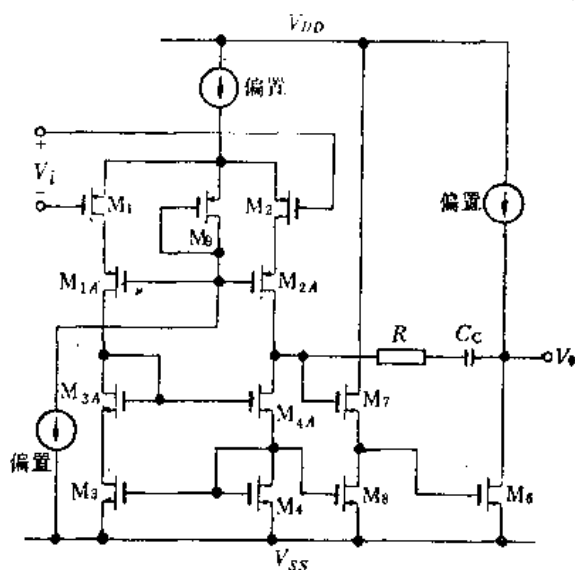


图 3.4-7 高增益二级 CMOS 运放

(四) 低电压、低功耗 CMOS 运放

1. 低电压、低功耗 CMOS 运放的设计

低电压、低功耗 CMOS 运放的设计并不困难,它与一般 CMOS 运放区别不大,这里介绍一种电流可关断的、低功耗 CMOS 运放电路,其电路结构与参数如图 3.4-8 所示。该电路的电源电压 ± 1.5 伏,静态电流约 9 微安,故功耗只有 27 微瓦。它是二级放大电路,输入级由 MN_1 、 MN_2 、 MP_3 和 MP_4 构成的差分放大器,第二级为 MP_5 和 MN_{10} 组成共源放大器;为增大输出级的负向输出能力,增加了 $MP_6 \sim MP_7$ 和 MN_8 等 MOS 管;当差分放大器输出端③电压增大时,输出端电压变负,与此同时, MP_5 电流减小, MP_6 、 MP_7 电流增大,节点⑤电压上升, MN_{10} 电流增大,从而增强了负向输出能力。反之,当节点③电压下降时,输出电压增大,与此

同时,节点⑤电压下降,MN₁₀ 电流减小,增大了正向输出能力,因此输出级电路实际上是推挽

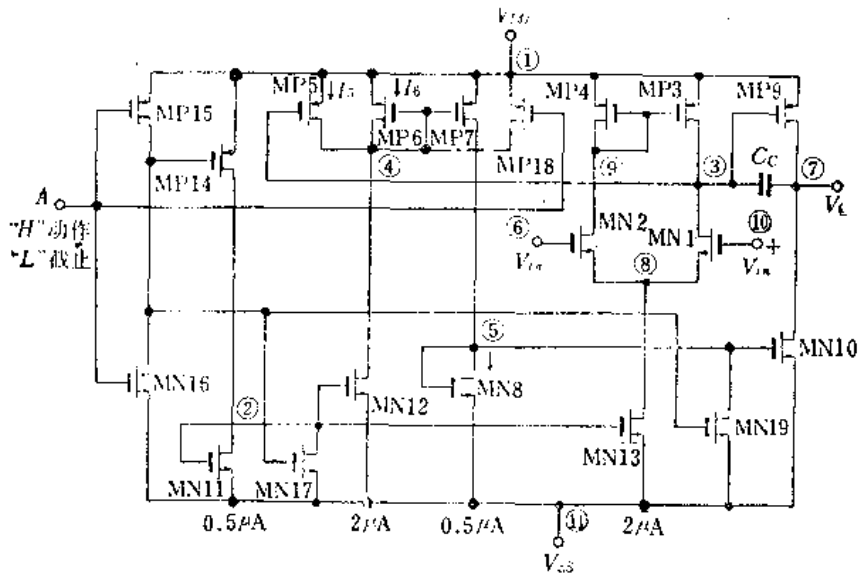


图 3.4-8 可关断的低功耗 CMOS 运放

式放大器,故它有较强的正、负向驱动能力,且静态功耗较低。电路中的 MP₁₅、MP₁₈、MN₁₈、MN₁₇ 和 MN₁₀ 构成电流控制电路。当 A 点接低电位 (V_{SS}) 时,MP₁₅、MP₁₈ 导通, MN₁₈ 截止,由于 MP₁₅ 导通,使偏置电路 MP₁₄、MN₁₁ 电流为零, MN₁₇、MN₁₀ 导通,从而使 MN₁₂、MN₁₃ 和 MN₁₆ 截止。因 MP₁₈ 导通,也使 MP₆~MP₇ 截止。这样,电路处于截止状态。当 A 点接高电位 (V_{DD}) 时,电路处于正常工作状态,这时电流控制电路 MP₁₅、MP₁₈、MN₁₇ 和 MN₁₀ 处于截止状态, MN₁₈ 处于导通状态。该电路的开环增益大于 1000。图 3.4-8 电路管子的宽长比列于表 3.4-8。

表 3.4-8 对应于图 3.4-8 电路中各管的宽长比

MOS 器件	宽长比 W/L (W, L 的单位为微米)	MOS 器件	宽长比 W/L (W, L 的单位为微米)
MN ₁ 、MN ₂	220/4	MP ₁₈	8/4
MP ₃ 、MP ₄	96/4	MN ₈	14/14
MP ₆	120/4	MN ₁₂ 、MN ₁₃	56/4
MP ₆ 、MP ₇	8/4	MN ₁₀	86/4
MP ₉	348/4	MN ₁₆ 、MN ₁₇ 、MN ₁₉	8/4
MP ₁₄	4/12	MN ₁₁	14/4
MP ₁₅	8/4		

2. 电流转换型低功耗 CMOS 运放

这里再介绍一种电流转换型低功耗 CMOS 运放,其电路如图 3.4-9 所示。它是典型的电流转换型运放,将输入电压转换成电流,此电流经电流源电路放大后,送到输出端。

现对图 3.4-9 电路的工作原理作些说明。它是电流转换型低功耗 CMOS 运放, M₁~M₄ 为差分放大器,它将输入信号电压转换成电流; M₂ 和 M₅、M₄ 和 M₆ 以及 M₅ 和 M₇ 为电流源电路,它将输入级的电流经一定放大后送到输出级; M₇~M₈ 为输出级电路,它将输出电流转换

ICL7613 电路由三部分组成,即输入级,输出级和偏置电路。

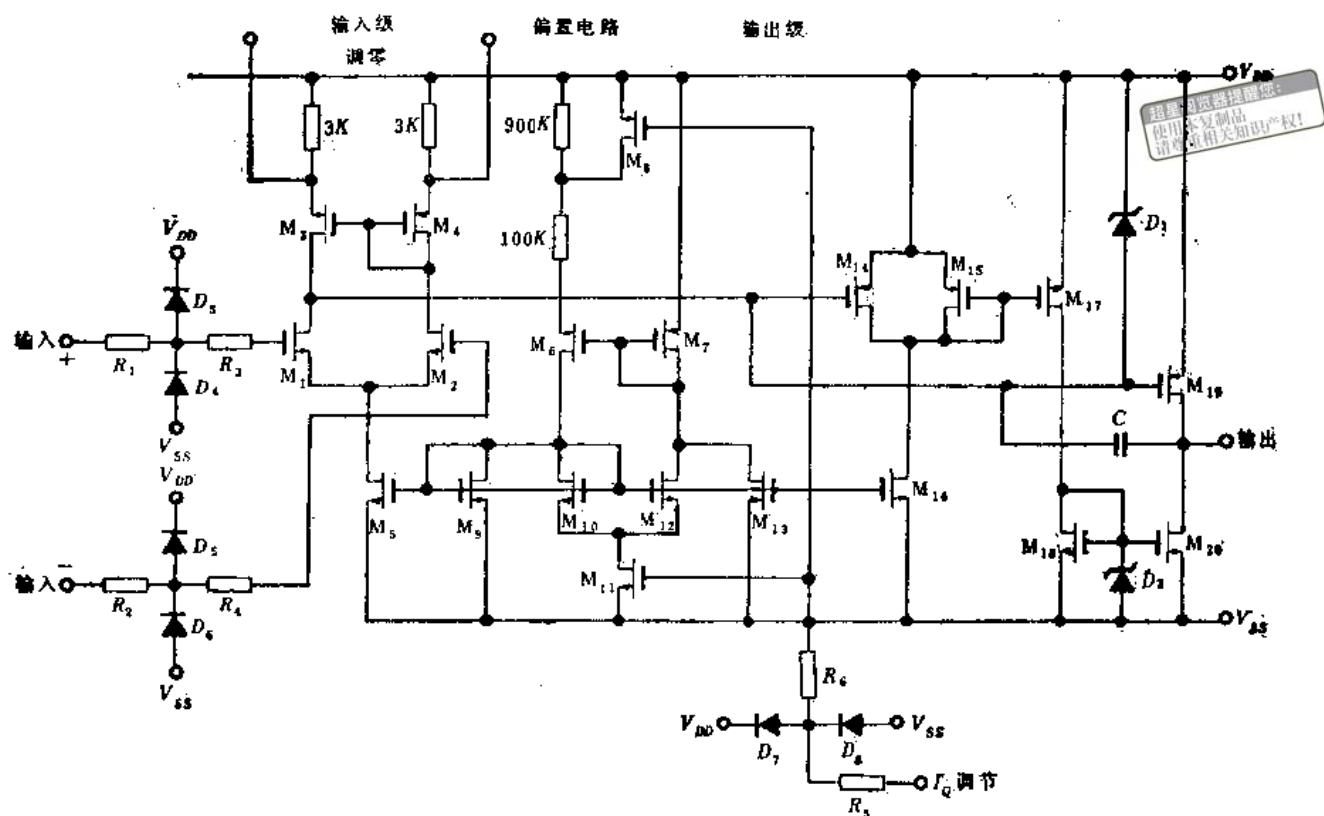


图 3.4-10 ICL 7613 运放

1. 输入级

电路的输入级是 n 沟 MOS 管 M_1 、 M_2 组成的差分放大级, p 沟 MOS 管 M_3 、 M_4 是它的有源负载, 同时实现双端-单端的转换功能。 M_3 、 M_4 的源极接有电阻, 以提高 M_3 、 M_4 的等效输出电阻, 并可实现失调调零。

2. 偏置电路

该运放的偏置电路由 p 沟 MOS 管 $M_5 \sim M_8$ 以及 n 沟 MOS 管 $M_9 \sim M_{13}$ 组成。 M_6 源极连接大电阻, 故它的电流将比 M_7 管小得多。 M_6 的电流用来偏置输入级电路, 而 M_7 的电流用来偏置输出级电路。整个电路偏置电流的 70% 是供给输出级的, 所以, M_7 的电流比 M_6 的电流大。 M_6 的电流由 M_9 、 M_{10} 的电流源电路提供给输入级, 而 M_7 的电流由 M_{13} 偏置给 M_{10} 、 M_{11} 及 M_{12} 并且起着分流作用, 以达到偏置电流调节的目的。当偏置电流 I_Q 调节端接向正电源时, M_8 截止, M_6 的电流很小。与此同时, M_{11} 电流较大, 即 M_{10} 、 M_{12} 的电流较大, 从而使 M_9 、 M_{13} 的电流减小, 这使输入、输出级的电流均减小。在该电路设计时, 使此时的总电流为 10 微安左右。当偏置电流 I_Q 调节端接向负电源时, M_8 电流较大, 而 M_{11} 截止。 M_{10} 、 M_{12} 不起分流作用, 因此, 输入、输出级电流均增大, 电路的正电流约 1 毫安。当偏置电流 I_Q 调节端接地时, 电流介于上述两种情况之间, 此时电路的总电流为 100 微安左右。

3. 输出级

输出级电路由 $M_{14} \sim M_{20}$ 组成。 M_{16} 、 M_{20} 构成共源输出级, 它的驱动电路形式在这里作一简要的介绍。电路中 M_{14} 的电流由 M_7 、 M_{13} 来偏置。当 M_{14} 的栅极电压升高时, 其电流下

降,故 M_{16} 提供给 M_{15} 的电流增加。由于 M_{15} 、 M_{17} 组成电流源,因而, M_{17} 电流就随之增加。通过 M_{18} 、 M_{20} 的电流源作用,使 M_{20} 的电流增加。与此同时,由于 M_{19} 与 M_{14} 栅极连接于同一点,因而, M_{19} 的电流也下降。此时电路输出电压向负向变化,它的负载电流将主要由 M_{20} 提供。反之,当 M_{14} 栅极电压降低时, M_{19} 的栅极电压也随之降低,输出电压就向正向变化。这时 M_{17} 的电流增加, M_{15} 电流减小,最终使 M_{20} 的电流减小。因此,此时的负载电流将由 M_{19} 提供。显然,该输出级同时也是电压增益级。输出级中的电容 C 是频率补偿电容。 D_1 、 D_2 是输出电路的保护管。

当电路外接负载电阻变小时,运放的正向电压摆幅将由正电源电压限制,而负向电压摆幅将受偏置电流限制。因为电路的负向负载电流由 M_{20} 提供,它不可能超过电路的总电流。所以,当负载电阻变小时,其负向输出摆幅受到偏置电流的限制。

当该运放的偏置电流发生变化时,电路参数将有相应变化。偏置电流小的时候,输入的噪声电压降低,增益略有提高(其原因在前一章已讲过),此时,电路的转换速率将变小。当偏置电流增加到 1 毫安时,该电路的转换速率相应增加。

此外,该电路的输入端接有保护电路,图 3.4-10 中的电阻 $R_1 \sim R_5$ 以及二极管 $D_3 \sim D_5$ 即为此目的而设置的。当输入感应信号大于正、负电源电压时,二极管就导通。由于它的钳位作用,输入电压就被限制在正、负电源电压范围内。电阻 $R_1 \sim R_5$ 为二极管的限流电阻。

ICL7613 的主要参数见表 3.4-11。

表 3.4-11 ICL7613 的主要参数(测试条件:电源电压 ± 5 伏)

输入失调电压	5 毫伏
共模输入电压范围	$> \pm 4.4$ 伏 ($I_Q = 10$ 微安) $> \pm 4.2$ 伏 ($I_Q = 100$ 微安) $> \pm 3.7$ 伏 ($I_Q = 1$ 毫安)
输出电压摆幅	± 4.5 伏 ($R_L = 10$ 千欧)
开环直流电压增益	100 分贝 ($R_L = 100$ 千欧, $I_Q = 100$ 微安)
共模抑制比	96 分贝 ($I_Q = 10$ 微安) 91 分贝 ($I_Q = 100$ 微安) 87 分贝 ($I_Q = 1$ 毫安)
转换速率	0.016 伏/微秒 ($I_Q = 10$ 微安)
$C_L = 100$ 皮法, $V_s = 8$ 伏	0.16 伏/微秒 ($I_Q = 100$ 微安)
$A_V = 1$	1.6 伏/微秒 ($I_Q = 1$ 毫安)
单位增益带宽	0.044 兆赫 ($I_Q = 10$ 微安) 0.48 兆赫 ($I_Q = 100$ 微安) 1.4 兆赫 ($I_Q = 1$ 毫安)

第五节 高速 CMOS 运放

在许多实际应用中,如高速 A/D、D/A 转换器和高频开关电容滤波器,都要求运放有较

短的建立时间。例如,对于高速 A/D、D/A 转换器来说,运放的建立时间的长短,往往决定了 A/D、D/A 转换器的转换速度的高低。可以这样说,运放的建立时间越短,则其速度越快。由本章第三节讨论可知,运放的单位增益带宽越宽,高频极点频率越高则建立时间也越短,因此高速 CMOS 运放的设计,主要是如何提高单位增益带宽和高频极点频率。目前高速 CMOS 运放的电路主要有两种形式:共源-共栅电路结构;电流转换型电路结构。现分别讨论这两种高速 CMOS 运放电路。

(一) 共源-共栅型高速 CMOS 运放

通常的 CMOS 运放的设计,主要采用二级放大的电路形式,其简化等效电路图如图 3.5-1 所示。这种电路结构比较简单,而且设计技术已趋成熟,但由于内补偿电容 C_c 引起的极点决定了运放的单位增益带宽不能很宽,通常约 1~2 兆赫,从而限制了运放的速度。而本节介绍的单级共源共栅型 CMOS 运放克服了图 3.5-1 运放单位增益带宽不宽等缺点,提高了运放的速度,其简化的形式如图 3.5-2 所示

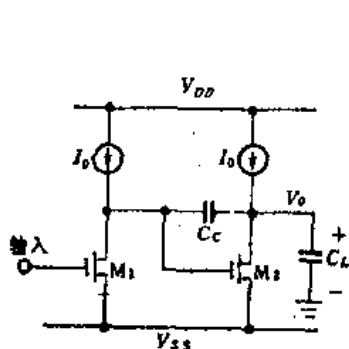


图 3.5-1 两级放大的运放简图

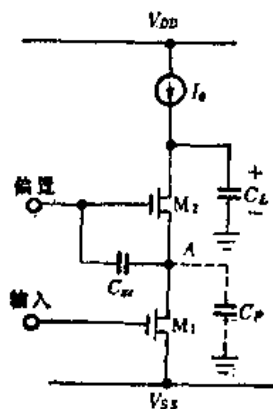


图 3.5-2 单级共源共栅型运放简图

为简化起见,假设 MOS 器件的跨导为 g_m 、输出阻抗为 r_o 、负载为理想的电流源。由图 3.5-1 和图 3.5-2 可分别求得二级放大器和单级共源共栅放大器的低频极点 P_1 和高频极点 P_2 ,其值列于表 3.5-1。

表 3.5-1 放大器的低频极点和高频极点

	低频极点 P_1	高频极点 P_2
二级放大器	$\frac{1}{r_o C_c g_m r_o}$	$\frac{g_m}{C_L}$
单级共源共栅放大器	$\frac{1}{r_o C_L g_m r_o}$	$\frac{g_m}{C_p}$

由表 3.5-1 得。

$$\frac{P_2(\text{单级})}{P_2(\text{二级})} = \frac{C_L}{C_p} \quad (3.5-1)$$

通常图 3.5-2 中的分布电容 C_p 是负载电容 C_L 的 $\frac{1}{5} \sim \frac{1}{10}$, 因此单级共源共栅放大器的

高频极点 P_2 要比二级放大器提高 5~10 倍。显然, 用单级共源共栅放大器构成的运放其建立时间要比二级放大器构成的运放的建立时间来得短。图 3.5-3a~c 分别为由单级共源共栅放大器构成的简化运放原理图、简化图和小信号交流等效电路, 图中的 R_s 和 R_L 分别表示电流源有限的输出阻抗。由图 C 得电压增益为

$$A_V = -(g_{mn} r_{on})(g_{mp} r_{op}) \left\{ \frac{1}{1 + \frac{r_{on}}{R_s} + \frac{r_{on}}{R_n}} \right\} \left\{ \frac{1}{1 + \frac{r_{op}}{R_L}} \right\}, \quad (3.5-2)$$

式中 g_{mn} 、 r_{on} 、 g_{mp} 和 r_{op} 分别是 NMOS、PMOS 器件的跨导和输出阻抗, R_s 、 R_L 是电流源的有限输出阻抗。

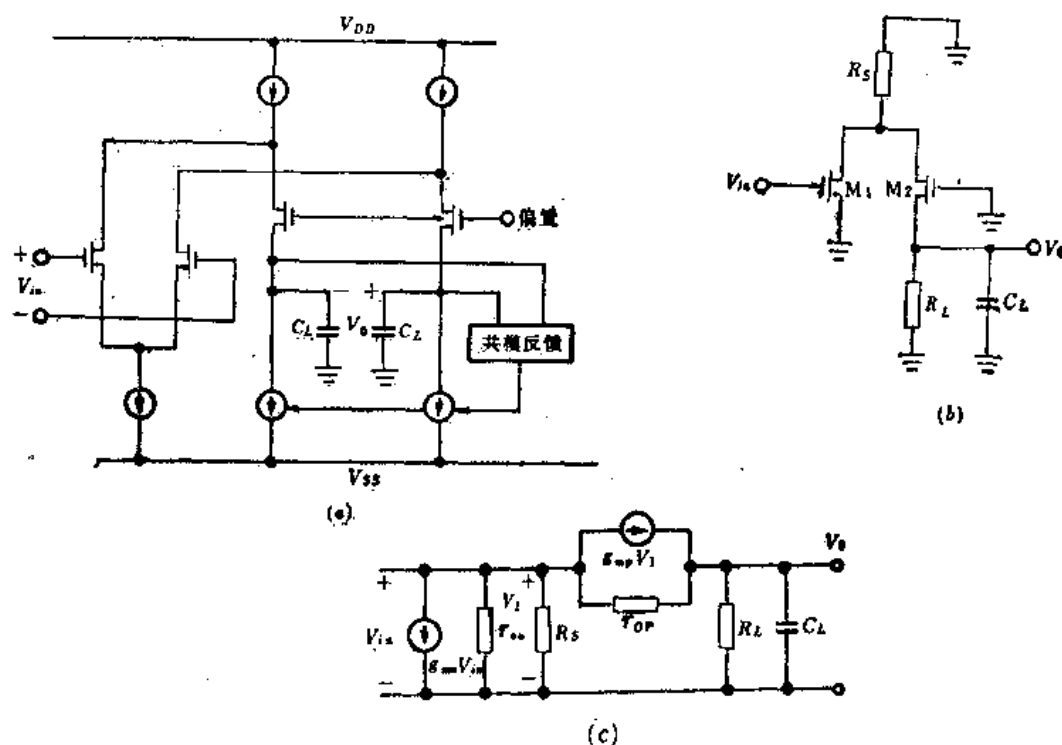


图 3.5-3 双端输出的共源共栅型运放、它的简图和交流等效电路

R_n 是从 P 沟器件的源极看进去的等效阻抗, 其值为

$$R_n = \frac{1}{g_{mp}} \left(1 + \frac{R_L}{r_{op}} \right), \quad (3.5-3)$$

如果负载的输出阻抗比 MOS 管的输出阻抗大得多, 那么, 单级共源共栅运放的最大增益为

$$A_{V_{max}} = -(g_{mn} r_{on})(g_{mp} r_{op}). \quad (3.5-4)$$

由上式可见, 其最大增益与二级运放的直流增益相同。

1. 双端输出的共源共栅型运放的特点

图 3.5-3 所示的运放与常用的两级放大的运放相比, 有以下的特点:

(1) 由于采用单级共源共栅放大电路形式, 因此电路具有很高的次极点频率 ω_2 , 相应瞬态响应的建立时间 T_{str} 比较小;

(2) 用负载电容兼作补偿电容, 从而简单地解决了频率补偿问题, 并使芯片面积减小;

(3) 这种运放的偏置电路比常用的两级运放要复杂。

2. 双端输出的共源共栅型运放

为了使单级共源共栅型运放具有较高的增益, 其输出级的有源负载可用第二章第二节

的高阻电流源。单级共源共栅型运放的实际电路如图 3.5-4 所示, 这是双端输入双端输出的电路形式。

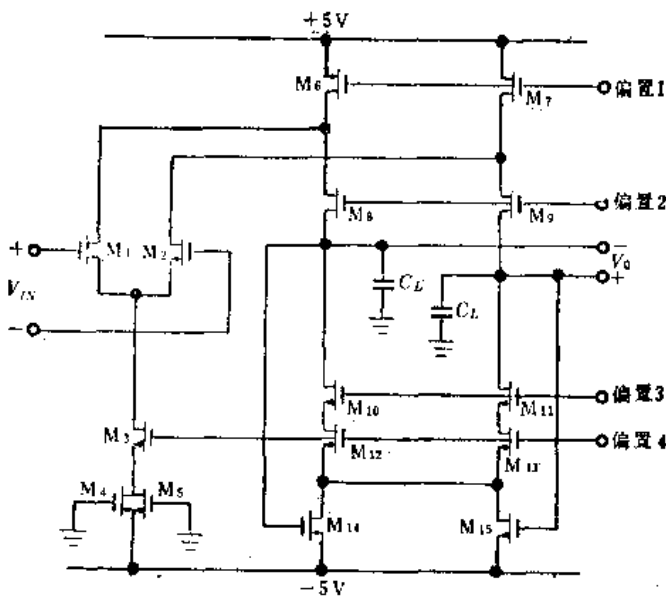


图 3.5-4 双端输出的共源共栅型运放

图中 $M_1 \sim M_3$ 为输入级差分放大器, $M_4 \sim M_6$ 组成了输出级电路, 其中 M_6, M_7 为电流源, M_8, M_9 为共栅放大器; $M_{10} \sim M_{13}$ 构成了输出级的有源负载; M_{14}, M_{15} 构成共模负反馈电路。为了消除由于共模反馈电路 (M_{14}, M_{15}) 对电路工作点的影响, 在 M_3 的源极接入了 M_4, M_5 管, 其参数与 M_{14}, M_{15} 相同。该电路的工作电流由偏置电路提供。现对图 3.5-4 电路的工作原理及设计方法作些简要说明。在静态条件下, M_1 与 M_2, M_6 与 M_7 的工作电

流相同, M_6, M_7 的一部分电流流入差分放大器 M_1, M_2 , 另一部分流入共栅电路 M_8, M_9 。为保证零输入时, 输出端电压也为零, 有源负载 $M_{10} \sim M_{13}$ 的工作电流应该与 M_6, M_7 的电流相同。当正向输入信号作用于输入端 M_1 时, M_1 电流增加, M_2 电流减小, 因流过 M_6, M_7 的电流保持不变, 这样, M_8 电流减小, M_9 电流增大, 而有源负载是恒流源电路, 其电流恒定, 因此, 在输出端得到的电压与 M_9 电流和 M_8 电流的差值成正比, 其极性为正。当负向输入信号作用于输入端 M_1 时, 在输出端得到的电压为负极性。显然, 为了获得较高的电压增益, 应提高输入级跨导, 加大输出级 M_8, M_9 的输出阻抗, 并增大有源负载的输出阻抗。因电流源是串级的, 为了获得大的输出幅度, 电流源与偏置电路可采用第二章图 2.2-8 的电路形式。现在简要介绍共模负反馈电路 M_{14}, M_{15} 的作用, 当输出端共模电平增大时, M_{14}, M_{15} 的导通电阻减小, 流经 M_{10}, M_{12} 和 M_{11}, M_{13} 的电流增大, 使输出端电平同时下降。反之, 使输出端电平上升。因此, 共模反馈可稳定工作点, 而对输出端的差模信号没有影响。

3. 双端输出的共源共栅运放的实际电路

包括偏置电路在内的共源共栅型运放的实际电路图如图 3.5-5 所示。

图中 $M_1 \sim M_3$ 为输入级差分放大器(相当于共源放大器), 为了提高输入级的增益和降低噪声, 输入管的尺寸应设计得较大。 M_4, M_5 为共栅电路; M_6, M_7 以及 $M_{10} \sim M_{13}$ 分别构成电流源电路; M_{14}, M_{15} 构成共模反馈电路。为获得较高增益, 输出级电流源采用第二章第二节图 2.2-8 的高阻抗、大输出幅度的恒流源电路, n 沟道高阻电流源及偏置电路由 $M_{10} \sim M_{13}$ 和 $M_{16} \sim M_{19}$ 所构成; p 沟道高阻电流源和偏置电路由 $M_4 \sim M_7$ 和 $M_{20} \sim M_{23}$ 所组成。图中的 M_{24}, M_{25} 为总的偏置电路。

从速度要求、功耗和芯片面积等方面考虑, 经设计和计算机模拟, 图 3.5-5 电路中的各管的宽长比如表 3.5-2 所示, 其主要参数列于表 3.5-3。

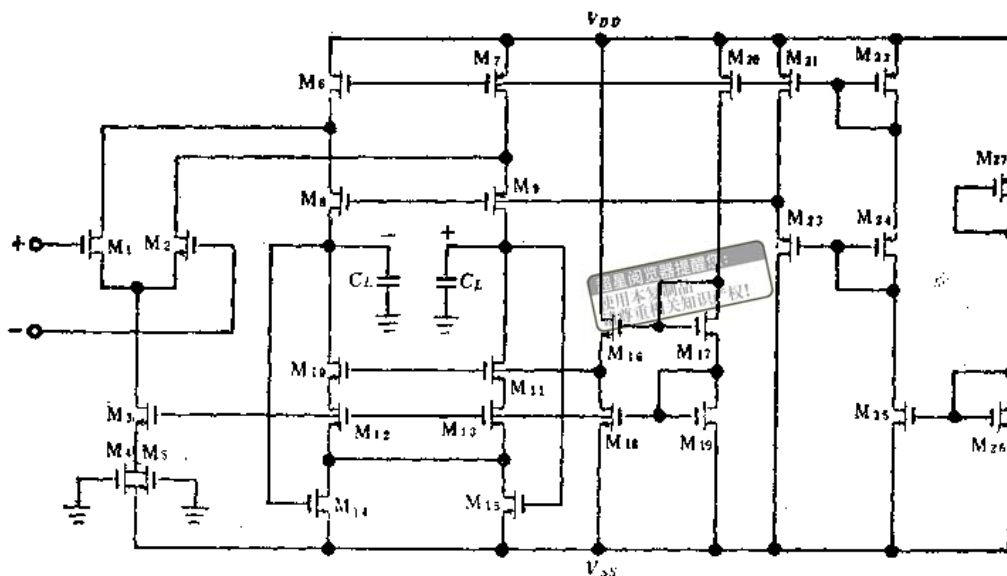


图 3.5-5 双端输出的共源共栅型运放

表 3.5-2 沟道的宽长比

MOS 器件	宽长比 W/L (W, L 的单位为微米)	MOS 器件	宽长比 W/L (W, L 的单位为微米)	MOS 器件	宽长比 W/L (W, L 的单位为微米)
M_1	300/4	M_{10}	123/4	M_{19}	28/15
M_2	300/4	M_{11}	123/4	M_{20}	14/7
M_3	530/8	M_{12}	123/4	M_{21}	14/7
M_4	31/4	M_{13}	123/4	M_{22}	56/7
M_5	31/4	M_{14}	31/4	M_{23}	14/7
M_6	397/10	M_{15}	31/4	M_{24}	14/7
M_7	397/10	M_{16}	28/15	M_{25}	53/8
M_8	198/5	M_{17}	7/15	M_{26}	8/8
M_9	198/5	M_{18}	28/15	M_{27}	5/38

表 3.5-3 对应于图 3.5-5 电路的主要参数

电源电压	± 5 伏
直流功耗	10 毫瓦
开环电压增益	1240
共模抑制比	95 分贝
单位增益带宽 $C_L=1$ 皮法	70 兆赫
$C_L=2$ 皮法	35 兆赫
建立时间(0.1%) $C_L=1$ 皮法	86 纳秒
($V_I=\pm 2.5$ 伏阶跃信号) $C_L=2$ 皮法	128 纳秒

4. 单端输出共源共栅型运放电路

在图 3.5-5 的输出电路作些相应的改动,即可得到单端输出共源共栅型运放电路,具体电路如图 3.5-6 所示。利用 $M_8 \sim M_{11}$ 电流源电路,即可将双端输出转换成单端输出。该电路能

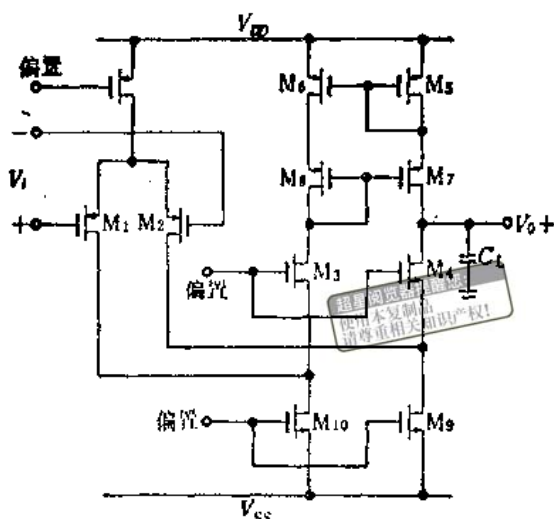


图 3.5-7 输入级为 p 沟 MOS 管的共源共栅型运放

(二) 电流转换型高速 CMOS 运放

1. 电流转换型运放的框图和基本关系式

电流转换型运放的框图如图 3.5-8 所示。输入级将输入电压转换成电流，此电流经电流放大级放大后，送到输出端。图中的 r_{a1} 是输入级的输出阻抗， R_i 为电流放大级的输入阻抗， C_i 为电流放大级的等效输入电容， R_o 为电流放大级的输出阻抗， C_L 为负载电容。为提高放大器的电压增益和单位增益带宽，通常选用低输入阻抗 R_i 、低输入电容 C_i 、高输出阻抗 R_o 以及大电流增益的电流放大器电路。图 3.5-8 的等效电路如图 3.5-9 所示。

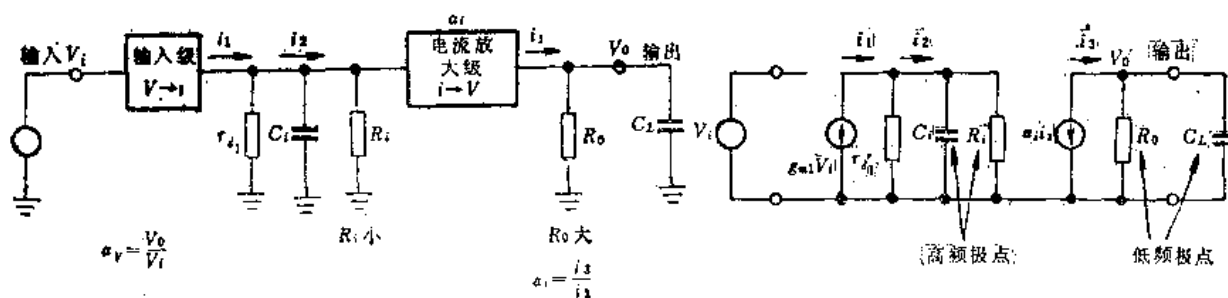


图 3.5-8 电流转换型运放的框图

图 3.5-9 电流转换型运放的等效电路

考虑 $r_{a1} \gg R_i$ ，由图 3.5-9 可得放大器的低频极点频率为

$$\omega_1 = \frac{1}{R_o C_L} \quad (3.5-5)$$

高频极点频率为

$$\omega_2 = \frac{1}{R_i C_i} \quad (3.5-6)$$

低频电压增益为

$$A_v = \frac{V_0}{V_i} = g_{m1} a_1 R_o \quad (3.5-7)$$

式中 a_i 为电流放大级的放大倍数。

通常 (3.5-6) 式所示的高频极点频率高于单位增益带宽频率 GB, 因此单位增益带宽频率 GB 可写为

$$GB = A_T \omega_1 = \frac{g_{m1} a_i}{C_L}. \quad (3.5-8)$$

根据本章第一节的讨论, 运放在深度负反馈时能稳定地工作, 高频极点频率 ω_2 的最小值应等于单位增益带宽频率 GB, 由 (3.5-6) 式和 (3.5-8) 式, 我们可以求得最小负载电容 (即补偿电容)。

$$C_L = C_i R_i g_{m1} a_i. \quad (3.5-9)$$

2. 电流放大级电路

电流放大级电路由电流源电路来实现, 其基本的电流放大级电路如图 3.5-10 所示。

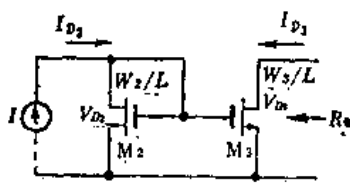


图 3.5-10 基本的电流放大级电路

根据第二章第二节的讨论, 图 3.5-10 所示的电路的主要参数为: 输出阻抗

$$R_o = r_{ds} = \frac{1}{\lambda_3 I_{D1}}, \quad (3.5-10)$$

输入阻抗

$$R_i = \frac{1}{g_{m1}}, \quad (3.5-11)$$

电流增益

$$a_i = \frac{I_{D2}}{I_{D1}} = \frac{W_1}{W_2} \frac{(1 + \lambda_3 V_{D1})}{(1 + \lambda_2 V_{D1})}. \quad (3.5-12)$$

由于要获得较高的单位增益带宽频率, M_2 、 M_3 的沟道长度取得较小, 这样, 沟道长度调制效应不能忽略, 输出阻抗 R_o 较小。为提高输出阻抗, 可采用第二章第二节介绍的串级形式的高阻电流源作为电流放大级电路, 其电路形式如图 3.5-11 所示。

图 3.5-11 所示的电路的输出阻抗 (可参看第二章第二节 (2.2-4) 式

$$R_o = g_{m1} (r_{ds})^2, \quad (3.5-13)$$

输入阻抗

$$R_i = \frac{2}{g_{m1}}, \quad (3.5-14)$$

电流增益

$$a_i = \frac{I_{D2}}{I_{D1}} = \frac{g_{m1}}{g_{m2}} = \frac{W_1}{W_2}. \quad (3.5-15)$$

用串级高阻电流源作为电流放大器的电流转换型运放, 其等效原理图如图 3.5-12 所示。由图 3.5-12 及 (3.5-10)、(3.5-13~15) 式, 可得到放大器的增益为

$$A_v = \frac{V_o}{V_i} = \frac{g_{m1}}{g_{m2}} \left[\frac{g_{m1}}{\lambda_3 I_{D1}} \right]^2. \quad (3.5-16)$$

由此可知, 在给定 I_{D1} 的条件下, 增大 M_3 的跨导 g_{m1} , 可提高电流转换型运放的电压增益。

3. 电流转换型高速 CMOS 运放的实际电路

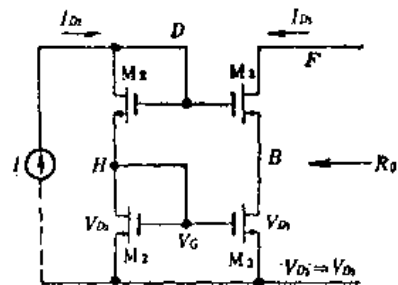


图 3.5-11 高输出阻抗的电流放大级电路

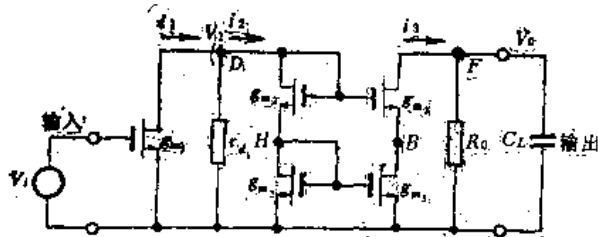


图 3.5-12 电流转换型运放的等效原理图

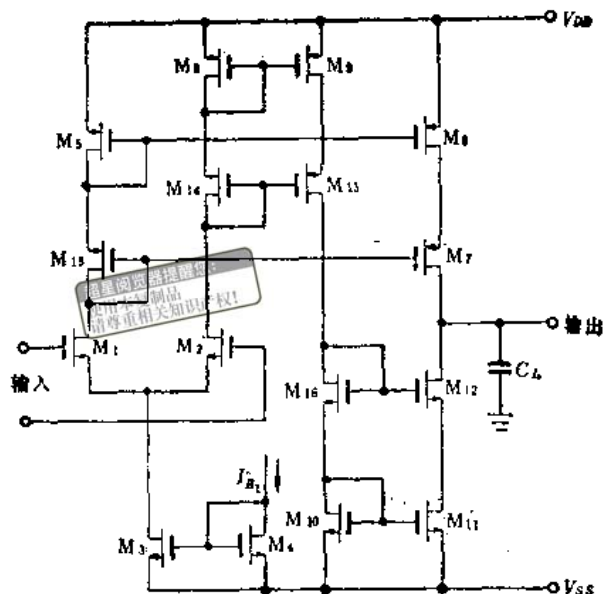


图 3.5-13 电流转换型高速 CMOS 运放

电流转换型高速 CMOS 运放的实际电路图如图 3.5-13 所示。输入级电路由 $M_1 \sim M_3$ 构成的差分放大器，它将输入信号电压转换成电流； M_5, M_{16}, M_8, M_7 和 M_9, M_{14}, M_6, M_{13} 组成高输出阻抗的电流放大级电路，它将输入级的电流经放大后输送到输出端； $M_{10} \sim M_{12}, M_{16}$ 构成高阻抗电流源，它将双端输出的电流转换成单端输出，这样实现了双端输入经放大后单端输出。 C_L 为负载电容也作为频率补偿电容，其 C_L 的最小值由 (3.5-9) 式决定。该电路的转换速率由下式决定：

$$S_R = \frac{I_{B1} a_t}{C_L} \quad (3.5-17)$$

为获得较高的单位增益带宽 GB 和压摆率 S_R ，图 3.5-13 中的器件采用 $L=1.5$ 微米的短沟道 MOS 管，其电路的主要参数如表 3.5-6 所示。在 $V_{DD} = \pm 3$ 伏、 $V_{CC} = -3$ 伏、 $C_L = 1$ 皮法的条件下，偏置电流 I_{B1} 的大小与电路主要参数的关系列于表 3.5-7。

表 3.5-6 对应于图 3.5-13 电路的主要参数

电源电压	± 3 伏
偏置电流 I_{B1}	50 微安
负载电容 C_L	1 皮法
开环增益 A_V	69 分贝
单位增益带宽 GB	70 兆赫
压摆率	200 伏/微秒
电源抑制比 PSRR	68 分贝
共模抑制比 CMRR	62 分贝
输出电压摆幅	1.5 分贝
输出阻抗	3 兆欧
输入等效噪声	0.54 微伏/(赫兹) ^{1/2}
功耗	1.1 毫瓦

表 3.5-7 偏置电流与电路参数之间的关系

偏置电流 I_{B1}	单位增益 带宽 GB	开环电压 增益 A_V	直流功耗
25 微安	50 兆赫	70 分贝	0.55 毫瓦
50 微安	70 兆赫	69 分贝	1.1 毫瓦
100 微安	100 兆赫	66 分贝	2.2 毫瓦

超星阅读器提醒您：
使用本复制品
须尊重相关知识产权！

为获得低的输出阻抗,在图 3.5-13 的基础上增加了输出级电路,其电路形式如图 3.5-14 所示。 $M_{17} \sim M_{21}$ 组成低输出阻抗的输出级电路,其前置放大部分与图 3.5-13 电路相同。该电路与图 3.5-13 电路相比,降低了输出阻抗,但输出摆幅减小。

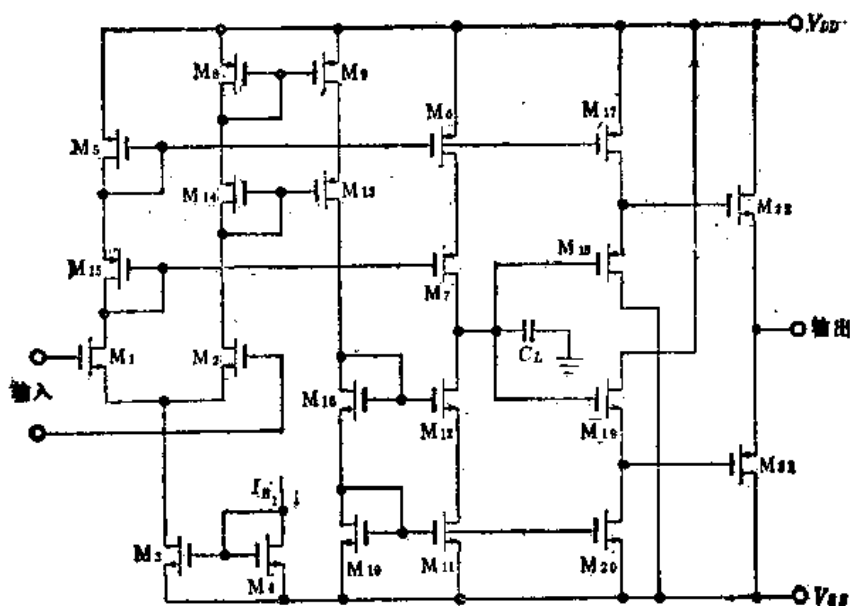


图 3.5-14 低输出阻抗的高速 CMOS 运放

第六节 高电源抑制比 CMOS 运放

电源抑制比 (PSRR) 定义为:电源电压变化所对应的输出电压变化折算到输入端的值之比,即

$$PSRR = \frac{1}{\frac{\partial V_o}{\partial V_s} \frac{1}{A}} = \frac{A}{\frac{\partial V_o}{\partial V_s}}, \quad (3.6-1)$$

式中 A 为运放的开环增益, V_s 为电源电压, V_o 为输出电压。

近年来, MOS 大规模集成电路中既有模拟电路又有数字电路,即模拟电路与数字电路做在同一芯片上,这样数字电路的脉冲信号往往通过电源对模拟电路(如运放电路)产生干扰,此干扰信号使得运放在没有信号输入的情况下产生一个输出信号,从而影响了运放电路的正常工作。在单片式运放电路中,通过采用退耦或与数字电路的电源分开等方法,可以消除这种电源干扰。但在 MOS 大规模集成电路中,这种干扰往往是客观存在的,难以消除,因此,在 MOS

大规模集成电路中,设计高电源抑制比的运放显得十分必要。

请尊重知识产权
使用本复制品
请尊重知识产权

(一) 一般 CMOS 运放的电源抑制比

图 3.6-1 所示的电路是典型的二级 CMOS 运放,其正电源抑制比较差。当正电源 V_{DD} 上有一交变的信号电压 V_s 时,为保持输出驱动管 M_6 电流不变(因 M_7 管电流是恒定的),则在 M_6 的栅极也同样有一信号电压 V_s ,也就是说, M_6 的漏极电压增量与 M_6 的栅极增量相同,而 M_6 的栅极与补偿电容 C_c 相连,因此, M_6 栅极的变化信号通过补偿电容 C_c 耦合到输出端,这样, 交变信号电压 V_s 引起的变动信号可以在输出端得到。

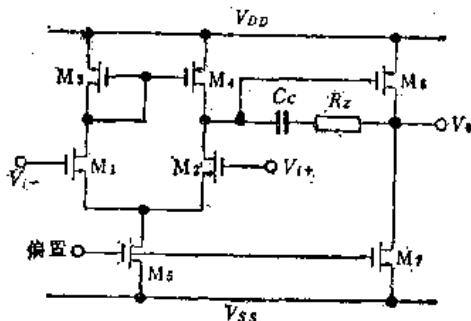


图 3.6-1 典型的二级 CMOS 运放

由图 3.6-1 的等效电路分析可知(见参考文献[21]),其电源抑制比可表示为

$$\text{PSRR} = \frac{S + \omega_p}{S + \omega_T} \quad (3.6-1)$$

式中的 ω_p 为运放的第一极点频率, ω_T (即 GB) 为运放的单位增益带宽, ω_p 可表示为

$$\omega_p = \frac{1}{r_{o1} r_{o2} g_{m1} C_c} \quad (3.6-2)$$

式中 r_{o1} 为输入级差分放大器的输出阻抗, r_{o2} 为输出级的输出阻抗, g_{m1} 为输出级管 M_6 的跨导, C_c 为补偿电容。而 ω_T 可以表示为

$$\omega_T \approx \frac{g_{m1}}{C_c} \quad (3.6-3)$$

式中 g_{m1} 为输入级差分放大器的跨导, C_c 为补偿电容。

由 (3.6-1~3) 式可知, 电源的干扰频率较低时, 图 3.6-1 电路的抑制比 $\text{PSRR} \approx \omega_p / \omega_T \approx 1000$, 相当于 60 分贝。随着电源的干扰频率增大, 电源抑制比下降, 即电源抑制比性能变坏。

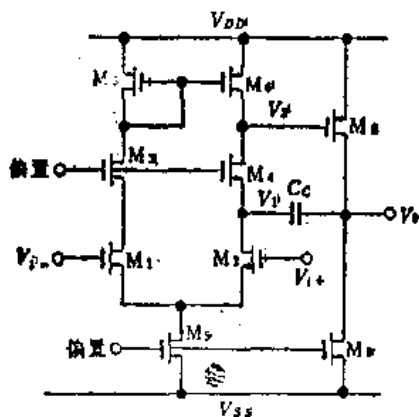


图 3.6-2 高电源抑制比的 CMOS 运放

(二) 提高电源抑制比的方法

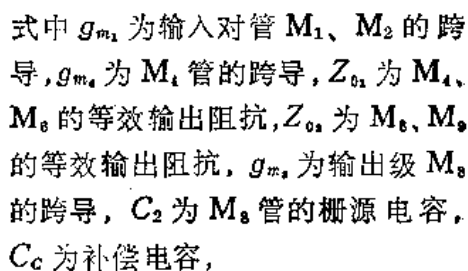
图 3.6-1 所示的运放电路的电源抑制比之所以比较差, 主要是由于电源变化的信号通过补偿电容耦合到输出端所引起的。若对图 3.6-1 运放电路作些改进, 将其输入端改为共源-共栅形式, 则其电源抑制比的性能将得到改善, 其具体的电路形式如图 3.6-2 所示。当电源 V_{DD} 有一变化信号 V_s , 则在输出管 M_6 的栅极也有同样变化的信号。引入共栅电路 M_4 后, 其漏极的信号对源极的影响很小, 这样通过补偿电容 C_c 耦合到输出端的信号也大大减小, 从而提高了电源抑制比。

图 3.6-2 电路的缺点是输入共模电压减小, 它的改进形式如图 3.6-3 所示。该电路具有

图 3.6-2 电路的缺点是输入共模电压减小, 它的改进形式如图 3.6-3 所示。该电路具有

与前一节介

(3.6-4)



(3.6-5)

(3.6-6)

图 3.6-3 高电源抑制比的 CMOS 运放

栅电路 M_3 管的源极。该电路的输入级是电流转换型电路，它与通常运放的不同之处是增加了共栅电路 M_3 、 M_4 ，因此提高了电源抑制比。

第七节 CMOS 功率运放

前面介绍的 CMOS 运放,大都采用共源输出级电路,因而输出阻抗较高,且驱动力也较差。本节将讨论输出阻抗低、能驱动大电容负载(包括低阻值的电阻负载)、静态功耗

小的 CMOS 功率运放。CMOS 功率运放的设计包括两部分,即前置放大和输出级,而前置放大器的设计同前面讨论的各类 CMOS 运放的设计没有什么区别,因此本节主要讨论 CMOS 功率运放输出级电路的设计方法。

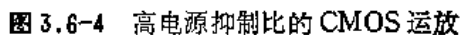


图 3.6-4 高电源抑制比的 CMOS 运放

(一) CMOS 功率运放输出级电路之一

1. 输出级电路原理

图 3.7-1 是 CMOS 功率运放输出级电路的原理图, A_1 放大器与共源放大器 M_1 构成全负反馈放大器; 同样, A_2 放大器与共源放大器 M_2 也构成全负反馈放大器, 即构成电压跟随器。

所以它的电压增益为 1 ($V_i = V_o$) 且具有低的输出阻抗。图 3.7-1 电路主要缺点是由于 A_1 和 A_2 的失调电压使驱动电路 M_1 和 M_2 的静态工作电流很难确定。

在图 3.7-1 电路的基础上, 给出实用的 CMOS 功率运放输出级电路, 其原理图如图 3.7-2 所示。

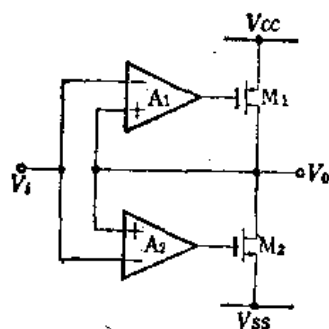


图 3.7-1 CMOS 功率运放输出级电路的原理图

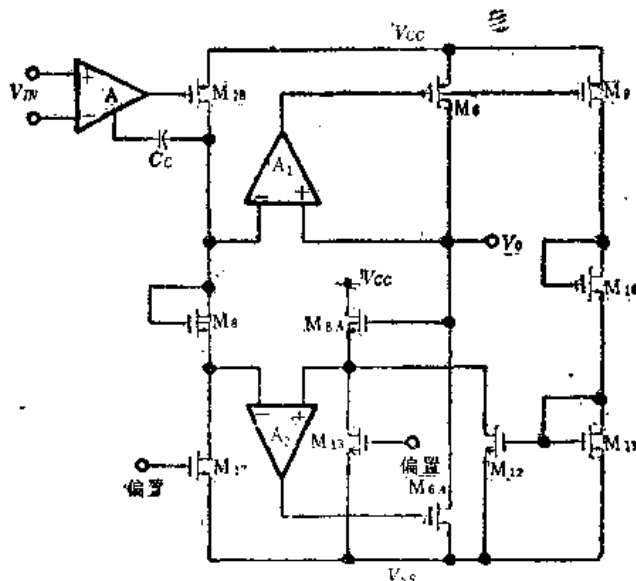


图 3.7-2 实用的 CMOS 功率运放输出级电路原理图

图中的放大器 A 作为输出级电路的前置放大器, C_c 为前置放大器的补偿电容。输入信号经输入级 A 放大器放大以后加到 M_{18} 的栅极, 其源极得到较大幅度的信号。正半周信号经放大器 A_1 和 M_6 之后送到输出端, 由于 A_1 与 M_6 构成负反馈回路, A_1 负输入端的信号幅值与 A_1 正输入端的信号 (输出信号) 幅值相同, 即构成增益为 1 的负反馈放大器。负半周信号经放大器 A_2 和 M_{6A} 之后送到输出端, A_2 和 M_{6A} 构成负反馈回路, 增益也为 1。因此, 输出级是增益为 1 的负反馈放大器, 正因为深度负反馈, 所以工作点稳定且具有低的输出阻抗。 M_{18} 和 M_{17} 的漏极信号电压处于正半周时, A_1 驱动 M_6 , 向负载提供电流, 此时 M_{6A} 处于小电流或截止状态; 当 M_{18} 和 M_{17} 的漏极信号电压处于负半周时, A_2 驱动 M_{6A} , 从负载吸入电流, 此时 M_6 处于小电流或截止状态, 因而图 3.7-2 输出级电路是甲、乙类推挽式放大器。

图中的 $M_8, M_{8A}, M_9 \sim M_{13}$, 可使输出管 M_6, M_{6A} 的静态电流保持平衡, 并具有确定的值。假如由于 A_1 放大器的失调电压使 M_6 管的静态电流增大, 由于 M_6 管电流增大, 使 M_9 管电流也增大, 通过 $M_9 \sim M_{12}, M_{8A}$ 电流增大, 其 V_{GS} 电压也增大, 由于输出电压处于定值 (零伏), 这样在放大器 A_2 的正输入端得到负电压, 其输出端电压变负即驱动 M_{6A} 栅极电压减小, 使 M_{6A} 和 M_6 电流减小。

由图及上面讨论可知, A_1 与 A_2 的失调可由源跟随器 M_{8A} 的 V_{GS} 的变化量来消除, 以保证 M_6, M_{6A} 在静态条件下其工作电流具有额定值。

正向输出增益为 1 的负反馈放大电路 A_1 如图 3.7-3 所示。

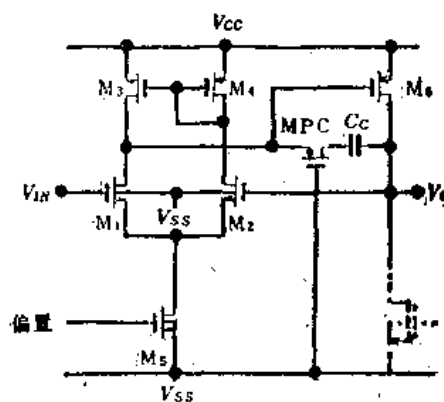


图 3.7-3 对应于图 3.7-2 中的 A_1 放大器

由 $M_1 \sim M_5$ 构成差分放大器,它与共源放大器 M_6 组成增益为 1 的负反馈放大器。图中的 C_c 和 MPC 管组成放大器的频率补偿。该电路具有大的正向共模输入电压范围。当输入电压为正向电压时, M_6 管的 V_{GS} 电压加大,使输出电流增大。为了尽可能增大输出电流,除了提高 M_6 管的跨导 g_{m6} 外应提高 V_{GS6} 的最大值 (V_{max})。在 V_{max} 条件下, M_1, M_2 应仍工作在饱和区。

由图可得
$$V_{max} = -[V_{CC} - (V_{IN} - V_{GS1} + V_{DSAT1})], \quad (3.7-1)$$

而
$$V_{DSAT1} = V_{GS1} - V_{T1}, \quad (3.7-2)$$

所以

$$V_{max} = -(V_{CC} - V_{IN} + V_T), \quad (3.7-3)$$

由 (3.7-3) 式可知, 增大 V_{max} , 应增大 M_1, M_2 管阈值电压 V_{T1} 。加大阈值电压除了在工艺上保证外, 将 M_1 和 M_2 的衬底接在负电源 V_{SS} 上, 即利用衬底偏置效应使阈值电压 V_{T1} 加大 $[V_T = V_{T0} + \gamma(\sqrt{2\phi_f - V_{SS}} - \sqrt{2\phi_f})]$, 并且 V_{IN} 增大 V_T 也随之加大。这样, 保证了随着输入信号 V_{IN} 增大, M_6 管的 V_{GS6} 电压也随之加大, 增大了输出电流, 其最大输出电流决定于 M_6 的跨导 g_{m6} 和 V_{max} 。

关于负向输出电路 A_2 的结构可参看图 3.7-4, 其工作原理与正向输出电路相同, 这里不再赘述。

2. CMOS 功率运放输出级实际电路

根据图 3.7-2 原理图, 设计出 CMOS 功率运放输出级电路图如图 3.7-4 所示。图中 $M_1 \sim M_5$ 构成 A_1 放大器, $M_{1A} \sim M_{5A}$ 构成 A_2 放大器, M_6 和 M_{6A} 为运放的输出级电路, C_c 与 C_F 分别为 A_1 和 A_2 的频率补偿电容。现对图中 MOS 管 M_{3H} 和 M_{4H} 的作用作些说明, 当很大的负向电压加到 M_1 管的栅极时, 使 M_6 管的漏源电压为零, 差分放大器 M_1 和 M_2 无电流流过, 若无 M_{3H} 管, 则 M_6 管的栅极电位是浮置的, 即不确定, 这样 M_6 管可能不处于截止状态; 当加了 M_{3H} 和 M_{4H} 管后, 使 M_6 管的栅极电位等于电源电压 V_{CC} , 保证 M_6 管处于良好截止状态。同样 M_{3HA} 和 M_{4HA} 的作用是, M_{1A} 的栅极为很大的正向电压时, M_{6A} 的栅极电位为 V_{SS} , 从而

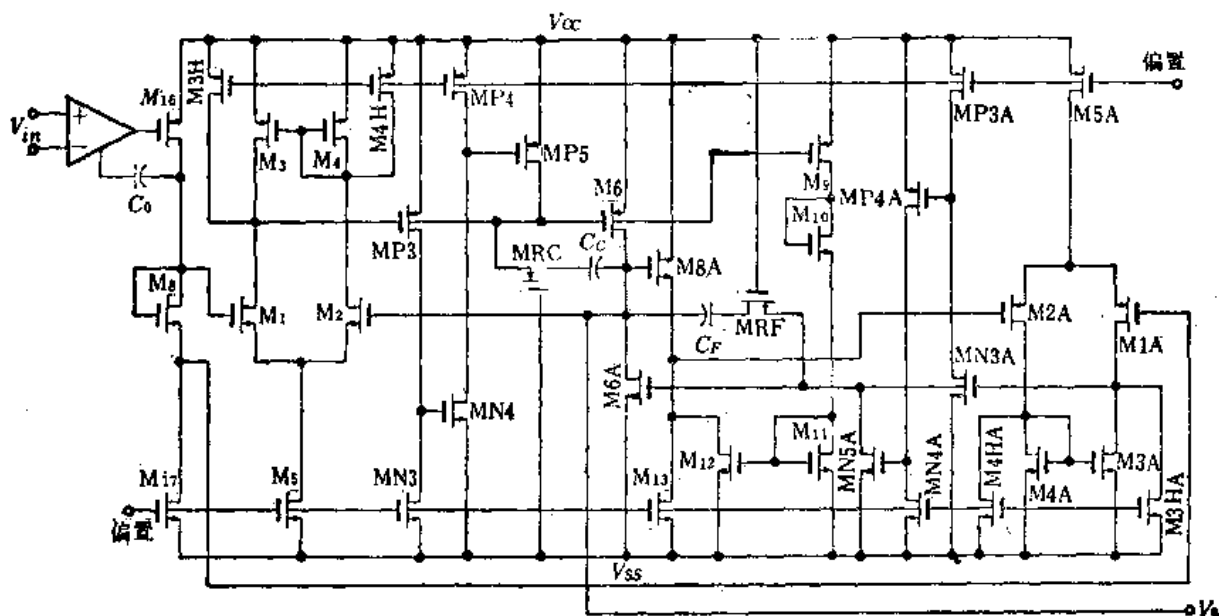


图 3.7-4 CMOS 功率运放的输出级电路图

使 M_{6A} 管处于良好的截止状态。

图 3.7-4 电路还具有有限流性能,若 M_6 过流, MP_5 电流加大,经 MN_4 、 MP_5 , 使 M_6 的栅极电压上升,从而减小流过 M_6 的电流,起了限流作用。 M_6 的最大电流限制在 60 毫安左右。

最后,对图 3.7-4 电路的频率响应作些说明。为简单起见,只讨论 A_1 放大器与 M_6 构成的正向放大器在开环条件下所产生的零极点。其交流等效电路如图 3.7-5 所示。

图中 g_{m1} 是输入差分放大器的跨导, g_{m6} 是 M_6 管的跨导, R_1 、 C_1 分别是输入差分放大器的输出阻抗和输出电容, R_L 、 C_L 分别是输出端的负载电阻和负载电容, R_c 、 C_c 是频率补偿元件。经计算(可参阅文献[16]),其零点、极点频率为

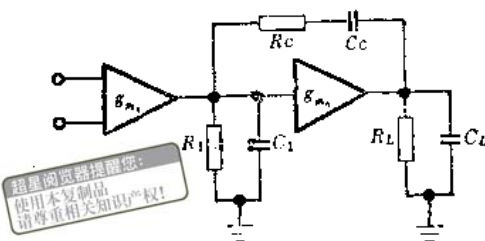


图 3.7-5 输出级电路的交流等效电路

$$P_1 \approx \frac{-1}{g_{m1} R_L R_1 C_c}, (\text{高阻抗负载 } R_L) \quad (3.7-4)$$

$$P_1 \approx \frac{-1}{g_{m1} R_1 R_1 C_c + R_1 (C_1 + C_c)}, (\text{低阻抗负载 } R_L) \quad (3.7-5)$$

$$P_2 \approx \frac{-g_{m6} C_c}{C_L (C_1 + C_c) + C_1 C_c}, (\text{高阻抗负载 } R_L) \quad (3.7-6)$$

$$P_2 \approx \frac{-(g_{m6} + g_o) C_c}{C_c (C_1 + C_c) + C_1 C_c}, (\text{低阻抗负载 } R_L) \quad (3.7-7)$$

$$P_3 = \frac{-1}{R_c C_1}, \quad (3.7-8)$$

$$Z = \frac{-1}{R_c C_c - \frac{C_c}{g_{m6}}}, \quad (3.7-9)$$

以上各式中 P_1 是低频极点(即主极点), P_2 、 P_3 为高频极点, g_o 是 M_6 管的输出电导, Z 为零点。只要适当选择零点,可消去由于极点所产生的相移,使电路在闭环情况下保持稳定。

这电路的主要参数和器件尺寸、电容值分别列于表 3.7-1 和表 3.7-2。

表 3.7-1 对应于图 3.7-4 运放的主要参数

参 数	测量值(电源电压±5 伏)
功耗	5.0 毫瓦
开环增益	83 分贝
功率带宽	420 千赫
失调电压	1 毫伏
电源抑制比	$\begin{cases} +80 \text{ 分贝} \\ -106 \text{ 分贝} \end{cases}$
转换速率	0.6 伏/微秒
1/f 噪声(1 千赫)	130 纳伏/赫兹
宽带噪声	49 纳伏/赫兹
建立时间(0.1%)	<5 微秒
失真度:	
$V_{in} = 3.3V_P$ $R_L = 300$ 欧姆	0.13% (1 千赫)
$C_L = 100$ 皮法	0.32% (4 千赫)
$V_{in} = 4.0V_P$ $R_L = 15$ 千欧	0.13% (1 千赫)
$C_L = 200$ 皮法	0.20% (4 千赫)

表 3.7-2 对应于图 3.7-4 电路中各管的宽长比 W/L 和电容

MOS 器件和电容	宽长比 W/L 和电容 (W/L 的单位为微米)	MOS 器件	宽长比 W/L (W/L 的单位为微米)
$M_{1,6}$	134/9	M_{8A}	481/6
$M_{2,7}$	66/12	M_{13}	66/12
M_8	184/6	M_9	27/6
$M_{1,2}$	36/10	M_{10}	6/22
$M_{3,4}$	194/6	M_{11}	14/6
M_{3H}, M_{4H}	16/12	M_{12}	140/6
M_5	145/12	MP_3	8/6
M_6	2647/6	MN_3	244/6
MRC	48/10	MP_4	43/12
C_c	11.0 皮法	MN_4	12/6
M_{1A}, M_{2A}	88/12	MP_5	6/6
M_{3A}, M_{4A}	196/6	MN_{3A}	6/6
M_{3HA}, M_{4HA}	10/12	MP_{3A}	337/6
M_{5A}	229/12	MN_{4A}	24/12
M_{6A}	2420/6	MP_{4A}	20/12
MRF	25/12 皮法	MN_{5A}	6/6
C_F	10.0 皮法		

(二) CMOS 功率运放输出级电路之二

1. 输出电路原理

图 3.7-6 是 CMOS 功率运放输出级电路的原理图。它的工作原理与图 3.7-1 电路和图 3.7-2 电路的工作原理基本相同，但其性能优于图 3.7-2 电路。

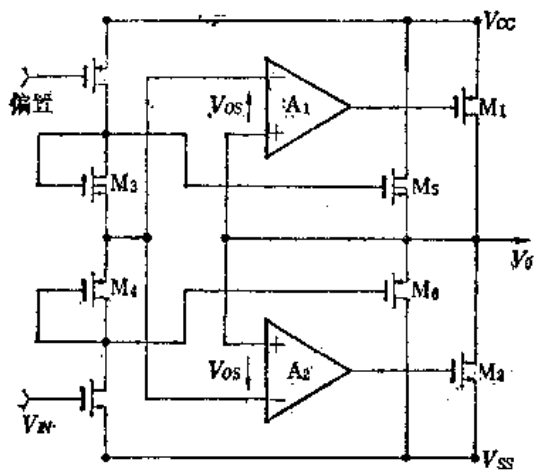


图 3.7-6 CMOS 功率运放输出级电路的原理图

静态条件下， M_1 和 M_2 均处于截止状态，从而减小静态功耗。当 A_1 和 A_2 放大器输入端的负端为正向输入信号时， A_1 输出电压变低，使 M_1 导通，这时 A_1 与 M_1 构成增益为 1 的负反馈放大器，正向输出电流大部分由 M_1 提供， M_5 只提供一小部分。与此同时， A_2 放大器的输出端

超星浏览器提醒您：
使用本复制品
须知知识产权！

A₁ 放大器的实际电路图如图 3.7-7 所示。

图中 M_1 、 M_2 、 M_4 和 M_6 构成输入级差分放大器， M_3 为输出级电路（即图 3.7-6 中的 M_1 管）， C_c 为频率补偿电容。当正向输入信号作用于 M_1 管的栅极时， M_2 、 M_4 和 M_6 管电流减小， M_3 的栅极电位下降，其输出电流由 M_3 流向负载，随着输入信号的增大， M_3 管的输出电流也随之增大。在正向输入信号作用下， M_{13} 、 M_{14} 和 M_{15} 均处于截止状态，对电路的工作状态不产生任何影响，但当作用于 M_1 的栅极也即 M_{13} 的栅极是负向输入信号、且大于 M_{13} 管的阈值电压时， M_{13} 管导通，其电流通过 M_{14} ，这样 M_{15} 也随之导通，其电流流过 M_{14} ，使 M_{14} 和 M_6 管电流增大， M_3 管的栅极电位上升而处于截止状态。由上讨论可知，图 3.7-7 电路只对正向输入电压进行放大，且构成增益为 1 的负反馈放大器，其输出电流由 M_6 管提供。当负向输入信号作用于该电路时， M_3 管截止。

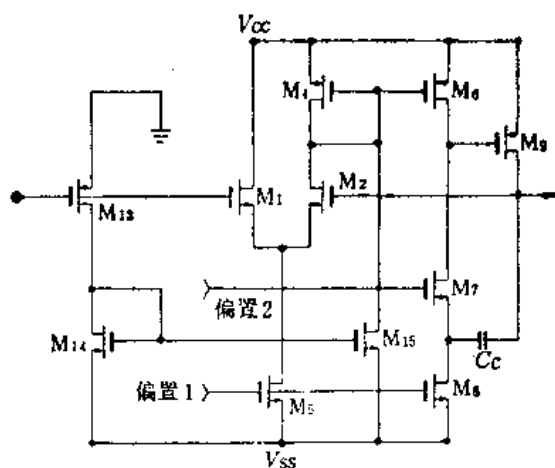


图 3.7-7 对应于图 3.7-6 电路中的 A_1 放大器

A_2 放大器的电路形式与 A_1 相同, 只要将 A_1 放大器中的 n 沟 MOS 管换成 p 沟 MOS 管, 而 p 沟 MOS 管换成 n 沟 MOS 管即可, A_2 的实际电路图可参看图 3.7-8.

图 3.7-8 是高性能 CMOS 功率运放, 其主要参数列于表 3.7-3。

图中的前置放大器 ($M_1 \sim M_{11}$) 与前一节图 3.6-4 高电源抑制比运放的电路结构相同, 因此图 3.7-8 功率运放具有高电源抑制比。图中的输出级部分与图 3.7-6 电路相同, $MH_1 \sim MH_{11}$ 构成 A_1 放大器, $ML_1 \sim ML_{11}$ 构成 A_2 放大器, MH_5 和 M_{15} 提供正向输出电流, ML_5 和 M_{11} 吸入负向电流, C_{c1} 、 C_{c2} 和 C_{c3} 分别为前置放大器、 A_1 放大器和 A_2 放大器的频率补偿电容。图中各管的 W/L 比如表 3.7-4 所示。

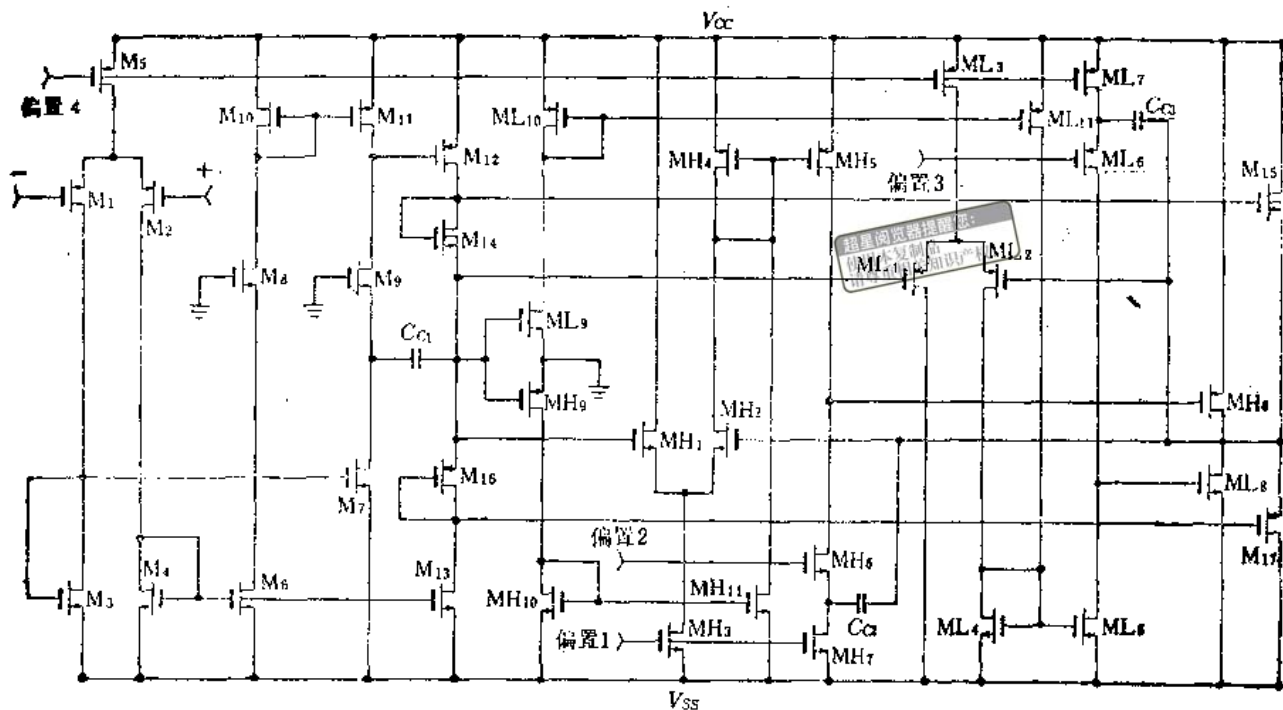


图 3.7-8 高性能 CMOS 功率运放

表 3.7-3 主要参数

电源电压	±5 伏
开环增益	93 分贝
单位增益带宽	1.2 兆赫
功耗	12.7 毫瓦
输出摆幅($R_L=200$ 欧姆)	±3.1 伏
电源抑制比 PSRR	
PSRR+ 直流	93 分贝
1 千赫	91 分贝
10 千赫	76 分贝
100 千赫	60 分贝
PSRR- 直流	102 分贝
1 千赫	89 分贝
10 千赫	75 分贝
100 千赫	53 分贝
压摆率 S_R	1.5 伏/微秒
输入共模电压范围	+3.3 伏
	-5.5 伏
失真度 $V_{in}=3V_P, R_L=200$ 欧姆,	-73 分贝
$f=3$ 千赫	

表 3.7-4 管子的宽长比 W/L 和电容

MOS 器件	W/L (W, L 的单位为微米)	MOS 器件和电容	W/L 和电容 (W, L 单位为微米)	MOS 器件	W/L (W, L 的单位为微米)
M_1	400/15	M_{15}	200/5	MH_9	15/6
M_2	400/15	M_{16}	600/6	MH_{10}	10/15
M_3	150/10	M_{17}	600/6	ML_1	48/6
M_4	150/10	C_{C1}	20 皮法	ML_2	50/6
M_5	100/15	C_{C2}	4 皮法	ML_3	300/15
M_6	150/10	C_{C3}	4 皮法	ML_4	150/5
M_7	150/10	MH_1	48/10	ML_5	100/5
M_8	300/5	MH_2	50/10	ML_6	300/6
M_9	300/5	MH_3	500/15	ML_7	100/15
M_{10}	300/10	MH_4	300/6	ML_8	400/5
M_{11}	300/10	MH_5	300/6	ML_9	5/5
M_{12}	1200/10	MH_6	200/5	ML_{10}	5/15
M_{13}	600/10	MH_7	250/15	ML_{11}	15/15
M_{14}	200/5	MH_8	700/6		

第八节 低失调 MOS 运放

长期以来,集成电路设计人员在工艺技术、电路设计方面作不懈的努力,试图解决集成运放在失调、漂移等方面存在的问题。通常, MOS 集成运放的失调与漂移均比双极型集成运放来得大;但是,经过合理的电路设计和版图设计,并且采用新工艺(如离子注入工艺)之后,可以将 MOS 集成运放的失调控制在 10 毫伏之内,达到双极型集成运放的水平。然而,这种 MOS 集成运放作为弱信号放大、高精度测量放大、积分器和高分辨率比较器等还存在一些问题,其主要原因是这种 MOS 集成运放的失调、漂移还太大。为此,人们致力于研究具有良好直流特性的放大器。80 年代初,美国 Intersil 公司研制了用全 MOS 技术设计的动态校零 CMOS 运放 ICL7650,其失调为 1 微伏,温度漂移为 0.01 微伏/℃,开环增益达 130 分贝,共模抑制比为 130 分贝。可以这样说,动态校零的 CMOS 运放 ICL7650,在直流特性方面已经接近于“理想”运放,从而使集成运放进入了第四代,并确立了 MOS 运放在模拟集成电路中的重要地位。

本节将介绍动态校零 CMOS 集成运放 ICL7650 的设计思想,并给出电路结构,同时将要介绍目前在低失调 MOS 集成运放中所采用的失调电压自动校零技术。

(一) 动态校零 CMOS 运放 ICL7650 的工作原理

ICL7650 的设计思想,实际上是吸取传统的双通道放大器所具有的低失调、低温漂的优点,同时又从电路结构上加以改进,克服传统电路的缺点,使电路适合于单片集成。这种所谓第四代运放设计思想的核心,是利用时钟脉冲控制整个电路,使其分为两个阶段进行工作,第一阶段为放大器误差检测与寄存,第二阶段为校零与放大,从而实现低失调与低温漂。

1. ICL7650 的工作原理

图 3.8-1a 示出了 ICL 7650 的方框原理图。

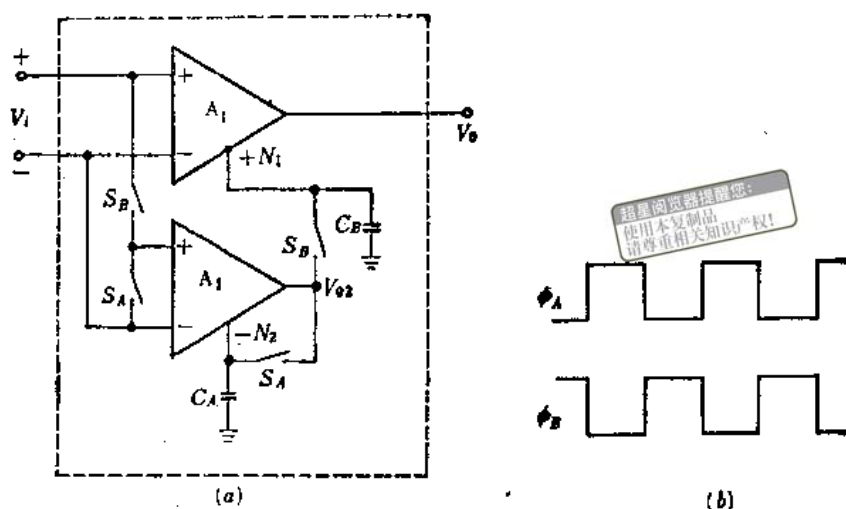


图 3.8-1 ICL 7650 的方框原理图和双相时钟信号

A_1 为主放大器,它用来放大输入信号,并输出经它放大后的信号,这个放大器具有较宽的频带和较强的负载能力。 A_1 不仅具有普通运放那样的两个同相与反相输入端;同时还另外设置了一个第三输入端 N_1 ,其作用与同相输入端相同,若从 N_1 加入信号,将会在输出端得到经 A_1 放大后的同相信号。

A_2 为调零放大器;它用来降低主放大器 A_1 的失调电压,不直接对外输出信号,仅作为一种辅助放大器使用。这个电路除有普通运放两个输入端外,与 A_1 一样,也有第三个输入端 N_2 , N_2 是倒相输入端,即 N_2 加入的信号经 A_2 放大后反相出现在 A_2 的输出端。

开关 S_A 、 S_B 由 MOS 器件构成的模拟开关,它由双相时钟信号控制(图 3.8-1b)。若双端时钟信号分为 A 相位、 B 相位时钟信号,当 A 相位为高电平时,开关 S_A 接通,开关 S_B 断开;当 B 相位为高电平时,开关 S_B 接通,开关 S_A 断开。时钟信号由电路内部产生,也可从外部加入。

C_A 、 C_B 是外接电容,它起寄存失调电压的作用。

现在我们简要介绍图 3.8-1a 电路的工作原理。

当双相时钟信号的 A 相位处于高电平时,开关 S_A 闭合,开关 S_B 断开。从图可知,这一阶段(称第一阶段), A_2 的输入端闭合,其输出电压只与 A_2 的失调电压有关。在第三个输入端 N_2 则与输出直接连接成全反馈,这时,电容 C_A 寄存了 A_2 放大器的失调电压。当双相时钟信号的 B 相位处于高电平时,开关 S_B 闭合,开关 S_A 断开,此时为第二工作阶段。从图可知, A_2 的差分输入端接入了输入信号 V_i ,由于 A_2 放大器失调电压的存在,它与输入信号一起放大,并送到 A_2 的输出端;与此同时,电容 C_A 寄存的 A_2 失调电压也通过第三输入端 N_2 进行放大。由于 A_2 的差分输入端的等效失调电压对输出端的贡献与 N_2 端的 A_2 的失调电压对输出端贡献正好相消(大小相等,极性相反),因而在 A_2 输出端的信号只与输入信号 V_i 有关,与 A_2 的失调电压无关,也就是说,由于第一阶段的工作结果,在第二阶段时 A_2 的输出无失调电压成分,即失调已被调零。

再看放大器 A_1 的工作情况,此时 A_1 不仅放大差分输入端的输入信号,而且还放大 A_1 的

失调电压;与此同时, A_2 输出端的信号加到 A_1 放大器的 N_1 端, 因而 A_1 输出端得到三部分信号, 其中两部分与输入信号有关, 一部分与 A_1 的失调电压有关, 与输入信号 V_i 有关的成分大于失调电压成分, 这样使放大器的失调电压大大降低。

超星阅读器提醒您：
使用本复制品，
请尊重相关知识产权！

2. ICL 7650 的输出电压与输入信号、失调电压的关系。

为了便于分析, 我们作如下四点假设:

(1) A_{01} 和 A_{02} 分别为主放大器 A_1 和调零放大器 A_2 的放大倍数(从差分输入端输入到输出端);

(2) A'_{01} 和 A'_{02} 分别为从 N_1 和 N_2 作为输入端时放大器 A_1 和 A_2 的放大倍数;

(3) V_{os1} 和 V_{os2} 分别为 A_1 和 A_2 等效在输入端的失调电压;

(4) 暂不考虑共模抑制比(CMRR)对放大器的影响。

时钟的第一阶段: 开关 S_A 闭合, 开关 S_B 断开, 调零放大器 A_2 输入电压 $V_i = 0$, 此时 A_2 的输出电压 V_{o2} 由下式表示:

$$V_{o2} = A_{02}V_{os2} - A'_{02}V_{o2},$$

化简后得

$$V_{o2} = \frac{A_{02}}{1 + A'_{02}} V_{os2} \approx \frac{A_{02}}{A'_{02}} V_{os2}. \quad (3.8-1)$$

此时, A_2 的输出电压 V_{o2} 全部寄存在电容 C_A 中, 即电容 C_A 的电压 V_{cA} 为

$$V_{cA} = \frac{A_{02}}{A'_{02}} V_{os2}. \quad (3.8-2)$$

时钟的第二阶段: 开关 S_B 闭合, 开关 S_A 断开, 输入信号 V_i 分二个通路进行放大, 一部分从 A_1 输入端输入进行放大, 这也说明 A_1 对输入信号是连续放大的。输入信号的另一部分被加到 A_2 进行放大, 此时, A_2 的输出电压 V'_{o2} 由下式给出:

$$V'_{o2} = A_{02}(V_{os2} + V_i). \quad (3.8-3)$$

由于 S_A 断开, 上半周期充入电容 C_A 中的失调电压 V_{os2} 又从调零输入端 N_2 进入 A_2 进行放大, 这部分的输出电压 V''_{o2} 为

$$\begin{aligned} V''_{o2} &= -A'_{02}V_{cA} \\ &= -A'_{02} \frac{A_{02}}{A'_{02}} V_{os2} \\ &= -A_{02}V_{os2}. \end{aligned} \quad (3.8-4)$$

以上两部分输出电压在 A_2 输出端的贡献为

$$\begin{aligned} V_{o2} &= A_{02}(V_{os2} + V_i) - A_{02}V_{os2} \\ &= A_{02}V_i, \end{aligned} \quad (3.8-5)$$

上述 A_2 的输出电压寄存在电容 C_B 中, 同时也被加到 A_1 的同相输入端 N_1 进行放大, 此时主放大器 A_1 的输出电压 V_o 可表示为

$$\begin{aligned} V_o &= A_{01}(V_i + V_{o2}) + A'_{01}V_{o2} \\ &= A_{01}(V_i + V_{o2}) + A'_{01}A_{02}V_i \\ &= (A_{01} + A'_{01}A_{02})V_i + A_{01}V_{o2}, \end{aligned} \quad (3.8-6)$$

式中 $(A_{01} + A'_{01}A_{02})$ 为整个放大器的增益, 而 $A_{01}V_{o2}$ 为失调电压的误差项, 该误差项折合到输入端的失调电压 V_{os} 为

$$V_{os} = \frac{A_{01}V_{os1}}{A_{01} + A'_{01}A_{02}}$$

由于 $A_{01} \approx A'_{01}$, 所以

$$V_{os} \approx \frac{V_{os1}}{1 + A_{02}} \approx \frac{V_{os1}}{A_{02}}$$

超星阅读器提醒您：
使用超星阅读器
请至 (3.8-7)

由上式可知, 电路的失调电压 V_{os} 是将 A_1 放大器的失调电压缩小了 A_{02} 倍。只要使调零放大器 A_2 有足够大的增益, 那么失调电压 V_{os} 就很小。例如: V_{os1} 为 10 毫伏, 而调零放大器的增益 $A_{02} = 10000$ 倍, 则失调电压 V_{os} 只有 1 微伏。

由 (3.8-6) 式可知, 电路的开环电压增益是很高的, 可达 130 分贝左右。

若考虑共模抑制比的影响, 那么, 通过计算, 图 3.8-1a 电路的共模抑制比为

$$CMRR = CMRR_1 A_{02},$$

式中 $CMRR_1$ 为 A_1 放大器的共模抑制比。

因此, 图 3.8-1a 电路的共模抑制比是 A_1 放大器共模抑制比的 A_{02} 倍。若 $CMRR_1 = 60$ 分贝, $A_{02} = 70$ 分贝, 则电路的共模抑制比 $CMRR$ 为 130 分贝。

综上所述, ICL 7650 集成运放是具有高增益、高共模抑制比、低失调和低漂移的高性能运放。

3. ICL 7650 中的放大器的具体电路

图 3.8-1a 电路中的 A_1 和 A_2 放大器, 其具体电路如图 3.8-2 所示。

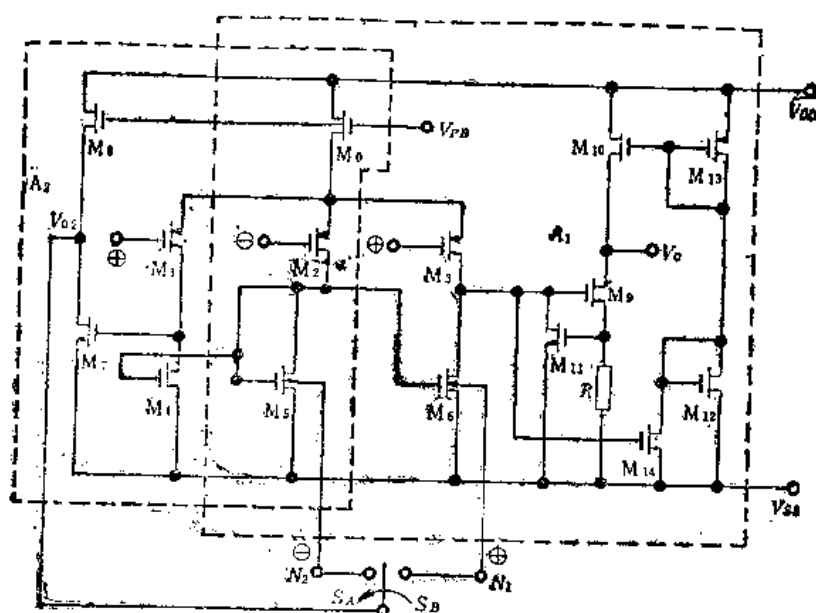


图 3.8-2 ICL 7650 中的 A_1 和 A_2 放大器的具体电路

调零放大器 A_2 由 M_1 、 M_2 、 M_4 、 M_5 、 M_7 和 M_8 组成, 其中 M_1 、 M_2 为输入级差分对管, M_4 、 M_5 为差分放大器的有源负载, M_7 、 M_8 为输出级电路。主放大器 A_1 由 M_2 、 M_3 、 M_5 、 M_6 和 $M_9 \sim M_{14}$ 组成, 其中 M_2 、 M_3 为输入级差分对管, M_4 、 M_5 为 M_2 、 M_3 的有源负载, $M_9 \sim M_{14}$ 为推挽式输出级电路。由图可知, M_2 的栅极作为二个放大器共用的反相输入端。

从图上又可看出, 调零放大器 A_2 的 N_2 输入端是 M_6 的衬底(背栅), 通常衬底电位与源极相连, 或低于源极电压, 这里, M_6 的衬底是浮置的, 并作为控制栅, 它的电压略高于源极电

压。当 N_2 端输入一个正电压,由于衬底调制效应,使 M_1 管的阈值电压减小,因 M_1 电流不变,则 M_1 的 V_{GS} 电压减小, M_1 的电流减小,从而使 M_7 的电流增大,输出 V_{o2} 下降,因此 N_2 是属于反相输入端。主放大器 A_1 的 N_1 端是 M_6 的衬底(背栅)。同样分析可知, N_1 是同相输入端。顺便指出,利用衬底作为控制栅极这是 ICL 7650 的比较新颖的设计方法,使电路结构简化。ICL 7650 的主要参数如表 3.8-1 所示。

表 3.8-1 ICL 7650 主要参数表

输入失调电压	± 1 微伏
失调的温漂	0.01 微伏/ $^{\circ}\text{C}$
输入偏流	2 皮安($T_A = +25^{\circ}\text{C}$)
输入失调电流	0.5 皮安
输入阻抗	10^{12} 欧姆
开环电压增益	130 分贝
共模抑制比	130 分贝
电源抑制比	130 分贝
单位增益带宽	2 兆赫
转换速率	2.5 伏/微秒
静态电流	2.0 毫安

(二) MOS 运放的自动调零技术

1. 自动调零的一般方法

在 MOS 模拟大规模集成电路中,作为主要部件的 MOS 运放,其电路结构越简单越好,以减小芯片的面积;但一般的 MOS 运放其失调电压都较大,约 10~20 毫伏,这样限制了它的使用范围。为了减低一般结构的 MOS 运放失调和漂移,我们可采用便于集成的自动调零技术,具体阐述如下。

图 3.8-3 电路是失调电压自动调零的 MOS 放大器电路原理图。放大器 A 为差分输入、差分输出的 MOS 放大器,开关 $S_1 \sim S_4$ 由 MOS 器件构成的模拟开关,电容 C_{S1} 、 C_{S2} 是用来寄存放大器的失调电压。该电路工作分两个阶段,第一阶段,开关 $S_1 \sim S_4$ 闭合,输入为零,输出电压(即失调电压)寄存在电容 C_{S1} 和 C_{S2} 上,这个阶段称为失调调零阶段;第二阶段,开关 $S_1 \sim S_4$ 断开,输入信号经 A 放大后在输出端输出,假如输出端的阻抗很高,那么寄存在电容 C_{S1} 、 C_{S2} 上的失调电压继续保持,而输出端的信号仅仅是输入信号经 A 放大后的信号,这样消除了放大器的失调电压,这个阶段称为测量阶段。上述两个阶段分别由节拍脉冲来进行控制。

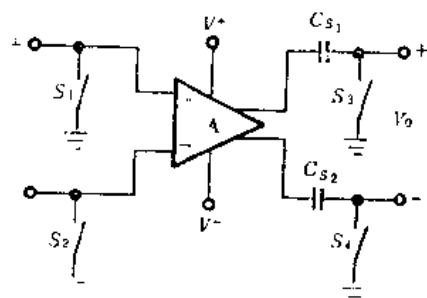


图 3.8-3 自动调零的差分放大器

采用自动调零技术的二级 MOS 差分放大器如图 3.8-4 所示。开关 $S_1 \sim S_3$ 闭合时,第一级差分放大器输出的失调电压寄存在电容 C_{S1} 、 C_{S2} 上,这时第二级输出电压仅仅是第二级的失调电压;当开关 $S_1 \sim S_3$ 断开时,输入信号经第一级、第二级放大后到输出端,由于这一阶段

寄存在电容 C_{S1} 、 C_{S1} 上的失调电压保持不变,这样,第一级差分放大器的失调电压对第二级差分放大器不产生影响,即消去了第一级的失调电压,使二级差分放大器的总失调大大减小。设第一级增益为 A_1 、失调电压为 V_{os1} ,第二级增益为 A_2 、失调电压为 V_{os2} ,那么输出电压 V_o 可写为

$$V_o = A_1 A_2 V_i + A_2 V_{os1},$$

由上式可知,等效到输入端的失调电压 V_{os} 为

$$V_{os} = \frac{A_2 V_{os1}}{A_1 A_2} = \frac{V_{os1}}{A_1}, \quad (3.8-9)$$

显然,放大器的失调电压是将第二级失调电压减小 A_1 倍。增大第一级的增益 A_1 ,使放大器的失调电压

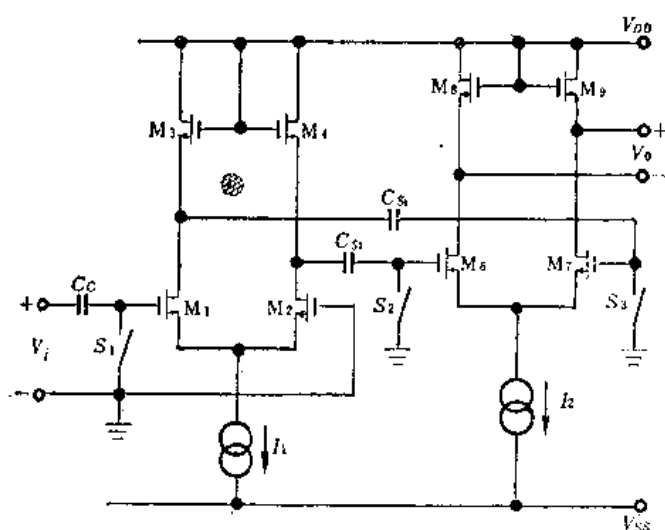


图 3.8-4 对应于图 3.8-3 的实际电路

减小。

图 3.8-5 表示自动调零的 MOS 运放电路,图中运放正向输入端的电压为运放的失调电压。 S_1 闭合, S_2 断开时,电容 C_1 两端的电压为 $V_1 - V_{os}$;当 S_1 断开, S_2 闭合时,输入端信号电压 V_1 变为 V_2 ,而电容 C_1 的二端电压不能变化,因此运放负向输入端的电压为 $V_2 - V_1 + V_{os}$,根据运放输入与输出的关系式可得。

$$\begin{aligned} V_o &= -A(V_2 - V_1 + V_{os} - V_{os}) \\ &= -A(V_2 - V_1), \end{aligned} \quad (3.8-10)$$

上式表明,运放输出端电压与失调电压无关,只与输入信号的差值有关,因此图 3.8-5 电路是自动调零的差分放大器。由图可知,若将 V_1 输入端接地,构成倒相放大;若将 V_2 输入端接地,构成同相放大。通常图 3.8-5 电路可作为比较器使用。

2. 利用开关电容电路的调零技术

近年来,由 MOS 运放、MOS 开关以及 MOS 电容组成的开关电容电路有了迅速的发展,成为当今 MOS 大规模模拟集成电路的主要电路形式之一。开关电容电路可以方便地采用失调自动调零技术,组成低失调的各种放大器、比较器和积分器。

图 3.8-6 电路是具有失调调零的闭环差分放大器,其工作原理如下:

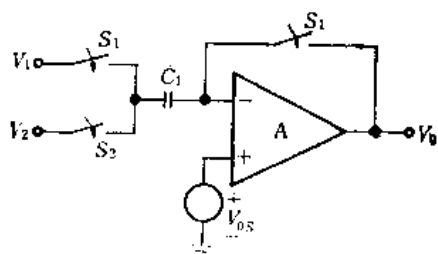


图 3.8-5 自动调零的 MOS 运放电路

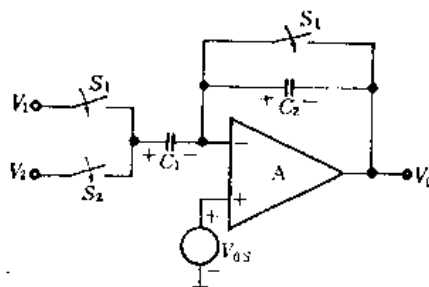


图 3.8-6 失调调零的差分放大器

当开关 S_1 闭合, S_2 断开的时候,电容 C_1 两端的电压为 $V_{C1} = V_1 - V_{os}$;当开关 S_1 断开,

S_2 闭合时, 电容 C_1 两端的电压由 $V_1 - V_{os}$ 变至 $V_2 - V_{os}$, 电容 C_2 两端的电压为 $V_{c_2} = V_{os} - V_0$ 。根据电荷守恒原理, 得如下电荷方程式:

$$C_1(V_2 - V_{os}) - C_1(V_1 - V_{os}) = C_2(V_{os} - V_0)$$

上式经整理得

$$V_0 = -\frac{C_1}{C_2}(V_2 - V_1) + V_{os} \quad (3.8-11)$$

上式表明, 增益决定于 C_1 与 C_2 的比值。为获得一定增益, 可选取 C_1/C_2 的比值。将运放的失调电压 V_{os} 除以 C_1/C_2 , 即为放大器的失调电压。

图 3.8-6 电路的缺点是失调电压不能全部消除, 为克服这一不足之处, 在图 3.8-6 的基础上作些改进, 可将失调电压全部消除, 其电路形式如图 3.8-7 所示。其工作原理简述如下。

当开关 S_1 闭合、而开关 S_2 断开的时候, 电容 C_1 两端的电压 $V_{c_1} = V_1 - V_{os}$, 电容 C_2 两端的电压 $V_{c_2} = V_{os}$; 当开关 S_1 断开、 S_2 闭合的时候, 电容 C_1 两端的电压 V_{c_1} 由 $V_1 - V_{os}$ 变为 $V_2 - V_{os}$, 电容 C_2 两端的电压 V_{c_2} 由 V_{os} 变为 $V_{os} - V_0$ 。根据电荷守恒原理, 可以得到如下电荷方程式:

$$C_1(V_2 - V_{os}) - C_1(V_1 - V_{os}) = C_2(V_{os} - V_0) - C_2V_{os},$$

将上式整理得

$$V_0 = -\frac{C_1}{C_2}(V_2 - V_1), \quad (3.8-12)$$

(3.8-12) 式表明, 输出电压与运放的失调电压无关。

由于图 3.8-7 电路消除了失调, 因此它的失调调零方式在开关电容电路中应用得十分广泛。图中的开关通常由 MOS 开关构成, 其实际电路如图 3.8-8 所示。图中 n 沟 MOS 管构成模拟开关, ϕ_1 与 ϕ_2 为双相时钟信号, 当 ϕ_1 为高电平时 (ϕ_2 为低电平) M_1 、 M_3 、 M_5 管导通, M_2 、 M_4 截止; 当 ϕ_2 为高电平时 (ϕ_1 为低电平) M_2 、 M_4 导通, M_1 、 M_3 和 M_5 管截止。

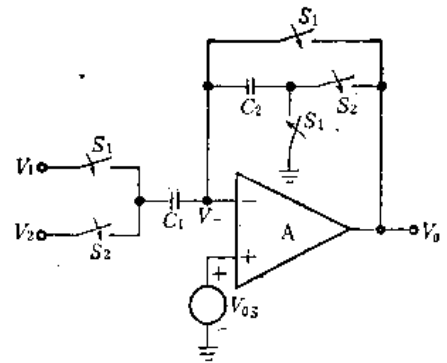


图 3.8-7 图 3.8-6 电路的改进形式

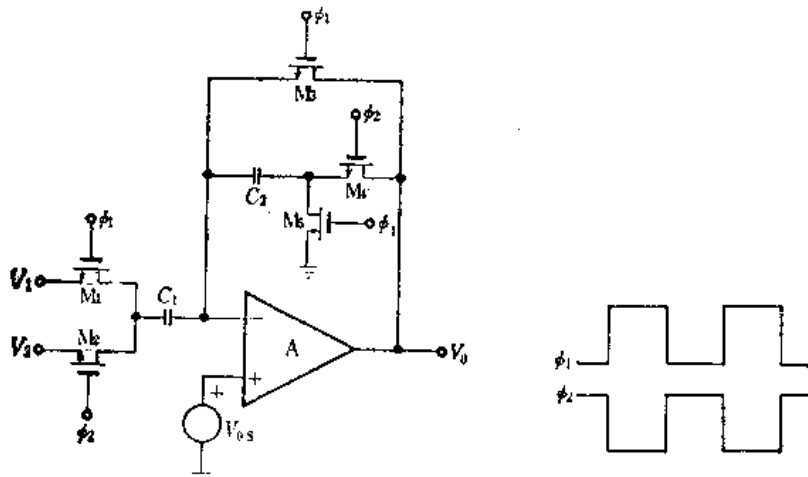


图 3.8-8 对应于图 3.8-7 的实际电路图

第九节 CMOS 电压比较器

电压比较器在电路结构、电性能等方面与运放基本相同,而其符号表示也与运放完全一致,即有同相和反相二个输入端,一个输出端,开环增益用 A 表示。电压比较器的功能是比较两个模拟输入信号的大小,并在输出端得到高电平或低电平。若用 V_+ 和 V_- 分别表示同相输入端和反相输入端电压,那么对于理想的电压比较器,其特性可表示为:当 V_+ 大于 V_- 时,它的输出是高电平;当 V_- 大于 V_+ 时,它的输出为低电平。图 3.9-1a、b 分别表示电压比较器的符号和理想电压比较器的传输特性。

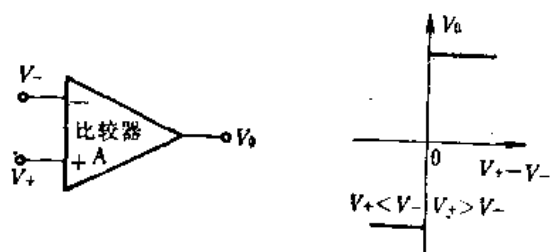


图 3.9-1 电压比较器和它的传输特性

实际上,电压比较器的输出端由低电平转换到高电平时,或从高电平转换到低电平时,需要一定的时间(决定电压比较器的瞬态响应),其次由于电压比较器的增益是有限的,并且存在失调电压,因此它的输入端将出现不确定电压,该不确定电压将直接影响电压比较器的灵敏度(对输入端电压判别的灵敏度)。电压比较器的开环增益 A 越高,失调电压越小,则其不确定电压越小,即灵敏度越高。对于高性能电压比较器来说,应具有高的开环增益 A 、低的失调电压和高的压摆率。显然,一般的运放也可以作为电压比较器之用。但在运放电路设计时,着重考虑其输出与输入之间的线性传输特性以及频率补偿的稳定性,因此,运放的响应时间和延迟时间往往很大,开环增益不是很高。若需要高速或高灵敏度的电压比较器,采用运放来代替通常是不适宜的,我们可根据要求,对电压比较器进行设计。在设计电压比较器时,其直流特性的设计原则基本上与运放电路一致,而频率特性的设计与运放电路不同。通常电压比较器在开环条件下工作,因此在电路内部不需要考虑放大器闭环稳定工作的频率补偿。由于 MOS 型差分放大器的固有缺点是它的输入失调电压较大,用它直接构成电压比较器电路时,比较器的输入不确定区就很大,比较器的灵敏度降低,因此,在 MOS 电压比较器电路设计时应注意减小其输入失调电压。

集成电压比较器与集成运放一样,用途十分广泛,在模数转换器等模拟集成电路中电压比较器是不可缺少的主要部件。用 CMOS 技术,利用第二章介绍过的各种单元电路以及本章上一节的失调电压自动调零技术可以设计出性能较好的电压比较器。本节介绍几种 CMOS 电压比较器的设计方法。

(一) 单片 CMOS 电压比较器

1. 工作原理

图 3.9-2 所示的电路是 CMOS 电压比较器 5G14574 电路原理图。

5G14574 电压比较器与常用的两级运放相比,增加了两级反相器,并去掉了内部的补偿电容。由图可知,它为四级放大。第一级为差分输入级,将双端变单端输出,两只 n 沟 MOS 管作电流源负载。第二级除提高增益外,在设计方面还要保证静态时其输出电压在电源电压的中点,以保证后级 CMOS 倒相器偏置在高增益区。第三、四级为偏置在高增益区的 CMOS 倒

相器。根据电路参数和工艺参数并经实际测试,本电路的开环增益 A 约为 $10 \sim 20$ 万倍。

5G14574 电压比较器包含四个相同单元的全 MOS 电压比较器,简称四比较器。它的偏置电流 I_b 由外接偏置电阻 R_b 决定。偏置电流的大小将直接影响电路的上升时间和延迟时间,增大偏置电流可加快上升时间并缩短延迟时间,但电路的功耗增大。

本电路在使用时,通常将差分输入级一端接基准电压 V_R ,另一端接被测电压 V_x ;根据对输出极性的要求, V_x 接在同相输入端或反相输入端。当 $V_x > V_R$ 时或 $V_x < V_R$ 时,输出状态翻转。从原理上讲,若无电压失调,则根据本电路的电压增益,其灵敏度可达 $50 \sim 100$ 微伏。由于电路本身存在着随时间漂移、随温度漂移的失调电压,该失调电压约 ± 10 毫伏,因此,要检测毫伏以下的微弱信号是很困难的。

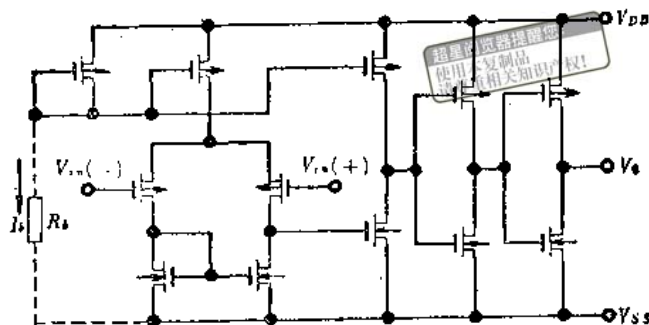


图 3.9-2 CMOS 电压比较器 5G14574

2. 电路的主要特点

根据电路结构,CMOS 电压比较器 5G14574 的主要特点是:

- (1) 能与 CMOS 逻辑电路兼容,无需电平转换。
- (2) 功耗低,偏置电流 $I_b = 10$ 微安时,四只比较器总的静态电流只有 100 微安。
- (3) 高压摆率,在 $V_{DD} = 10$ 伏, $I_b = 50$ 微安, $C_L = 50$ 皮法时,上升时间 t_r 与下降时间 t_f 约为 100 纳秒,此时压摆率为 100 伏/微秒。
- (4) 输入阻抗高,一般均大于 10^8 欧姆。
- (5) 由于采用 CMOS 反相器作输出级,所以能达到满幅度输出,高电平 $V_{OH} = V_{DD}$, 低电平 $V_{OL} = V_{SS}$ 。
- (6) 单、双电源均可工作。
- (7) 外接偏置电阻 R_b , 偏置电流可灵活设定。
- (8) 失调电压较大,通常约 10 毫伏左右,如果需要检测毫伏以下的微小信号,必须采取补偿措施,可根据电路失调电压 V_{OS} 的大小和极性,事先在基准电压扣除一个 V_{OS} 电压。

5G14574 电压比较器的主要参数如表 3.9-1 所示。

表 3.9-1 5G14574 电路的主要参数

参数名称	符号	单位	测试条件	参数值
输入共模电压	V_{ICM}	伏(直流)	$I_b = 100$ 微安	7
"0" 电平	V_{OL}	伏		0.1
"1" 电平	V_{OH}	伏		9.9
输入失调电压	V_{OS}	毫伏	$I_b = 50$ 微安	≤ 50
输入偏置电流	I_{ib}	纳安		10
静态电流	I_{DD}	毫安	$R_A = 100$ 千欧	2
输出驱动电流	I_{OH}	毫安	$V_{OH} = 9.5$ 伏	1
	I_{OL}	毫安	$V_{OL} = 0.5$ 伏	1
开环增益	A	分贝	$I_b = 50$ 毫安	96

(续表)

参数名称	符号	单位	试测条件	参数值
输出上升时间	t_r	纳秒	$I_b=50$ 微安 $C_L=50$ 皮法	100
输出下降时间	t_f	纳秒	$I_b=50$ 微安 $C_L=50$ 皮法	100
输出延迟时间	t_{PLH}^*	纳秒	$I_b=50$ 微安 $C_L=50$ 皮法	≤ 1000
	t_{PHL}^{**}	纳秒	$I_b=50$ 微安 $C_L=50$ 皮法	≤ 1000

* t_{PLH} 是输出电平从低电平转换到高电平时的延迟时间。** t_{PHL} 是输出电平从高电平转换到低电平时的延迟时间。

(二) 具有失调自动补偿的电压比较器

为提高电压比较器的灵敏度,可采用上一节介绍的失调自动调零技术,其电路形式如图 3.9-3 所示,该电路同本章第八节图 3.8-5 电路相似,其失调自动调零原理已作了说明,图 3.9-3 的电路是低失调电压比较器电路。下面简要介绍该电压比较器的工作原理。图中 V_R 为基准电压, V_i 为输入信号电压。电路的工作状态可由双相时钟信号控制。第一种工作状态,当开关 S_1 闭合,而 S_2 断开的时候,电压比较器处于输出零电位状态,同时基准电压 V_R 向电容 C 充电,使 V_R 电压寄存在电容 C 上,即电容 C 的两端电压 $V_C=V_R$; 第二工作状态,当开关 S_1 断开,而 S_2 闭合的时候,电路进入比较状态,电压比较器处于放大状态,由于电容 C 失去充电回路(放大器输入阻抗很高),电容 C 两端的电荷不能变化,因此放大器的反相输入端的电位 V_- 为 V_i-V_R , 输出电压 V_o 为

$$V_o = -A(V_i - V_R),$$

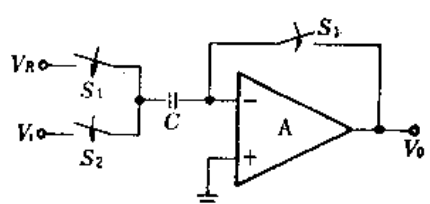


图 3.9-3 失调自动补偿的电压比较器

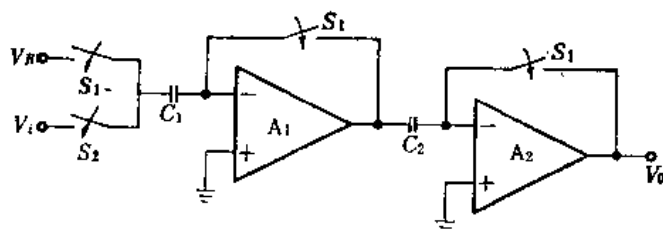


图 3.9-4 失调自动补偿的高增益电压比较器

只要 A 足够大,且 $V_i > V_R$ 时,则 V_o 为低电平;当 $V_i < V_R$ 时, V_o 为高电平,从而完成了输入信号 V_i 与基准电压 V_R 比较的功能。为了提高电压比较器的增益,可采用图 3.9-4 的电路结构,其增益为 $A_1 A_2$ 。

为了获得低失调、高速率的电压比较器电路,图 3.9-4 中的 A_1 和 A_2 放大器采用高速率、结构简单的 CMOS 倒相放大器,其电路形式如图 3.9-5 所示。它用在高速模数转换器中。

另一种高速电压比较器如图 3.9-6 所示。它由三部分组成, 1. 高速前置差分放大器 ($M_1 \sim M_4$); 2. 失调电压消除电路的开关 ($S_1 \sim S_4$) 和电容 (C_1, C_2); 3. 正反馈放大电路 ($M_5 \sim M_8$)。该电路分两种工作状态, 第一种工作状态, 开关 S_1, S_2 将输入端短路, 而 S_3, S_4 接通, 此时输入级失调电压寄存在电容 C_1, C_2 上; 第二种工作状态, 开关 S_1 和 S_2 分别与输入信号相接, 开关 S_3, S_4 断开, $M_5 \sim M_8$ 构成正反馈放大器, 此时失调电压已消除, 输入信号经输入级放大后到正反馈放大器 ($M_5 \sim M_8$) 进行比较, 比较后输出高电平或低电平。

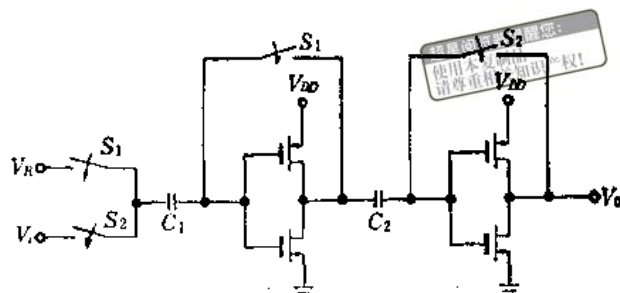


图 3.9-5 失调调零的高速比较器

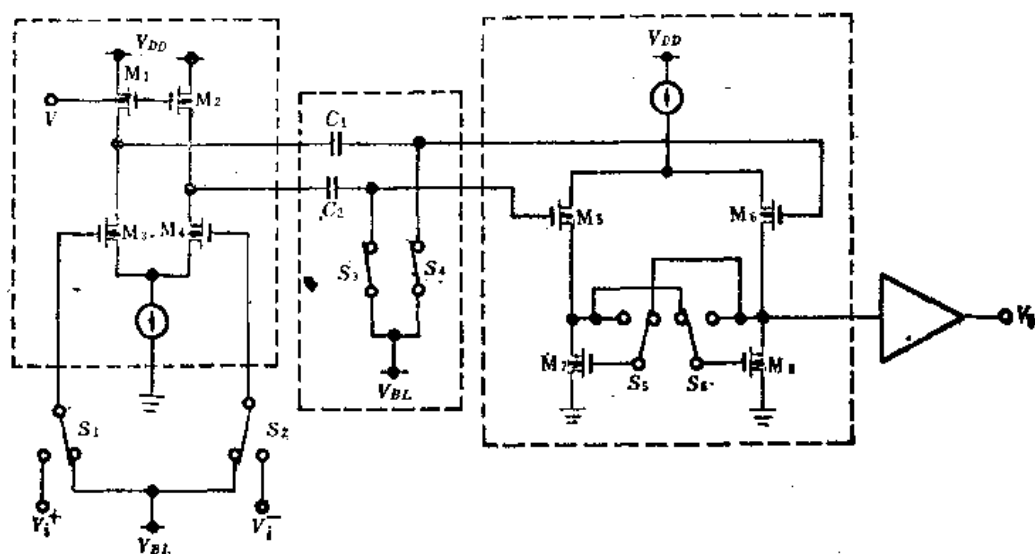


图 3.9-6 失调调零的高速比较器

第十节 NMOS 运放

从电路性能来说, 单沟 NMOS 运放比 CMOS 运放差。因为它缺少互补器件, 电路形式也较复杂。但是, 由于 NMOS 电路的速度与集成度均比 CMOS 电路水平高, 因此, 在 LSIMOS 模拟集成电路中, 它是很有吸引力的。特别是当 MOS 模拟电路中包含了电荷转换器件时, 通常采用 NMOS 工艺来实现。实际上, 首次出现的全 MOS 运放电路就是 NMOS 类型的运放。NMOS 运放与 CMOS 运放相比, 它有下列不同之处:

(1) NMOS 的单级共源放大或差分放大与 CMOS 电路相比, 其增益较低。为了提高 NMOS 放大器的电压增益, 采用一些特殊电路, 使电路结构较为复杂。

(2) 为了保证零输入零输出, NMOS 运放一定要有电平位移电路。而 CMOS 运放的电平位移靠器件的互补性能来实现, 没有专门的电平位移电路。从这一点来说, NMOS 运放的电路结构比较复杂。

(3) 为提高 NMOS 运放的输出性能, 输出级电路采用特殊的电路形式, 它比 CMOS 互

补输出电路复杂。

(4) CMOS 运放的直流电平配置比较简单,而 NMOS 运放的直流电平配置比较困难,因此在设计 NMOS 运放时,其工作点的设置是很重要的。

下面先对 NMOS 运放中的一些特殊电路作些说明,然后介绍两种不同类型的 NMOS 运放。

(一) NMOS 运放中的特殊电路

1. NMOS 单级放大器

由第二章讨论可知,耗尽型负载的 NMOS 放大器,其电压增益比增强型负载时有所提高。但即使这样,耗尽型负载的 NMOS 放大器,其电压增益仍比 CMOS 放大器低。在大多数情况下,它的增益值约为 30~100。从电路设计的角度来说,可以采用附加的注入电流、提高放大管跨导的方法来提高耗尽型负载 NMOS 放大器的电压增益。

这种方案的电路原理图如图 3.10-1a 所示,图中的 M_1 、 M_2 构成共源-共栅的串接放大器, M_2 是有源负载, M_1 的部分漏电流由电流源 I 注入,这样,流过 M_1 的电流增加,其跨导增大。当 M_1 跨导提高的同时,并没有增加 M_2 、 M_3 中的电流,此时 M_2 、 M_3 仍工作在饱和区,其等效输出电阻保持不变。因此, M_1 跨导增加的倍数决定了放大器的电压增益所增加的倍数。

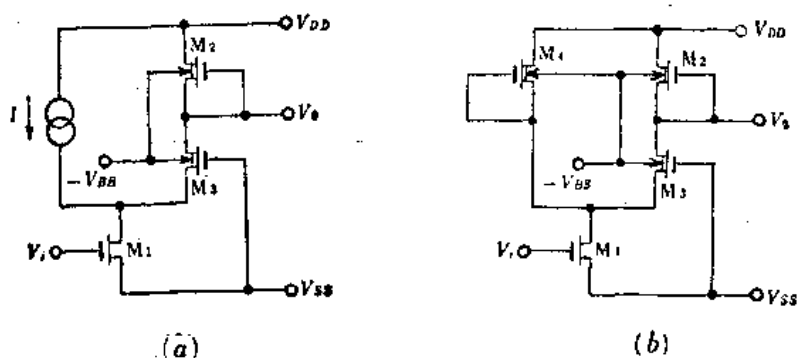


图 3.10-1 提高耗尽型负载的 NMOS 放大器的电压增益原理图 and 实际线路图

图 3.10-1b 中是一个具体的电路结构,其中以 GS 短接的耗尽型 NMOS 管 M_4 代替电流源 I ,由于 M_1 、 M_2 的电流不相同,跨导值也不相同,这时电路的电压增益为

$$A_v = -\frac{g_{m1}}{g_{m2}} = -\frac{2}{\gamma} \sqrt{S_R} \sqrt{\frac{I_{d1}}{I_{d2}} (V_0 + V_{BB} + 2\Phi_f)}, \quad (3.10-1)$$

式中 S_R 为 M_1 、 M_2 的宽长比之比; I_{d1} 、 I_{d2} 分别为 M_1 、 M_2 的漏极电流。与第二章 (2.4-10) 式相比,增益提高的倍数为 $(I_{d1}/I_{d2})^{1/2}$ 。在 E/DNMOS 运放中,共源放大电路通常采用图 3.10-1b 的电路结构以提高运放增益。

2. 电平位移电路

(1) 高阻抗电平位移电路

图 3.10-2 是高阻抗电平转移电路,在实现电平转移的同时,也实现了双端-单端的转换。其 M_1 、 M_2 为源极跟随器, M_3 、 M_4 为电流源电路。这种电平转移电路的输入端和输出端的阻抗均很高。根据等效电路可求得差分增益小于 1。

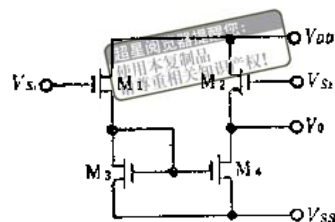


图 3.10-2 高阻抗电平转移电路

运放电路设计时,为了保证有足够的电压增益,它必须包含有两个增益级。当在两个增益级之间插入一级上述的电平转移级时,由于电平转移级的输出和输入端都是高阻抗特性,因而,这种结构的运放电路必定包含有三个高阻抗节点。即电平转移级的输入、输出节点以及第二增益级的输出节点。电路中高阻抗节点数越多,其极点数越多,电路的相位补偿将变得更困难。此时电路的相位余量减小,闭环后可能出现振铃或高频振荡,这是高阻抗电平转移电路的一个缺点。

(2) 低阻抗电平转移电路

低阻抗电平转移级的特性犹如一个电压源,它相当于图 3.10-3 中的电池 V 。图中 M_3 、 M_4 为电流源电路,实现双端-单端的转换。这时输入级的输出端相当于低阻抗节点。从运放整体电路来说,这种电平转移电路便于实现相位补偿。这里的关键是要产生一个浮动的电压源,它们能跟踪电源电压以及器件参数的离散变化,以保证前级电路有较大的正向共模输入电压范围和较好的电源电压抑制特性,可实现上述方案的最简单的电平转移电路是一个连接成二极管形式的 MOS 管,如图 3.10-4a 所示。但是,它的特性很不理想,为了保证 MOS 管两端有足够大的电压降,必须把它的宽长比设计得很小,因此,它的输出电阻很大,其特性曲线如图 3.10-4b 所示。

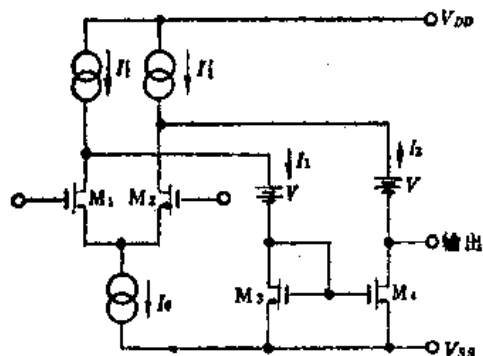


图 3.10-3 低阻抗电平转移的原理图

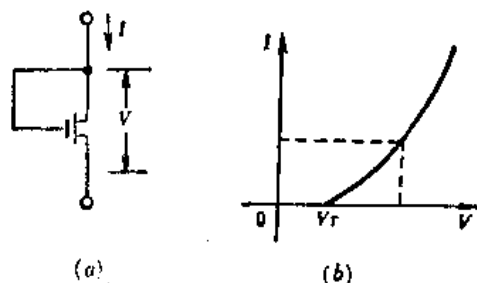


图 3.10-4 MOS 二极管作电平转移电路及其特性曲线

为了能得到低阻抗的浮动电压源,可以采用如图 3.10-5a 所示的并联反馈电路。在该电路中,当电压 V 超过电压 V_x 时, M_2 导通。这里 V_x 为

$$V_x = V_{GS1} + V_{T1}, \quad (3.10-2)$$

图中的 I_0 是恒流源,它决定了 M_1 的 V_{GS1} 。由 MOS 管的电流-电压关系式可知, V_{GS1} 为

$$V_{GS1} = \sqrt{\frac{2I_0}{\beta_1}} + V_{T1}. \quad (3.10-3)$$

因此

$$V_x = V_{T1} + V_{T1} + \sqrt{\frac{2I_0}{\beta_1}}. \quad (3.10-4)$$

将

$$V = V_{GS1} + V_{GS1}$$

代入 M_2 的电流关系式中, 可得

$$I = \frac{\beta_2}{2} (V_{GS_2} - V_{T_2})^2 = \frac{\beta_2}{2} [V - (V_{GS_1} + V_{T_1})]^2.$$

将 (3.10-2) 式代入上式, 则有

$$I = \frac{\beta_2}{2} (V - V_x)^2. \quad (3.10-5)$$

上式表明, 图 3.10-5a 中的电路特性相当于一个等效的二极管连接的 MOS 管, 只是它的阈值电压是 V_x , 它由 (3.10-4) 式决定。显然, 该电路的输出电导为

$$\frac{dI}{dV} = \sqrt{2I\beta_2} = g_{m_1}, \quad (3.10-6)$$

即它的输出电导是等效 MOS 管的跨导。由于该电路的输出电压 V 是 M_1 、 M_2 的 GS 电压之和, 它不要求 V_{GS_1} 很大, 因而 M_2 的宽长比可以设计得较大, 即它的跨导较大, 故其等效输出电阻很小, 该等效 MOS 二极管的 $V-I$ 曲线的斜率较陡, 如图 3.10-5b 所示。该电路中 M_1 的

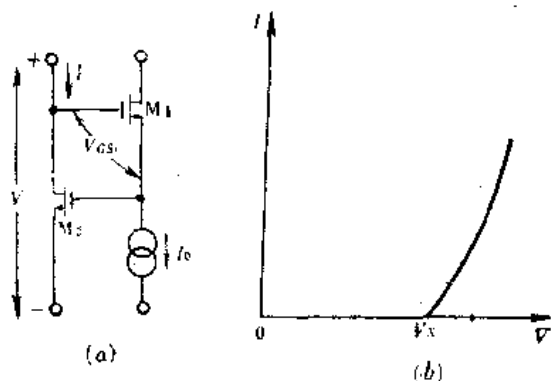


图 3.10-5 低阻抗电平位移的原理图及其特性曲线

跨导设计得很小, 以获得较大的 V_{GS_1} 。

【例】3.10-5a 图中的参数为

$$\frac{W_1}{L_1} = \frac{8}{100}, \quad \frac{W_2}{L_2} = \frac{120}{10}, \quad \mu C_{ox} = 20 \text{ 微安/伏}^2,$$

$V_{T_1} = V_{T_2} = 1$ 伏, 而 $I_0 = 20$ 微安, 利用 (3.10-4) 式得

$$V_x = 7.0 \text{ 伏}.$$

当 $V = 9$ 伏时, 由 (3.10-6) 式得输出阻抗为

$$R_o = \frac{1}{g_{m_1}} = 2.1 \text{ 千欧}.$$

3. 输出级电路

在 NMOS 电路中, 低输出阻抗的输出级常采用并联负反馈形式的电路, 如图 3.10-6 所示。这种电路的输出阻抗低, 同时具有很好的频率特性, 因此, 在运放电路应用中不会严重影响其相位余量。实际上该电路可看成图 3.10-7 的结构。其中第一级是跨导放大器, 第二级是跨阻放大器, 故电路的总增益 A_v 为

$$A_v = -g_m R_o.$$

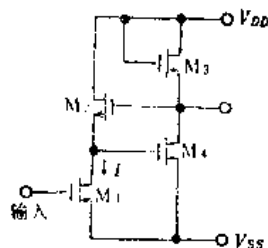


图 3.10-6 并联负反馈形式的输出级电路

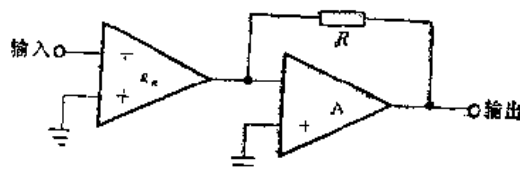


图 3.10-7 对应于图 3.10-6 的结构图

在图 3.10-6 中,跨导放大器由 M_1 形成,跨阻放大器由 $M_2 \sim M_4$ 的负反馈放大器组成,根据等效电路,在忽略电路的衬底效应情况下,其电压增益 A_V 为

$$A_V = \frac{g_{m1} g_{m4}}{g_{m1}} \frac{1}{g_{m1} + g_{m4}},$$

而电路的输出电阻为

$$R_o = \frac{1}{g_{m1} + g_{m4}}.$$

该电路的正向电压摆幅可达到 $V_{DD} - V_{Tn}$,而负向电压摆幅略小些。

图 3.10-8 所示的输出级电路是图 3.10-6 电路的改进形式,它保持了输出阻抗低的优点,并从甲类放大变为甲、乙类推挽放大,使输出能力增强,其电路的电压增益近似为 1。

该电路的管子参数可这样选取, M_1 和 M_2 、 M_3 和 M_4 取相同的宽长比,例如取

$$\frac{W_1}{L_1} = \frac{W_2}{L_2} = \frac{8 \text{ 微米}}{80 \text{ 微米}}, \quad \frac{W_3}{L_3} = \frac{W_4}{L_4} = \frac{60 \text{ 微米}}{8 \text{ 微米}}.$$

这样,在静态条件下, $I_{D1} = I_{D4}$, $V_{GS1} = V_{DS1}$, $V_{GS2} = V_{GS1}$,从而使输入电压 V_i 等于输出电压 V_o 。当 V_i 为正向电压时, M_6 管电流增大,与此同时, M_4 管因电流增大,使其漏极电压下降,即

M_5 管的栅极电位下降, M_5 管电流减小,从而使输出电流增大,在输出端的负载上得到正向电压;当 V_i 为负向电压时, M_6 管电流减小, M_5 管电流增大,在输出端的负载电阻上得到负向电压。因此图 3.10-8 电路是甲、乙类推挽式输出级电路。

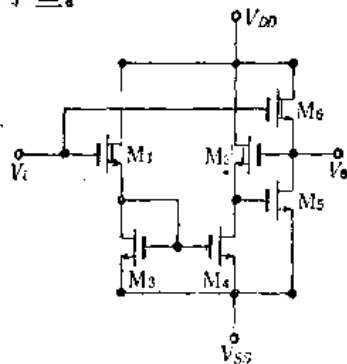


图 3.10-8 对应于图 3.10-6 电路的改进形式

(二) NMOS 运放典型电路介绍

1. 全增强型 NMOS 运放

全增强型 NMOS 运放如图 3.10-9 所示。

$M_5 \sim M_{10}$ 构成输入级差分电路,其增益约 5 倍; M_4 、 M_6 、 M_{11} 和 M_{12} 为电平位移电路,增

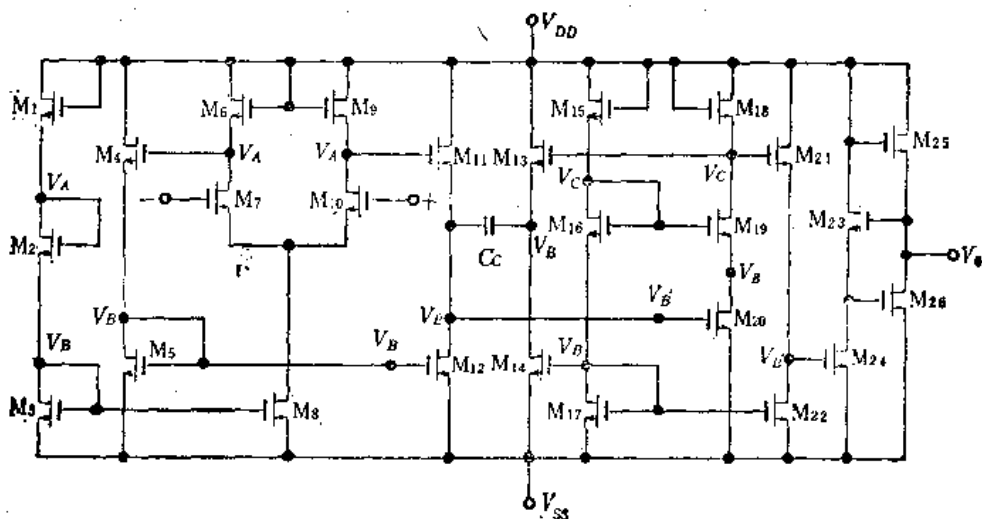


图 3.10-9 全增强型 NMOS 运放

超星网路资源推荐
使用本产品
请妥善保管好版权!

益约 0.95 倍; $M_{13} \sim M_{23}$ 组成串级放大和输出级驱动电路, 采用串级放大是为了减少 M_{23} 栅极的密勒电容, 以改善频率响应, 这一级的增益等于 $g_{m_{13}}/g_{m_{11}}$, 约为 11 倍; $M_{23} \sim M_{24}$ 构成输出级电路, 其形式如图 3.10-6 所示, 增益为 6.6 倍。综上所述, 该电路的总增益约 345 倍。 M_1 、 M_2 、 M_3 和 M_{15} 、 M_{16} 、 M_{17} 构成偏置电路, 决定了电路的工作点。 M_{13} 和 C_c 组成相位补偿电路。要使电路正常工作, 该电路的所有 MOS 器件均处在饱和区。为实现这一要求, 各管子的宽长比应有如下关系(为简单起见, 管子的宽长比定为 S)。

我们使 $S_8=S_9=S_{11}$, 这样 $I_8=I_9=I_{11}$, 因此 $I_1/2$ 电流流过 M_5 和 M_{11} , S_5 与 S_{11} 关系为 $S_5=S_9=S_{11}/2$, 因此 $V_{GS_5}=V_{GS_9}=V_{GS_{11}}$, 有 $V_{GS_5}+V_{GS_9}=V_{GS_5}+V_{GS_{11}}$, 选取 $S_2/S_3=S_4/S_5=S_{11}/S_{12}$ 得 $V_{GS_2}=V_{GS_4}=V_{GS_{11}}$ 以及 $V_{GS_8}=V_{GS_9}=V_{GS_{11}}$, 因此 $V_{DG_{11}}=0$, $V_{DS_{12}}=V_{GS_{11}}=V_{GS_5}$, M_{12} 工作在饱和区。

在 M_{15} 、 M_{16} 、 M_{17} 分压电路里, 选取 $S_{16}=S_{17}$, 并使 $V_{GS_{17}}=V_{GS_{15}}$ 。要使 M_{15} 和 M_{20} 工作在饱和区, 应有 $S_{19}/S_{16}=S_{20}/S_{17}$, $S_{18}/S_{16}=S_{18}/S_{19}$ 。工作点 V_A 、 V_B 和 V_C 如图中所示。设计时, 流过 M_1 、 M_2 和 M_3 的电流为 100 微安, $V_A=8$ 伏, $V_B=-11.5$ 伏, $V_C=-7$ 伏, 取 MOS 管的阈值电压 $V_T=2$ 伏。图中各 MOS 器件的宽长比如表 3.10-1 所示。

表 3.10-1 对应于图 3.10-9 电路中各管的宽长比 W/L

器件	W (微米)	L (微米)	器件	W (微米)	L (微米)	器件	W (微米)	L (微米)
M_1	84	24	M_{10}	432	12	M_{19}	210	12
M_2	12	276	M_{11}	12	99	M_{20}	210	12
M_3	84	24	M_{12}	990	12	M_{21}	144	12
M_4	12	99	M_{13}	138	12	M_{22}	295	12
M_5	90	12	M_{14}	132	12	M_{23}	18	26
M_6	42	24	M_{15}	12	194	M_{24}	366	12
M_7	432	12	M_{16}	54	12	M_{25}	31	40
M_8	84	24	M_{17}	54	12	M_{26}	486	24
M_9	42	24	M_{18}	12	55			

该电路的主要参数如表 3.10-2 所示。

表 3.10-2 对应于图 3.10-9 电路的主要参数(测试 $V_{DD}=15$ 伏, $V_{SS}=-15$ 伏)

开环增益	50 分贝
共模抑制比	70 分贝
单位增益带宽	5 兆赫
转换速率	± 7 伏/微秒
电源抑制比	4.5 毫伏/伏
输入噪声电压(10 赫兹~10 千赫)	60 微伏
静态电流	5 毫安

2. 增强-耗尽型 NMOS 运放

图 3.10-10 是一个用于 LSI MOS 模拟集成电路中的 NMOS 运放, 它采用标准的 n 沟硅栅增强-耗尽 MOS 工艺制成。该运放提供了较好的性能, 开环直流增益约为 1000, 共模抑制比约为 75 分贝。对于 1 千欧负载, 输出电压有效值可达 1 伏(± 5 伏电源电压时)。当电容负载为 20 皮法, 输出幅度为 1 伏时, 1% 精度的建立时间约 2 微秒。

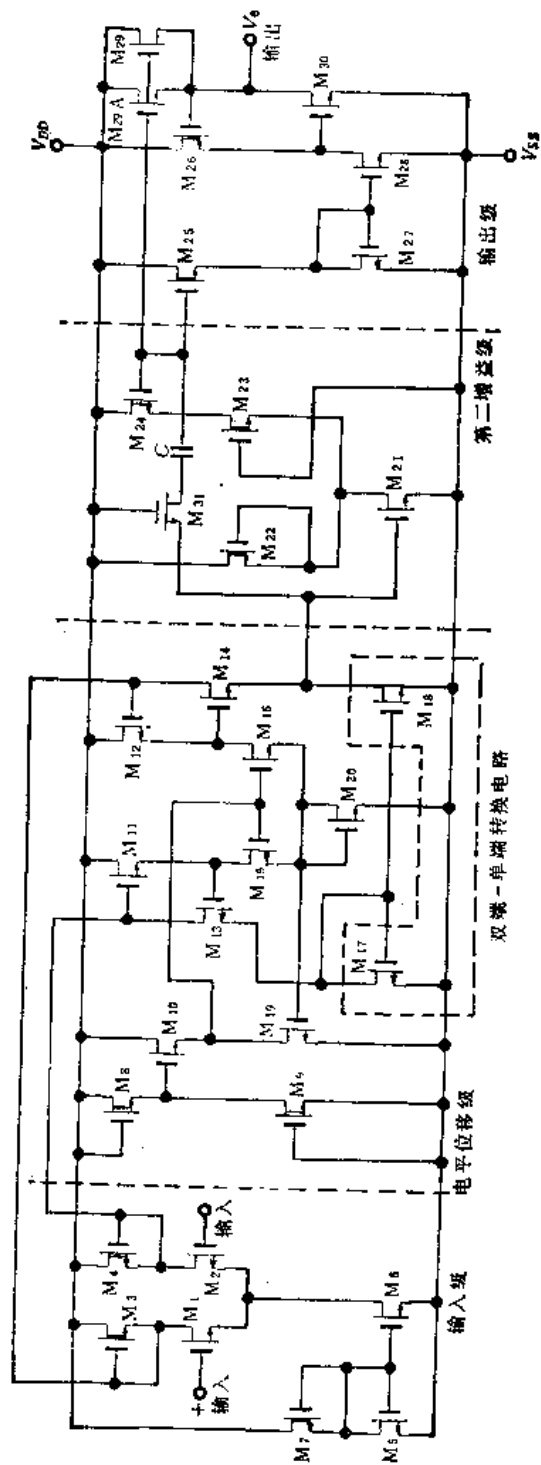


图 3.10-10 E/D MOS 运放

请认真阅读本手册：
使用本手册前，
请尊重相关知识产权！

该电路由输入级、电平位移级(包括双端-单端转换电路)、第二增益级及输出级组成。这里的输出级是具有单位电压增益的负反馈电路。因此从增益角度来说,该电路是由两级增益级组成。这与通用型运放的情况相同。

(1) 电路说明

电路的输入级及电平位移级结构图如图 3.10-11 所示。它们构成一个跨导放大器。输入级由 $M_1 \sim M_7$ 组成。 M_3 、 M_4 是耗尽型有源负载。 M_5 、 M_6 为输入级的偏置电路。 M_5 、 M_6 是电流源,它们的电流决定于 M_7 、 M_5 构成的偏置电路。该运放的输入级采用双端输出形式,以使电路有较好的共模抑制性能。

此运放的电平位移级是低阻抗型的,其具体电路由图 3.10-10 中 $M_8 \sim M_{20}$ 构成。为便于讨论,将这部分电路画于图 3.10-12。图中 M_{11} 、 M_{13} 及 M_{12} 、 M_{14} 分别组成并联反馈的等

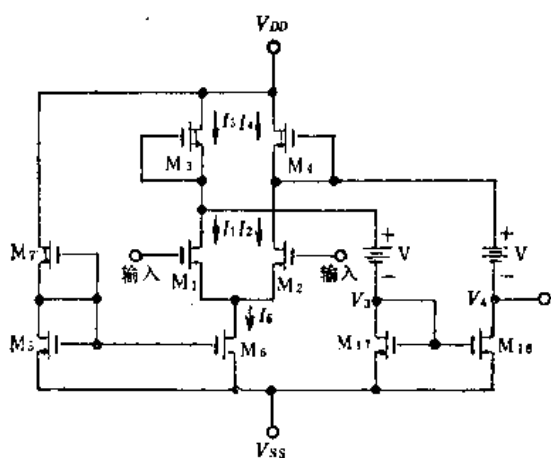


图 3.10-11 对应于图 3.10-10 电路中的电平位移原理图

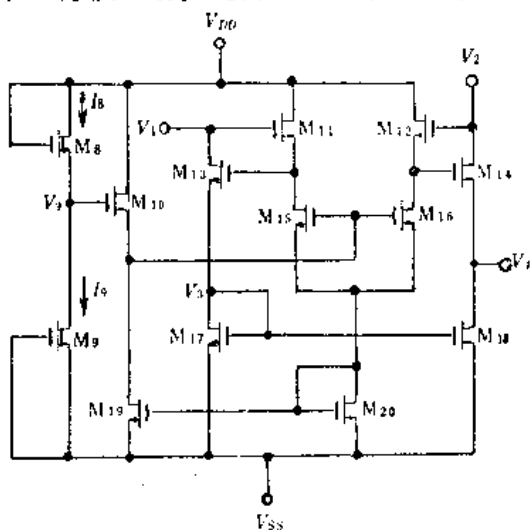


图 3.10-12 对应于图 3.10-11 的实际线路图

效二极管。 M_{13} 、 M_{14} 的漏源电压就是电平位移所需要的电压,即图 3.10-11 中的电池电压 V 。它们源极所接的 M_{17} 、 M_{18} 构成电流源电路,以实现第一级输出电流的双端-单端的转换。 M_{15} 、 M_{16} 对管分别提供两个等效二极管的电流,此电流相当于图 3.10-5a 中的电流源 I_0 。而 M_{15} 、 M_{16} 的电流是由 M_{20} 偏置的。 M_{19} 、 M_{20} 又是一个电流源电路, M_{19} 偏置 M_{20} 的电流, M_{19} 的电流由 M_{10} 决定。 M_8 、 M_9 组成该级的总偏置电路。此电平位移级中的偏置电路结构复杂,其目的是使 M_{11} 、 M_{12} 的栅极电压与 V_0 相等。由图 3.10-12 可以看到, V_1 、 V_2 是输入级差分对管 M_1 、 M_2 的漏极电压。该电压的大小直接决定了运放正向共模输入电压范围。为了增加此共模电压范围,电压 V_1 、 V_2 应尽量接近正电源电压。在这里, M_3 、 M_4 进入线性区的条件是

$$\begin{cases} V_1 \leq V_{DD} - |V_{T1}| \\ V_2 \leq V_{DD} - |V_{T1}| \end{cases}$$

在图 3.10-10 中(参看图 3.10-11 和图 3.10-12),整个偏置电路的目的就是使

$$V_1 = V_2 = V_0 \leq V_{DD} - |V_{T1}|,$$

以保证电路有最大的共模输入电压范围。 V_0 是用 M_8 、 M_9 来偏置的。由图可知: $V_0 = V_{DD} - V_{GS8}$, 现在的问题是如何使 V_1 、 V_2 与 V_0 相等。

在图 3.10-10 电路设计时,使 M_{10} 、 M_{11} 、 M_{12} 沟道的宽长比相等。而电流源 M_{19} 、 M_{20} 的宽长比设计值满足:

$$\frac{W_{20}}{L_{20}} = 2 \frac{W_{19}}{L_{19}},$$

因此, M_{20} 的电流为 M_{19} (即 M_{10}) 电流的两倍。 M_{15} 、 M_{18} 是对管, M_{15} (M_{11}) 中的电流以及 M_{11} (M_{13}) 中的电流就与 M_{10} 中电流相等。结果必然使 M_{10} 、 M_{11} 、 M_{12} 有相同的 V_{GS} , M_{10} 、 M_{11} 、 M_{12} 沟道的宽长比都设计得小于 1, 而 $M_{13} \sim M_{20}$ 的宽长比都很大, 所以, 前者的栅源电压比后者要大得多。因此, 可近似认为 M_{15} 、 M_{18} 的漏极电压与 M_{19} 的漏极电压相等。由此可见, V_1 、 V_2 与 V_0 近似相等。上述等效二极管的交流等效电阻 $1/g_{m15}$ ($1/g_{m18}$) 在此处约为 6 千欧。

运放的第二增益级由 $M_{21} \sim M_{24}$ 组成, 这里用注入电流方法提高放大管 M_{21} 的跨导, 从而提高第二级的增益。其电路形式与图 3.10-1b 中完全一样。电路中电容 C 为频率补偿用。

运放的输出级由 $M_{25} \sim M_{30}$ 组成, 其电路形式与图 3.10-8 相同。它工作在甲乙类状态, 其输出级输出电阻约为 800 欧姆。

该运放的频率特性主要取决于第二级。密勒补偿电容 C 确定了电路的主极点。它的设计值为 8 皮法。为了减小电容 C 的前馈影响, 提高第二级的级增益, 在电路设计中要尽量增加 M_{21} 的跨导。在电路中, 利用 M_{31} 和电容 C 产生的零点来补偿该电路的第二极点, 以改善整个电路高频时的幅频特性和相位余量。

此运放电路各器件尺寸设计值及电流值见表 3.10-3。其中, M_3 、 M_4 沟道的宽度与长度值均较大, 这是从减小运放的 $1/f$ 噪声来考虑的。表中 E 为增强型器件, D 为耗尽型器件。电路制作采用 NMOS 硅栅工艺。电路主要参数值见表 3.10-4。

表 3.10-3 对应于图 3.10-10 电路中各管的宽长比 W/L 与工作电流

器件编号	宽/长 (微米/微米)	电流 (微安)	器件编号	宽/长 (微米/微米)	电流 (微安)	器件编号	宽/长 (微米/微米)	电流 (微安)
$M_1(M_2)E$	120/10	16.0	$M_{13}(M_{14})E$	120/10	40.1	$M_{25}D$	8/80	33.6
$M_3(M_4)D$	30/36	56.1	$M_{15}(M_{16})E$	120/10	19.4	$M_{26}D$	8/80	34.2
M_5E	120/14	28.1	$M_{17}(M_{18})E$	120/10	40.1	$M_{27}E$	60/8	33.7
M_6E	120/14	32.1	$M_{19}E$	120/10	23.2	$M_{28}E$	60/8	34.3
M_7D	30/100	28.1	$M_{20}E$	240/10	38.8	$M_{29A}D$	85/8	150.0
M_8D	10/70	27.7	$M_{21}E$	657/10	254.7	$M_{29B}E$	24/12	0.0
M_9D	10/35	27.7	$M_{23}D$	30/20	158.9	$M_{30}E$	200/8	150.0
$M_{10}E$	8/100	23.2	$M_{24}D$	30/27	95.9	$M_{31}D$	8/10	0.0
$M_{11}(M_{12})E$	8/100	19.4						

表 3.10-4 对应于图 3.10-10 电路的主要参数

参数项	参数值 (电源电压 ± 5 伏)	参数项	参数值 (电源电压 ± 5 伏)
开环直流电压增益	1000	相位余量	80 度
输入失调电压	<15 毫伏	转换速率	± 2.2 伏/微秒
共模电压范围	± 3.5 伏	输入噪声 (2.5 赫兹~46 千赫)	25 微伏(有效值)
共模抑制比	75 分贝	建立时间 0.1% (1 伏)	2.5 微秒
单位增益带宽	3 兆赫	功 耗	10 毫瓦

前面讨论的 NMOS 运放,其电压增益较低。近年来,已研制出高性能、高增益 NMOS 运放,电压增益达 40000 倍。读者若有兴趣,可参看文献[19]。

第十一节 MOS 运放的计算机辅助分析

对于设计好的 MOS 运放,其中的元件参数、电源及交流激励情况已经确定。为了考核设计的正确性,我们往往希望通过电路分析了解电路的一些工作特性,如直流工作点、频率响应、瞬态响应、功耗、灵敏度等等。以前对于分立元件电路,这类分析都是通过实验方法完成的,因为实验的结果要比人工估算可靠得多。然而,在集成电路的设计与制造中,无法在投片前对电路作实际测试,相似结构的分立元件电路又不能与集成电路完全等效,因而,必须寻求新的电路分析方法。

随着计算机应用的迅速普及,一种与集成电路相适应的新的电路分析手段——计算机辅助电路分析(简称机辅分析)方法应运而生。到目前为止,各种电路分析程序已难以计数。由于每个分析程序所分析的电路规模、器件模型及计算精度各不相同,因此,它们所具有的分析功能强弱各异。这里,向读者介绍一种近年来在机辅分析方面应用最广的分析程序——通用电路模拟程序 SPICE 的使用方法。

SPICE 是一个通用电路模拟程序,可用它对电路进行非线性直流分析、非线性瞬态分析和线性交流分析。所分析的电路中,可包括电阻、电容、电感、互感、独立电压源和独立电流源、四种类型的受控源、传输线,以及四种最通用的半导体器件:二极管、双极型晶体管、结型场效应管和 MOS 场效应管。

下面结合 CMOS 运放的模拟,对 SPICE 程序的调用方法作一简单介绍。

(一) SPICE 通用电路模拟程序及使用

SPICE 程序包括以下四个部分

(1) 电路结构描述

即把元件之间的连接方式告诉计算机,等于让计算机读通电路图。SPICE 程序有其特定的电路图输入方式,称为电路描述语句。

(2) 器件模型

包括各种线性和非线性元件,以及激励源。对各种模型 SPICE 由模型语句予以规定。

(3) 计算部分

在考虑运算速度、精度及收敛性的条件下,完成各种分析功能。

(4) 输出打印

按用户指定的输出语句,提供所需要的结果、曲线和表格。

(1) 电路描述

实现机辅分析的首要条件是必须把电路图告诉计算机。电路图中只包含两种信息:元件及它们的连接方式。给电路图上的所有节点标上标号,将元件名、它所连接的节点、元件参数等按以下格式输入。

i. 一般元器件描述语句

(i) 电阻

电阻名必须以 R 开头,可以有八个有效字符,然后填上它所联节点号、元件值,格式如下:

$R \times \times \times \times \times \times \times \times \quad N_1 \quad N_2 \quad VALUE \quad \langle \text{温度 } TC=TC_1 \quad \langle, TC_2 \rangle \rangle$

【例】 $R_1 \quad 3 \quad 5 \quad 200$

$RW_1 \quad 1 \quad 29 \quad 2K \quad TC=0.007, 0.02$

N_1 和 N_2 是电阻两端的节点号,均为正整数。 $VALUE$ 是电阻值,单位:欧姆,其值可正,也可负,但不得为零。 TC_1 和 TC_2 是温度系数(可选项)。若缺省两者均为零。电阻值作为温度的函数由下式给出:

$$VALUE(T) = VALUE(T_0)(1 + TC_1(T - T_0) + TC_2(T - T_0)^2), \quad (3.11-1)$$

式中

$$T_0 = 27^\circ\text{C} = 300\text{K}$$

(ii) 电容

电容以字母 C 开头,一般形式为

$C \times \times \times \times \times \times \times \times \quad N+ \quad N- \quad VALUE \quad \langle IC=INCOND \rangle$

【例】 $C12 \quad 2 \quad 0 \quad 1 \text{ UF}$

$CCROSS \quad 5 \quad 9 \quad 10 \text{ UF} \quad IC=5V$

$N+$ 、 $N-$ 是元件的正负节点号, $VALUE$ 是电容的值, $INCOND$ 为电容上初始电压(可选项),缺省值为零。

(iii) 独立源

电压源以字母 V 开头,电流源以字母 I 开头,一般形式为

$V \times \times \times \times \times \times \times \times \quad N+ \quad N- \quad \langle DC/AC \quad VALUE \rangle$

$I \times \times \times \times \times \times \times \times \quad N+ \quad N- \quad \langle DC/AC \quad VALUE \rangle$

【例】 $VCC \quad 10 \quad 0 \quad DC \quad 7$

$VIN \quad 6 \quad 0 \quad AC \quad 5$

$IS \quad 7 \quad 3 \quad AC \quad 3$

$N+$ 、 $N-$ 分别是正、负节点号,电压源的电流方向定为从正节点流出经源至负节点,电流源的电流方向定为从 $N+$ 节点经源至 $N-$ 节点。直流源加关键字 DC,后跟电源的值,缺省值为零;交流源加关键字 AC,后跟交流小信号的幅度值,缺省值为 1。为了便于电路的瞬态分析,SPICE 还引入了五种独立源函数:脉冲源、正弦源、指数源、分段线性源和单频频率调制源。这里仅介绍运放分析中常用的三种源。格式如下:

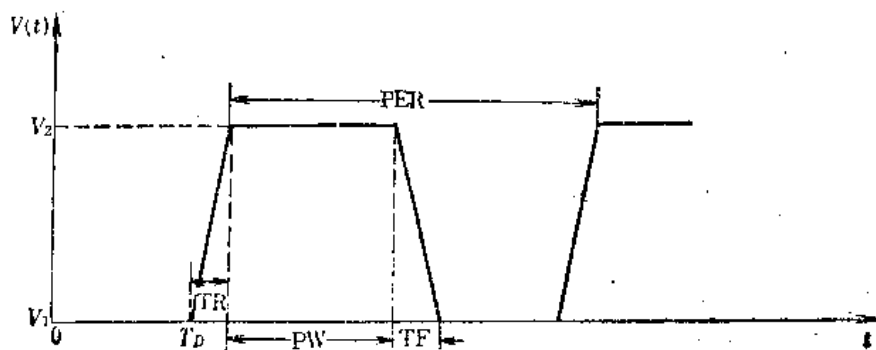


图 3.11-1 脉冲源

(a) 脉冲源

PULSE (V_1 V_2 TD TR TF PW PER)

【例】VIN 10 0 PULSE (-2 2 1NS 1NS 2NS 50NS 100NS)

其中, V_1 : 初始值。 V_2 : 波动值。 TD: 延迟时间, 缺省值为零。 TR: 上升时间。 TF: 下降时间。 PW: 脉冲宽度。 PER: 周期。 脉冲源如图 3.11-1 所示。

(b) 正弦源

SIN (V_0 VA FREQ TD THETA)

【例】VIN 10 0 SIN(0 1 100MEG 1NS 1E10)

其中, V_0 : 偏置。 VA: 幅值。 FREQ: 频率。 TD: 延迟时间, 缺省值为零。 THETA: 阻尼因子, 缺省值为零。 正弦源如图 3.11-2 所示。

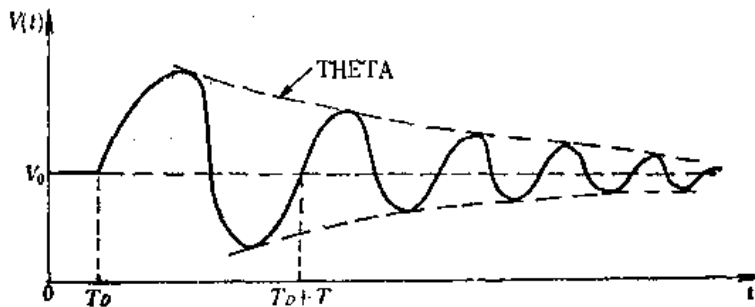


图 3.11-2 正弦源

(c) 分段线性源

PWL (T_1 V_1 T_2 V_2 T_3 V_3 ...)

【例】VCLOCK 12 2 PWL(0 -6 5NS -3 11NS -6)

其中, 每对 (T_i, V_i) 值表明在时间 $TIME = T_i$ 时源的值。中间时刻的源值是对输入值进行线性插值而求得。分段线性源如图 3.11-3 所示。

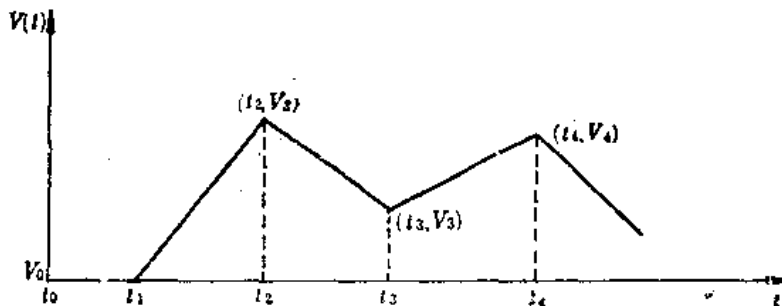


图 3.11-3 分段线性源

除了上述的元件和独立源外, SPICE 还向用户提供了非线性电容、电感、传输线等元件, 以及四种相关源。但由于在集成 CMOS 运放的模拟中不用或不常用, 因此, 这里就不再一一详述了。有兴趣的读者可查阅 SPICE 程序用户指南。

ii. 半导体器件描述语句

SPICE 允许有四种半导体器件: 二极管, 以字母 D 开头; 双极型晶体管, 以字母 Q 开头,

结型场效应晶体管,以字母 J 开头; MOS 场效应晶体管,以字母 M 开头。一般形式如下:

(i) 二极管

$D \times \times \times \times \times \times \times \times \quad N+ \quad N- \quad MNAME \quad \langle IC=VD \rangle$

【例】 DBRIGE 3 10 DIODE2

$N+$ 、 $N-$ 分别是正负节点号, $MNAME$ 是模型名, 模型参数由后面将详述的模型语句确定。 VD 是初始电压, 缺省值为零。

(ii) 双极型晶体管

$Q \times \times \times \times \times \times \times \times \quad N_c \quad N_b \quad N_e \quad \langle N_s \rangle \quad MNAME \quad \langle IC=V_{BE}, V_{CE} \rangle$

【例】 Q21 11 24 18 QMOD $IC=0.6, 0.3$

N_c 、 N_b 、 N_e 分别是集电极、基极和发射极节点, N_s 是衬底, 缺省时衬底接地。 $MNAME$ 是模型名, V_{BE} 、 V_{CE} 分别是初始基-射电压和集-射电压, 缺省值均为零。

(iii) 结型场效应晶体管

$J \times \times \times \times \times \times \times \times \quad N_d \quad N_g \quad N_s \quad MNAME \quad \langle IC=V_{DS}, V_{GS} \rangle$

【例】 J 15 26 3 1 JM1

N_d 、 N_g 、 N_s 分别是漏、栅、源的节点号, $MNAME$ 是模型名, V_{DS} 、 V_{GS} 为初始条件, 缺省值为零。

(iv) MOS 场效应晶体管

$M \times \times \times \times \times \times \times \times \quad N_d \quad N_g \quad N_s \quad N_b \quad MNAME$
 $\langle L=VAL, W=VAL \rangle \quad \langle IC=V_{DS}, V_{GS}, V_{BS} \rangle$

【例】 M1 8 4 5 1 MOD3 $L=5U \quad W=8U$

N_d 、 N_g 、 N_s 和 N_b 分别是漏、栅、源和衬底的节点号。 $MNAME$ 是模型名, L 和 W 分别为沟道的长和宽。 V_{DS} 、 V_{GS} 和 V_{BS} 为初始条件, 缺省值为零。

iii. 模型语句

在器件描述语句中都必须包含有模型名, 但并不给出器件模型参数的具体内容, 这些参数还必须通过模型语句加以说明, 使计算机能调用具体的模型子程序进行运算。多个器件可以使用同一模型。

模型语句的一般形式为:

.MODEL MNAME TYPE $\langle$ 模型参数 $\rangle$

【例】 .MODEL MOD3 PMOS $VTO=-1.5 \quad NSUB=1.0E14 \quad UO=383$

其中, $MNAME$ 是与器件描述语句中一致的模型名, $TYPE$ 是模型的种类。SPICE 给出了七个模型种类。其中 MOS 器件的符号规定为:

NMOS, N 沟 MOS 场效应晶体管模型

PMOS, P 沟 MOS 场效应晶体管模型

模型语句中的模型参数, 是由用户按 SPICE 给出的模型参数表中的符号, 专门设定某些参数的值。对没有设定的模型参数值, SPICE 将采用其隐含值。在下面的表格里列出了 MOS 器件的部分常用参数的含义, 表中“典型值”一栏所列的部分为复旦大学电子工程系集成电路生产线上的工艺参数。

SPICE 提供三种 MOS 场效应晶体管模型 它们的 V-I 特性曲线各不相同。用表 3.11-1 中的变量 LEVEL 指定所用的模型。

表 3.11-1 MOS 器件的部分常用参数

名称	含 义	单位	隐含值	典型值
LEVEL	模型标志	—	1	
VTO	零偏压阈值电压	伏特	0.0	1.0
KP	跨导参数	安培/伏特 ²	2.0E-5	1.65E-0.5
GAMMA	体阈值参数	√伏特	0.0	1.444
PHI	表面势	伏特	0.6	0.704
UO	表面迁移率	厘米 ² /伏特·秒	600	383
LAMBDA	沟道长度调制效应 (仅对 MOS1 和 MOS2)	1/伏特	0.0	0.02
CGSO	每米沟道宽度的 栅-源覆盖电容	法拉/米	0.0	4.0E-11
CGDO	每米沟道宽度的 栅-源覆盖电容	法拉/米	0.0	4.0E-11
CGBO	每米沟道长度的 栅-衬覆盖电容	法拉/米	0.0	2.0E-10
CJ	每平方米结面积的零偏压 衬底结底部电容	法拉/米 ²	0.0	2.0E-4
TOX	氧化层厚度	米	1.0E-7	1.0E-7
NSUB	衬底掺杂	1/厘米 ³	0.0	1.17E+16
TPG	栅材料类型 +1 硅栅, 掺杂和衬底相反 -1 硅栅, 掺杂和衬底相同 0 铝栅			

LEVEL=1 SHICHMAN—HODGES 模型

LEVEL=2 MOS2 模型, 计算 MOS 器件的二阶效应

LEVEL=3 MOS3 模型, 即半经验模型

在 CMOS 运放模拟中, 常采用的是 MOS2 模型。

至此, 利用上述介绍的各种语句, 已可把待分析的电器结构告诉计算机了, 但并未表达用户需要进行模拟的要求。这就必须通过 SPICE 的每种功能调用语句——作业控制语句来实现。

(2) 作业控制语句

i. 直流工作点分析

一般形式: .OP

此项分析时, 电感短路、电容开路, 该语句将使 SPICE 求出电路的直流工作点。如执行瞬态分析及交流分析, 则在分析前将自动进行直流分析, 此语句可省略。

ii. 直流传输特性分析

一般形式: .DC 源名称 起始值 终止值 步长

此语句指定直流传输曲线的源和扫描极限, 这对得到电路的输出特性及动态范围很有用。

【例】 .DC VIN 0.2 5.0 0.25 <VB 0.005 0.8 0.005>

电压源 VIN 从 0.2 伏扫描到 5.0 伏, 每次增量 0.25 伏, 同时作为可选项, 第二个电压源

VB 从 0.005 伏开始每隔 0.005 伏递增至 0.8 伏,对于每个 VB 值,VIN 都扫描一次。

iii. 传递函数

一般形式: .TF 输出量 输入源

【例】 .TF V(6,2) VIN

此语句用以确定直流分析时,小信号输入、输出量的比值、输入阻抗和输出阻抗。例中 SPICE 将计算 $\frac{V(6)-V(2)}{VIN}$, VIN 端输入阻抗及节点 6 与节点 2 之间的输出阻抗。

iv. 交流分析

一般形式: .AC DEC ND 起始频率 终止频率

.AC OTC NO 起始频率 终止频率

.AC LIN N 起始频率 终止频率

其中,DEC 表示数量级变化,ND 表示每十倍频程内所需分析的频率点数。NO 是每八倍频程内所需分析的点数。N 是整个频率范围内等间隔地分析的点数。此语句常用于确定电路的频率响应特性。

v. 瞬态分析

一般形式: .TRAN 步长 终止时间 <起始时间><UIC>

【例】 .TRAN 10NS 1 US 50NS UIC

其中起始时间缺省值为零。可选关键字 UIC 表示用户不要求 SPICE 在瞬态分析开始前求解静态工作点,而采用下述 .IC 语句或元件描述语句的初始条件设置值,计算器件的参数。UIC 缺省时,SPICE 自动先进行直流分析。

vi. 初始条件

一般形式: .IC V(节点号)=... V(节点号)=...

可用此语句设置瞬态初始条件。瞬态分析时,这些电压限制自动消失。

vii. 灵敏度分析

一般形式: .SENS 输出变量表

【例】 .SENS V(9) V(4,3) V(17) I(VCC)

此语句用于确定各指定的输出变量对每个电路参数的直流小信号灵敏度。例中 I(VCC) 是流过独立源 VCC 的电流。

viii. 噪声分析

一般形式: .NOISE 输出电压号 输出独立源名
每十倍频程内计算的点数

【例】 .NOISE V(6) VIN 10

此例表示对输出电压 V(6) 噪声分析,并计算折合到 VIN 的等效输入噪声,每十倍频程内计算 10 点。

ix. 温度设置

一般形式: .TEMP T₁ T₂ ...

SPICE 将在不同温度 (T₁, T₂, ...) 下进行分析。

(3) 输出控制

i. 打印语句

一般形式: .PRINT 分析类型 输出变量表

【例】 .PRINT NOISE INOISE

.PRINT TRAN V(7) I(VIN)

.PRINT AC V(3) VM(4,2) VR(7) VP(8,3)

其中,分析类型可以是 DC、AC、TRAN、SENS 及 NOISE 其中的任一个,而每条输出语句的输出变量表中最多包含八项。SPICE 还允许在 V 或 I 后加上字母 R、I、M、P、DB 分别表示输出电压或电流的实部、虚部、幅度、相位和增益等。另外,噪声分析中 INOISE 与 ONOISE 分别表示输入噪声和输出噪声。

ii 绘图语句

一般形式: .PLOT 分析类型 输出变量表 <范围>

此语句的分析类型及输出变量的表示与 .PRINT 相同,只是在输出变量后面还可加可选的作图范围限制,缺省时 SPICE 将自动换算成合适的比例作图。

【例】 .PLOT TRAN V(5,3) V(4)(0,5) V(7)(0,10)

表示在 0~5 伏范围内绘制 V(5)~V(3) 及 V(4) 的波形,在 0~10 伏范围内绘制 V(7) 的波形。

(4) SPICE 调用中的几项说明

在实际调用 SPICE 程序时,根据上述电路描述语句和控制语句所构成的输入数据文件,还必须在第一行加入一句标题,在最后一行加上结束语句 .END。标题的内容将作为输出的一部分被逐行打印出来。

SPICE 要求各类语句的关键字或参数均用空格符分割,并允许有多个空格存在。如一条语句在一行中写不下时,可在下一行行首加“+”号表示续行。另外,SPICE 还允许在输入数据文件中有注释行,且可出现在标题行后的任何地方,但其行首必须用“*”号标明。

各种语句中的参数均可采用浮点表示,各种符号规定为

$T=10^{12}$, $G=10^9$, $MEG=10^6$, $K=10^3$,

$MIL=25.4 \times 10^{-6}$, $M=10^{-3}$, $U=10^{-6}$, $N=10^{-9}$,

$P=10^{-12}$, $F=10^{-15}$ 。

SPICE 不能输出非独立源支路上的电流,因而要测量连接某一元件的支路电流,可在此支路上接入一零值独立电压源,作“电流表”,输出其电流值,而不影响原来电路的功能。

(二) CMOS 运放分析实例

对一般的运放而言,计算机辅助模拟主要了解以下几项工作特性。

1. 直流工作点分析

此项分析的目的是为了模拟运放直流工作状态,确认电路各工作点是否符合设计要求。通常,把输入端均接地,此时,出现在输出端的电压是由运放的失调所致。直流分析可用 .OP 语句完成。

2. 直流转换特性

用 .DC 语句或 TRAN 语句(用 .TRAN 时,要在输入端加一个上升时间足够长的脉冲源或分段线性源)对整个电压范围进行扫描,以此确定运放的动态范围及共模输入范围。

3. 交流小信号分析

交流小信号分析主要完成运放的频域分析。一般在输入端加一交流小信号(其值足够小,而不致引起输出进入饱和区),并打印输出端电压的幅值及相位,即可得到运放的幅度频率(简称幅频)特性和相位频率(简称相频)特性。用 .AC 及 .PRINT 语句完成这项分析。

4. 瞬态分析

把运放倒相输入端与输出端短接,即构成跟随器形式。在同相输入端加上上升时间足够短的一脉冲源或分段线性源,打印输出电压,可获得压摆率、建立时间等瞬态响应参数。瞬态分析由 .TRAN 和 .PRINT 完成。

5. 共模抑制和电源抑制特性

共模抑制比和电源抑制比的测量是交流小信号分析的一部分。在输入端分别加差模和共模小信号,把差模放大倍数与共模放大倍数相除,即为共模抑制比(CMRR)。如把输入端接地,并在正或负电源上叠加一交流小信号,在输出端得到的放大倍数与差模放大倍数相除,就是正或负电源的电源抑制比(PSRR)。遗憾的是,SPICE没有把输出结果进行相除的运算功能。因此,如需绘制CMRR和PSRR曲线,用户只能自己对输出结果进行处理。

下面用两个实例对CMOS运放的模拟作简要的说明。

【例1】 图3.11-4所示的是一个共源共栅型结构的高速CMOS运放。图中管子的宽长比列于表3.11-2。

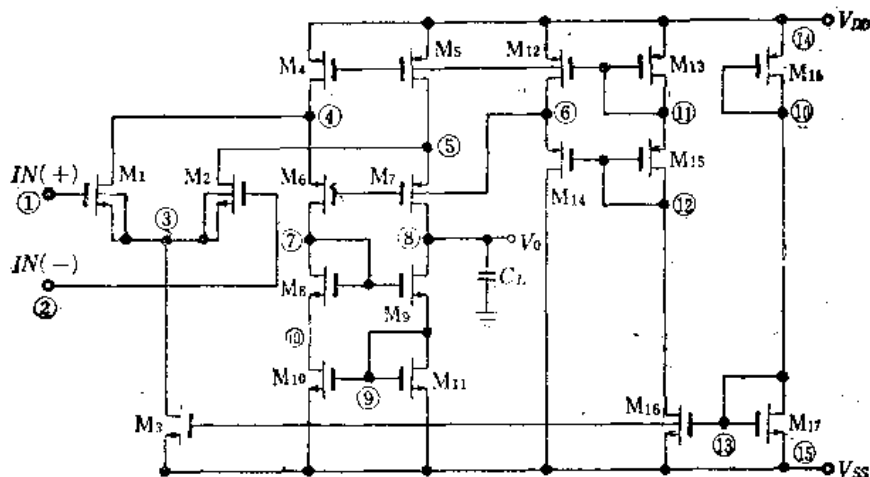


图 3.11-4 高速 CMOS 运放

表 3.11-2 对应于图 3.11-4 电路各管的宽长比 W/L

MOS 器件	宽长比 W/L (W、L 的单位为微米)	MOS 器件	宽长比 W/L (W、L 的单位为微米)
M ₁ , M ₂	180/6	M ₁₂ , M ₁₄ , M ₁₅	16/10
M ₃	94/10	M ₁₃	64/10
M ₄ , M ₅	328/10	M ₁₆	12/8
M ₆ , M ₇	196/6	M ₁₇	8/8
M ₈ , M ₉	70/6	M ₁₈	36/8
M ₁₀ , M ₁₁	70/6		

图 3.11-4 电路交流小信号分析的 SPICE 输入数据文件如下:

HIGH SPEED CMOS OPERATIONAL AMPLIFIER WITH SINGLE OUTPUT TERMINAL

通商贸易提醒您：
使用本复制品
请尊重相关知识产权！

```

M1 4 1 3 3 MOD1 W=180U
M2 5 2 3 3 MOD1 W=180U
M3 3 13 15 15 MOD1 W=94U
M4 4 11 14 14 MOD2 W=328U
M5 5 11 14 14 MOD2 W=328U
M6 7 6 4 14 MOD2 W=196U
M7 8 6 5 14 MOD2 W=196U
M8 7 7 10 15 MOD1 W=70U
M9 8 7 9 15 MOD1 W=70U
M10 10 9 15 15 MOD1 W=70U
M11 9 9 15 15 MOD1 W=70U
M12 6 11 14 14 MOD2 W=16U
M13 11 11 14 14 MOD2 W=64U
M14 15 12 6 14 MOD2 W=16U
M15 12 12 11 14 MOD2 W=16U
M16 12 13 15 15 MOD1 W=12U
M17 13 13 15 15 MOD1 W=8U
M18 13 13 14 14 MOD3 W=8U
.MODEL MOD1 NMOS LEVEL=2 VTO=0.5 NSUB=1.17E16 TOX=0.1U
+CGSO=4E-11 CGDO=4E-11 CGBO=2E-10 UO=383 LAMBDA=0.02
.MODEL MOD2 PMOS LEVEL=2 VTO=-0.5 NSUB=6E14 TOX=0.1U
+CGSO=4E-11 CGDO=4E-11 CGBO=2E-10 UO=180 LAMBDA=0.02
.MODEL MOD3 PMOS LEVEL=2 VTO=-0.5 NSUB=6E14 TOX=0.1U
+CGSO=4E-11 CGDO=4E-11 CGBO=2E-10 UO=180
C 8 0 10PF
V2 2 0 0
VDD 14 0 DC 5
VSS 15 0 DC -5
VIN 1 0 AC 1MV
.AC DEC 10 1 100MEG
.TF V(8) VIN
.PLOT AC VM(8) VP(8)
.END

```

SPICE 规定接地节点编号为零。在上面的模型语句中, 参数“LAMBDA”反应了 MOS 器件的沟道调制效应。通常, 其值是这样凭经验给出的: 当沟道长为 10 微米左右时, LAMBDA 值取 0.02, 而当沟道长小于 6 微米大于 3 微米时, 其值为 0.03。LAMBDA 的缺省值为零。文件中, AC 指定在 1 毫伏小信号输入时, 从 1 赫兹开始至 100 兆赫每十倍频段分析 10 点。

SPICE 在作交流分析前自动进行的直流工作点分析结果(各节点电压)如下:

(1) 0.0000 (2) 0.0000 (3) -1.5451 (4) 3.3680 (5) 3.3680
(6) 1.6587 (7) -0.0049 (8) -0.0049 (9) -3.1134 (10) -3.1134
(11) 2.9756 (12) -0.7417 (13) -1.8948 (14) 5.0000 (15) -5.0000

从中可以看出, 输出节点 8 的电压接近于零, 亦即电路失调电压很小。按 .PLOT 语句要求绘制的相频响应和幅频响应曲线如图 3.11-5 所示。曲线对应的单位增益频率约为 3.2 兆赫, 开环增益为 3.23×10^5 倍。

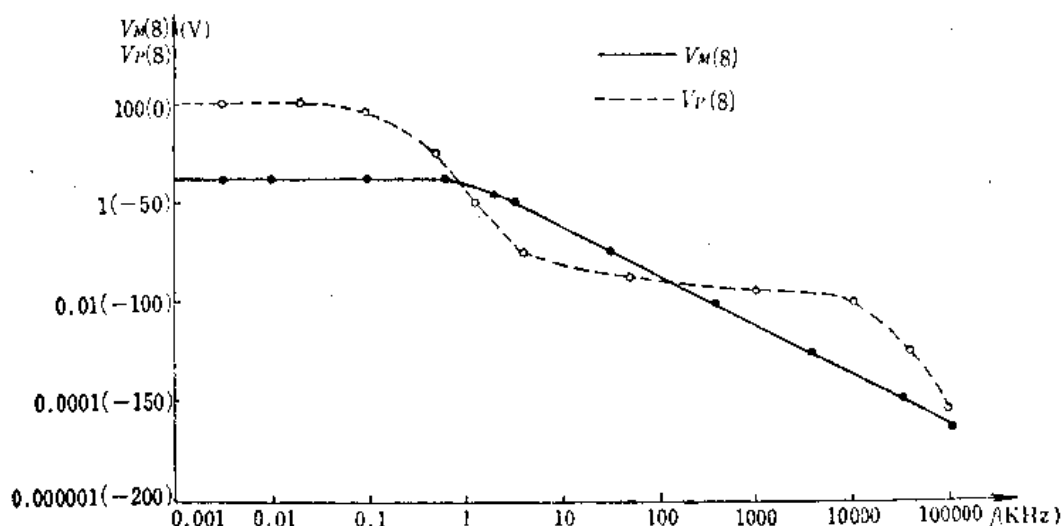


图 3.11-5 幅频和相频响应曲线

对运放进行瞬态分析的输入文件如下:

HIGH SPEED CMOS OPERATIONAL AMP; WITH SINGLE OUTPUT TER.

M ₁	4	1	3	3	MOD1	L=6U	W=180U
M ₂	5	2	3	3	MOD1	L=6U	W=180U
M ₃	3	13	15	15	MOD1	L=10U	W=94U
M ₄	4	11	14	14	MOD2	L=10U	W=328U
M ₅	5	11	14	14	MOD2	L=10U	W=328U
M ₆	7	6	4	14	MOD2	L=6U	W=196U
M ₇	8	6	5	14	NOD2	L=6U	W=196U
M ₈	7	7	10	15	MOD1	L=6U	W=70U
M ₉	8	7	9	15	MOD1	L=6U	W=70U
M ₁₀	10	9	15	15	MOD1	L=6U	W=70U
M ₁₁	9	9	15	15	MOD1	L=6U	W=70U

```

M12 6 11 14 14 MOD2 L=10U W=16U
M13 11 11 14 14 MOD2 L=10U W=64U
M14 15 12 6 14 MOD2 L=10U W=16U
M15 12 12 11 14 MOD2 L=10U W=16U
M16 12 13 15 15 MOD1 L=8U W=12U
M17 13 13 15 15 MOD1 L=8U W=8U
M18 13 13 14 14 MOD3 L=36U W=8U
.MODEL MOD1 NMOS LEVEL=2 VTO=0.5 NSUB=1.17E16 TOX=0.1U
+CGSO=4E-11 CGDO=4E-11 CGBO=2E-10 UO=383 TPG=1 LAMBDA=0.02
.MODEL MOD2 PMOS LEVEL=2 VTO=-0.5 NSUB=6E14 TOX=0.1U
+CGSO=4E-11 CGDO=4E-11 CGBO=2E-10 UO=180 TPG=-1 LAMBDA=0.02
.MODEL MOD3 PMOS LEVEL=2 VTO=-0.5 NSUB=6E14 TOX=0.1U
+CGSO=4E-11 CGDO=4E-11 CGBO=2E-10 UO=180 TPG=-1
C 8 0 10PF
V2 2 8 0
VDD 14 0 DC 5
VSS 15 0 DC -5
VIN 1 0 PWL(0 -2 0.001NS 2 1U 2)
.TRAN 20NS 1U
.PLOT TSAN V(8) V(1)
.END

```

SPICE 不允许有零值电阻存在,因此,短路一般均用零值独立源来表示。如上面文件中的电压源 V₂ 即表示节点 2 与 8 是短路的。输入电压源 VIN 采用分段线性源 PWL 来描述一个从 0 跳变至 2 伏,上升时间为 0.001 纳秒的脉冲信号,并从 0 开始至 1 微秒,每隔 20 纳秒分析一点。输出曲线如图 3.11-6 所示。

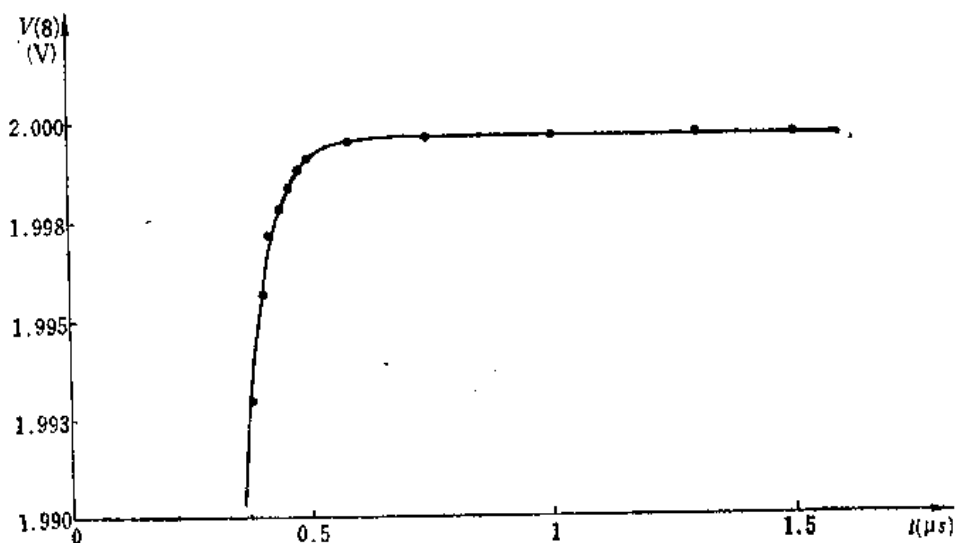


图 3.11-6 对阶跃信号的瞬态响应曲线

由曲线可知，运放建立时间约为 430 纳秒。运放的其他一些参数的模拟结果已列于表 3.11-3 中

表 3.11-3 高速 CMOS 运放模拟结果

电 源	+/- 5 伏
直流功耗	4.78 毫瓦
开环电压增益	70.2 分贝
共模抑制比	96 分贝
单位增益频率 $C_L=2$ 皮法	16 兆赫
$C_L=20$ 皮法	1.6 兆赫
建立时间(至 0.1%) $C_L=2$ 皮法	86 纳秒
$C_L=20$ 皮法	880 纳秒
± 2 伏阶跃信号(上升时间 0.0001 纳秒)	

【例 2】 图 3.11-7 所示的是一个用于开关电容滤波器 6517 中的高增益 CMOS 运放。电路中各管的宽长比列于表 3.11-4。

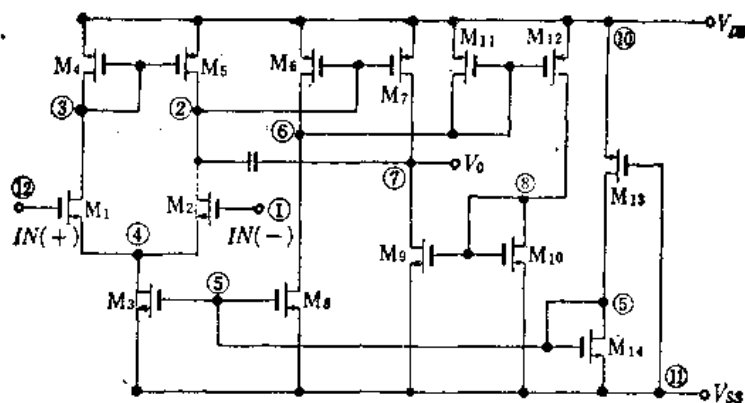


图 3.11-7 高增益 CMOS 运放

表 3.11-4 对应于图 3.11-7 电路管子的宽长比 W/L

MOS 器件	宽长比 W/L(W, L 的单位为微米)	MOS 器件	宽长比 W/L(W, L 的单位为微米)
M_1, M_2	214/4	M_9	66/4
M_4, M_5	104/4	M_{10}	20/8
M_8	52/4	M_{11}	50/4
M_6	50/4	M_{12}	50/4
M_7	384/4	M_{13}	4/12
M_8	30/4	M_{14}	16/4

图 3.11-7 电路的共模交流小信号分析的 SPICE 输入文件格式如下：

A	CMOS	OPERATIONAL			AMPLIFIER	USED	IN	MN6517
M ₁	3	12	4	4	MOD1	W=214U	L=4U	
M ₂	2	1	4	4	MOD1	W=214U	L=4U	
M ₃	4	5	11	11	MOD1	W=52U	L=4U	
M ₄	3	3	10	10	MOD2	W=104U	L=4U	
M ₅	2	3	10	10	MOD2	W=104U	L=4U	
M ₆	6	2	10	10	MOD2	W=50U	L=4U	
M ₇	7	2	10	10	MOD2	W=384U	L=4U	
M ₈	6	5	11	11	MOD1	W=30U	L=4U	
M ₉	7	8	11	11	MOD1	W=66U	L=4U	
M ₁₀	8	8	11	11	MOD1	W=20U	L=8U	
M ₁₁	6	6	10	10	MOD2	W=50U	L=4U	
M ₁₂	8	6	10	10	MOD2	W=50U	L=4U	
M ₁₃	5	11	10	10	MOD3	W=4U	L=12U	
M ₁₄	5	5	11	11	MOD1	W=16U	L=4U	

.MODEL MOD1 NMOS LEVEL=2 VTO=0.8 NSUB=1.17E16 TOX=0.08U
+CGSO=4E-11 CGDO=4E-11 CGBO=2E-10 UO=383 TPG=1 LAMBDA=0.03

.MODEL MOD2 PMOS LEVEL=2 VTO=-0.8 NSUB=6E14 TOX=0.08U
+CGSO=4E-11 CGDO=4E-11 CGBO=2E-10 UO=180 TPG=-1 LAMBDA=0.03

.MODEL MOD3 PMOS LEVEL=2 VTO=-0.8 NSUB=6E14 TOX=0.08U
+CGSO=4E-11 CGDO=4E-11 CGBO=2E-10 UO=180 TPG=-1 LAMBDA=0.03

C 2 7 7PF

VDD 10 0 DC 2.5

VSS 11 0 DC -2.5

V1 1 12 0.66M

VIN 12 0 AC 0.1

.TF V(7) VIN

.AC DEC 10 1 100MEG

.PRINT AC VM(7)

.OPTION LIMPTS=1000

.END

上面输入数据文件中电压源 V1 是加在运放输入端的失调电压。在运放设计中，由于参数的近似估算，运放的直流工作点模拟结果常出现很大的失调电压，使得运放处于不正常的工作状态。为了继续模拟运放的稳态和瞬态特性，通常采用两种方法。一种是在输入端加一适当的失调电压源，正好抵消电路本身的失调，使电路恢复到正常的工作状态，即输入为零时，输出亦为零。另一种方法是加适当的反馈电阻，构成一负反馈放大器，先分析负反馈放大器的各种特性，然后，折算为运放开环参数。

从模拟输出结果可知，运放共模放大倍数为 0.7078 倍。把上述文件中的负输入端接地，而正输入端接 1 毫伏交流小信号，则输出即为运放的差模频率响应特性。由模拟结果得知，

开环放大倍数为 7338 倍。从而共模抑制比为

$$CMRR = 20 \log \frac{7338}{0.7078} \approx 80.3 (\text{分贝}),$$

下面的输入文件是模拟运放的电源抑制能力。

```

A      CMOS      OPERATIONAL      AMPLIFIER      USED      IN      MN6517
M1    3          0    4          4      MOD1      W=214U      L=4U
M2    2          1    4          4      MOD1      W=214U      L=4U
M3    4          5   11         11     MOD1      W=52U       L=4U
M4    3          3   10         10     MOD2      W=104U      L=4U
M5    2          3   10         10     MOD2      W=104U      L=4U
M6    6          2   10         10     MOD2      W=50U       L=4U
M7    7          2   10         10     MOD2      W=384U      L=4U
M8    6          5   11         11     MOD1      W=30U       L=4U
M9    7          8   11         11     MOD1      W=66U       L=4U
M10   8          8   11         11     MOD1      W=20U       L=8U
M11   6          6   10         10     MOD2      W=50U       L=4U
M12   8          6   10         10     MOD2      W=50U       L=4U
M13   5          11  10         10     MOD3      W=4U        L=12U
M14   5          5   11         11     MOD1      W=16U       L=4U

.MODEL MOD1 NMOS LEVEL=2 VTO=0.8 NSUB=1.17E16 TOX=0.08U
+CGSO=4E-11 CGDO=4E-11 CGBO=2E-10 UO=383 TPG=1 LAMBDA=0.03
.MODEL MOD2 PMOS LEVEL=2 VTO=-0.8 NSUB=6E14 TOX=0.08U
+CGSO=4E-11 CGDO=4E-11 CGBO=2E-10 UO=180 TPG=-1 LAMBDA=0.03
.MODEL MOD3 PMOS LEVEL=2 VTO=-0.8 NSUB=6E14 TOX=0.08U
+CGSO=4E-11 CGDO=4E-11 CGBO=2E-10 UO=180 TPG=-1 LAMBDA=0.02

C          2          7          7pF
VDD        10        12          DC          2.5
VIN        12         0          AC           1
VSS        11         0          DC          -2.5
V1         1         0          0.00066

.TF        V(7)      VIN
.AC        DEC      10      1      100MEG
.OPTION    LIMPTS=1000
.PRINT     AC      VM(7)
.END

```

运放的两个输入端之间接一失调电压,然后接地,并在正电源节点 10 上面叠加一个交流小信号于直流电源之上,分析并打印输出端 7 对输入的响应。

模拟结果表明,对正电源上所叠加的小信号,其放大倍数为 2.8 倍,由此求得运放对正电源的电源抑制比为

$$SPRR_+ = 20 \log \frac{7338}{2.8} \approx 68.4 (\text{分贝}).$$

运放对负电源的电源抑制比可用相同方法得出。运放部分模拟结果列于表 3.11-3 中。

表 3.11-3 对应于图 3.11-7 运放的部分模拟结果

电 源	+/- 2.5 伏
直流功耗	1.53 毫瓦
开环电压增益	77.3 分贝
失调电压	0.68 毫伏
单位增益频率	4 兆赫
输出电压范围	-2.1~+2 伏
共模抑制比	80.3 分贝
电源抑制比 $SPRR_+$ $SPRR_-$	68.4 分贝 67.5 分贝

(三) SPICE 程序运行说明

用户在复旦大学电子工程系的 VAX-11/750 机上运行 SPICE 的操作步骤：

1. 用户注册

按 RETURN 键, 屏幕显示: USERNAME: ××××✓
PASSWORD: ××××✓
\$ (待命符)表示进入系统

2. 建立输入文件

\$ EDI 输入数据文件名✓
INPUT FILE DOES
NOT EXIST
* I ✓
010 TITLE }
: : } 输入数据文件内容
300 .END }
310
^Z
*EX✓
\$

3. 运行 SPICE 程序

\$ SPICE ✓
INPUT FILE: 输入数据文件名✓

OUTPUT FILE: 输出数据文件名✓

\$ (运行结束标志)

SPICE 的打印、绘图结果均存于输出数据文件中。

\$ SET TER/WIDTH=132✓ } (屏幕显示输出结果)

\$ T 输出数据文件名✓

\$ PRINTS 输出数据文件名✓ (打印输出结果)

\$ LOG ✓ (退出系统)

4. 文件行编辑命令简解

- * I ✓ 进入插入状态,即进入文件输入状态。
- ^ Z 输入结束。
- * S/DDD/NNN✓ 将该行中的 DDD 改为 NNN 字符串。
- * M✓ 将行编辑指针移至 M 行,并显示第 M 行。
- * D✓ 删除当前行。
- * DM✓ 删除第 M 行。
- * T✓ 显示当前行。
- * TM✓ 显示第 M 行。
- * T 2:5 ✓ 显示第二行到第五行。
- * T M✓ 显示全文。
- * RESEQUENCE✓ 重新排列行号。
- * QUIT✓ 放弃当前所编辑的文件,退出编辑状态。
- * EX✓ 退出编辑状态,并产生新的文件。

第四章 CMOS 工艺与版图设计

MOS 集成电路的设计主要包含三方面内容,1. 电路设计;2. 版图设计;3. MOS 工艺参数与电路参数之间的关系。因此,要设计出性能优良的 MOS 集成电路,除了电路设计之外,还必须了解 MOS 工艺参数对电路性能的影响,掌握版图设计的一些规则。本章就 MOS 集成电路中的主要工艺——CMOS 工艺和 CMOS 电路的版图设计规则作些介绍,但有关这方面更详细的内容请读者参考有关资料。

第一节 CMOS 工艺

(一) p 阱与 n 阱 (p -Well 与 n -Well)

CMOS 电路是由 p 沟道和 n 沟道两种类型的 MOS 场效应管构成的。我们可以把 p 沟道 MOS 场效应管制作在 n 型硅片衬底上,另外用硼离子注入到 n 型衬底上,形成一个 p 阱,把 n 沟道 MOS 场效应管制作在 p 阱里,如图 4.1-1a 所示。同样,我们也可以把 n 沟道 MOS 场

效应管制作在 p 型硅片衬底上,而用磷注入到 p 型衬底上,形成一个 n 阱,把 p 沟道 MOS 管制作在 n 阱里,如图 4.1-1b 所示。图中 G 为 MOS 管的栅极, S 为源极, D 为漏极, B 为衬底。

在 p 阱结构中, n 型硅衬底接最高电位,阱接最低电位,在 n 阱结构中, p 型硅衬底接最低电位,阱接最高电位。因此,阱与衬底间形成一个反向 p - n 结的偏置电压,阱与衬底间是自然隔离的。

p 阱工艺是由 PMOS 工艺发展起来的,因为它们用的都是 n 型硅片衬底,少量的 n 沟 MOS 器件做在阱里。正好, n 沟 MOS 器件需要较高的衬底浓度才能得到正的阈值电压,即得到增强的 n 沟 MOS 管,而 p 阱的浓度肯定比 n 型衬底高。因此, p 阱工艺在生产中用得

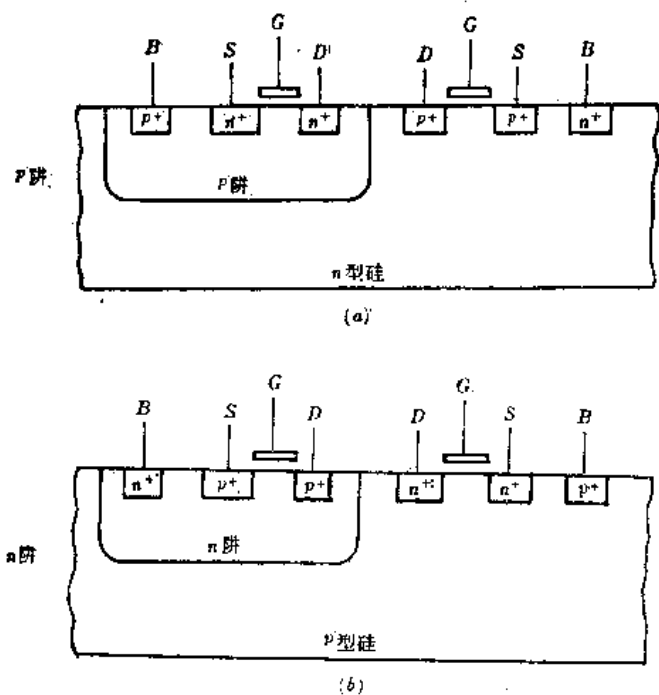


图 4.1-1 CMOS 剖面结构

很多。

随着 NMOS 工艺的发展,许多大规模集成电路,如存储器等,都是由 NMOS 工艺制成,因为 NMOS 场效应管中的电子迁移率比 PMOS 场效应管中的空穴迁移率大两倍多。即使是 CMOS 电路,也是由大量的 NMOS 场效应管组成,只是在外围的输入输出部分才有少量

的 PMOS 器件。因此,把大量的 NMOS 场效应管制作在 p 型衬底上,把少量的 PMOS 场效应管制作在 n 阱里,就变得十分有利。

有的线性电路中,需要把 p 沟器件的衬底与源短接,以减少衬底反偏置引起的阈值电压增加。在这种情况下,用 n 阱工艺,把需要衬底和源极短接的器件做在独立的 n 阱中,只要 n 阱的电位比 p 型衬底电位高,阱与衬底还是能够隔离的。

(二) 铝栅与硅栅

1. 铝栅

MOS 场效应管中的栅极材料除用铝以外,还可以用多晶硅,只要多晶硅中掺入一定的杂质,使其导电能力较强即可。

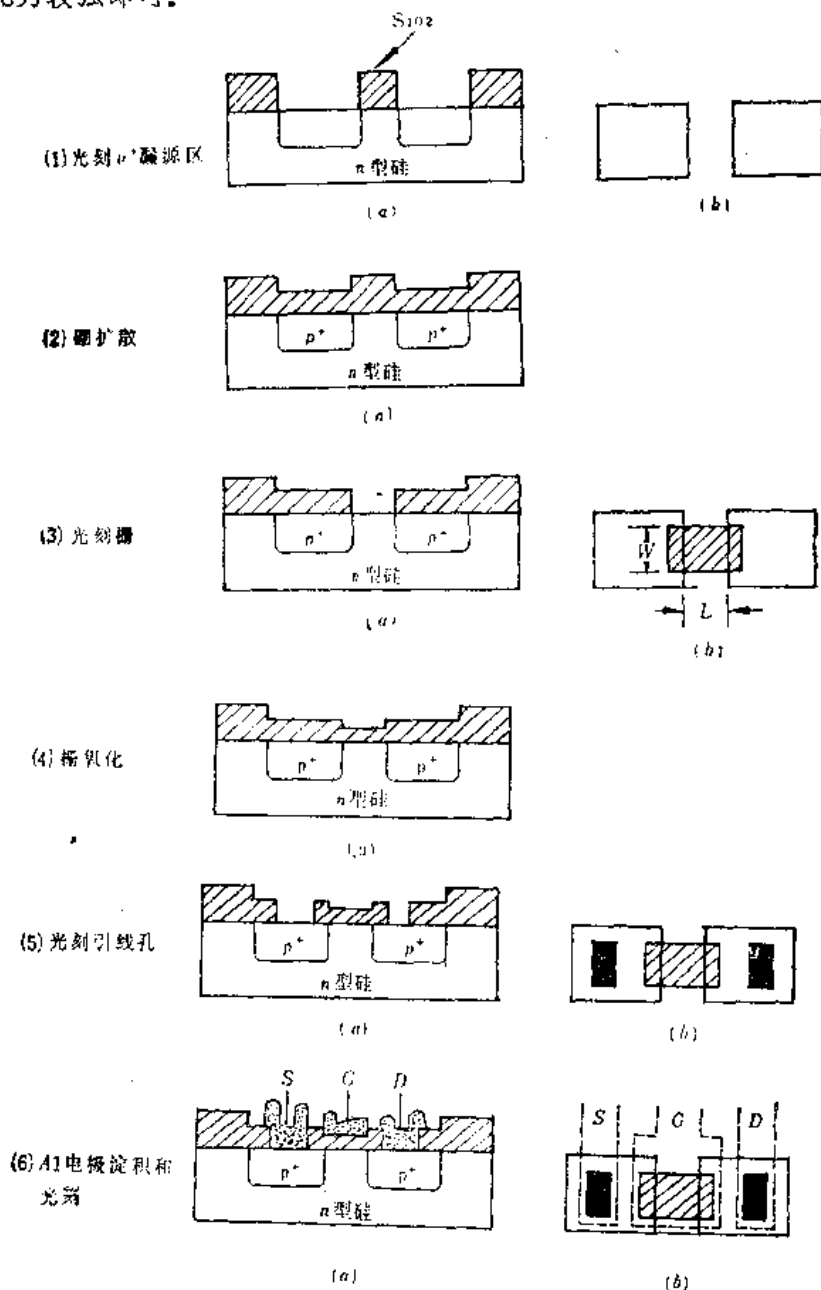


图 4.1-2 铝栅工艺流程及版图

铝栅 CMOS 工艺中用铝作栅极材料,由于铝材料不耐高温,因此必须先做高温漏源扩散工艺,最后淀积铝栅电极。例如制作一个 p 沟 MOS 管,其具体工艺步骤是,先光刻 p 沟漏源区,进行硼扩散以形成 p 沟 MOS 管的漏和源;再光刻栅去除 MOS 管沟道区上的原氧化层,进行栅氧化和光刻引线孔;最后,形成铝连线的时候,在栅氧化层上覆盖铝栅电极。其工艺步骤为:(1) 光刻 p^+ 漏源区;(2) 硼扩散;(3) 光刻栅;(4) 栅氧化;(5) 光刻引线孔;(6) 铝电

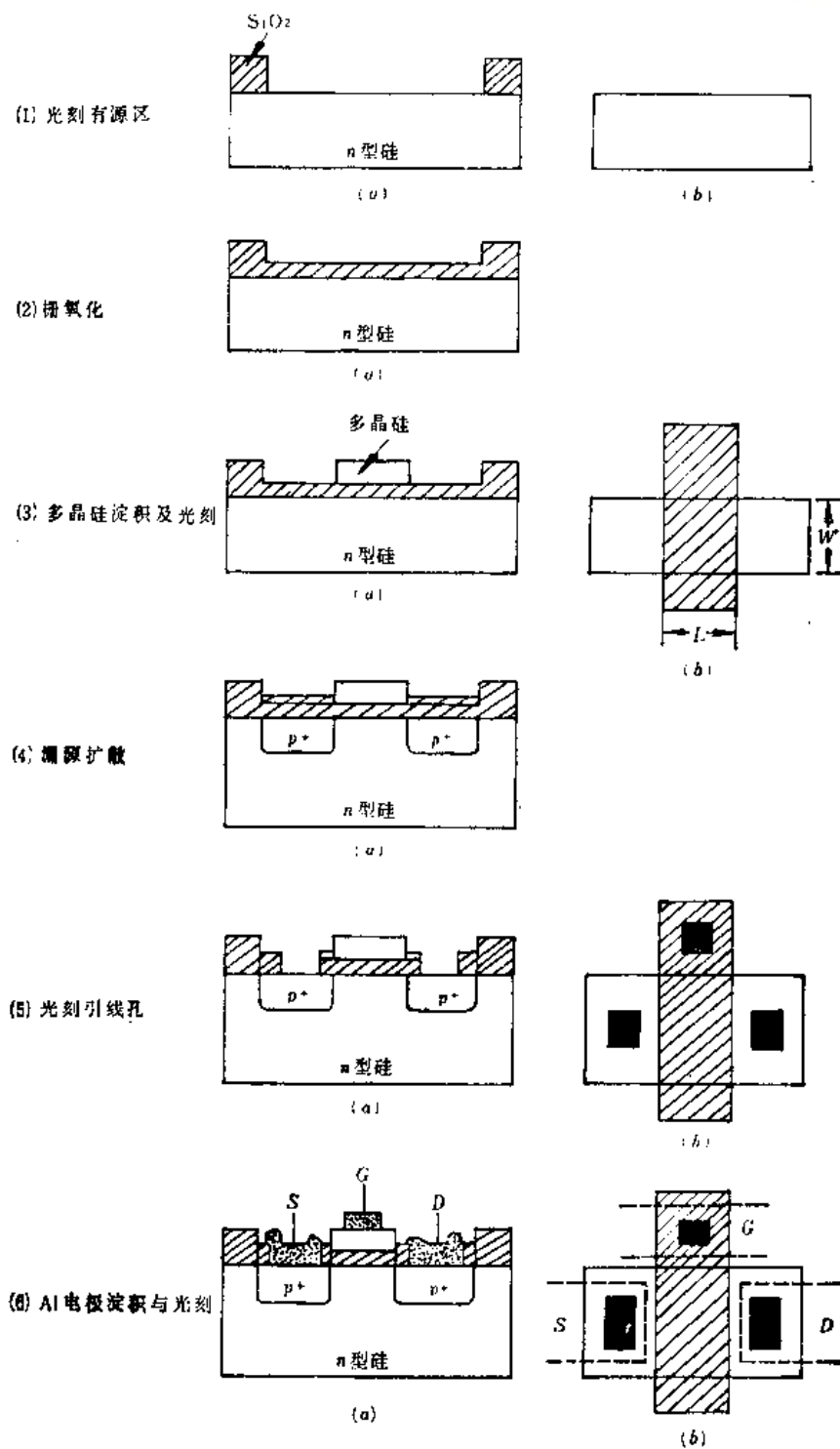


图 4.1-3 硅栅工艺流程及版图

极淀积和光刻。如图 4.1-2a 所示。图 4.1-2b 为 p 沟 MOS 管的相应版图。

2. 硅栅

硅栅 CMOS 工艺中,用多晶硅作栅极材料。由于多晶硅耐高温,因此在工艺步骤上可以先做多晶硅栅极,随后进行高温漏源扩散,如图 4.1-3a 所示,图 4.1-3b 为 p 沟 MOS 管的相应版图。

在铝栅工艺中,光刻栅及铝栅电极的掩膜版设计必须与漏源区有一定的交叠,以保证 MOS 管漏源之间的沟道区确实受到栅极电压的控制,交叠量的大小视光刻所能达到的套准精度而定。因此,铝栅工艺制作的 MOS 管存在着较大的栅-源和栅-漏寄生电容。

在硅栅工艺中是先做好多晶硅栅电极,然后以硅栅电极作掩膜来进行漏源扩散的,这种工艺实现了栅电极与漏源区的自对准,即消除了栅电极与漏源区之间的交叠寄生电容,大大提高了电路的速度。当然,由于漏源扩散时的侧向扩散,栅-源、栅-漏间还是存在着交叠部分,但比起铝栅工艺来,这个交叠量就小多了。

此外,在硅栅工艺中,多晶硅除了作栅电极外,还可用作电路的连线。这样,相当于自然的双层布线,便于电路的排版,节省芯片面积。

在逻辑电路中,铝栅和硅栅 CMOS 已形成了两大产品系列,铝栅 CMOS 产品速度低,但工艺比较简单,因此价格便宜。硅栅 CMOS 速度高,但工艺较复杂,价格较贵。在 CMOS 模拟电路中,前期采用铝栅的比较多,而现在采用硅栅的正在逐步增加。

在大规模集成电路中,连线又多又长,采用多晶硅连线,方块的电阻较大,不利于速度的提高。用难熔金属如钼,或硅化物如硅化钨、硅化钛等作为栅极材料的电路已开始研制。

(三) 沟道截止环与局部氧化等平面隔离

1. 沟道截止环

在 CMOS 集成电路中的场效应管之间,原来应该是自然隔离的,如图 4.1-4 所示。管 1 的漏源与衬底反偏置,管 2 的漏源也与衬底反偏置,因此两只管子漏源之间是相互隔离的。但在实际电路中,管子之间存在着寄生的 MOS 场效应管,称为场反型 MOS 管。如图 4.1-4 所示,两只管子之间的区域称为场区,当场区上跨有带负电的铝条时,只要负电压足够高,场区硅的表面也会反型,而使场反型 MOS 管导通,场反型 MOS 管开始导通时铝条上的电压称为场开启电压 V_{TF} 。要得到管子间良好的隔离特性,要求场开启电压足够高,至少应大于电路所用的电源电压。

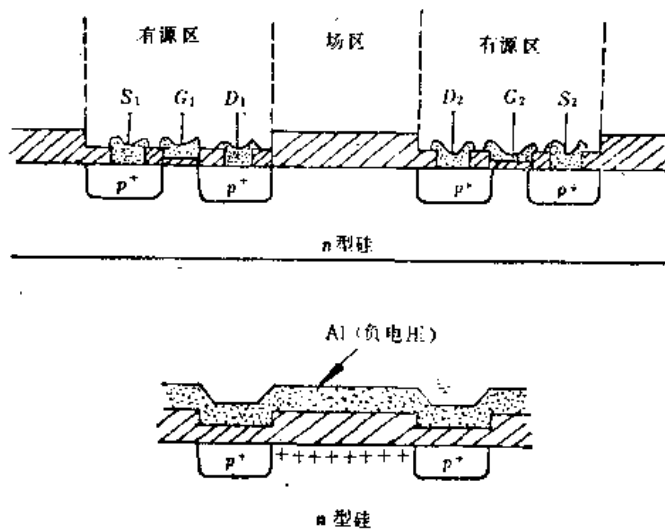


图 4.1-4 场反型 MOS 管

场开启电压的大小与场区氧化层厚度及硅衬底掺杂浓度有关,氧化层越厚,衬底浓度越

高,场开启电压越高。为此,可以用沟道截止环或局部氧化等平面隔离的方法来提高 V_{TF} ,实现管子间的隔离。

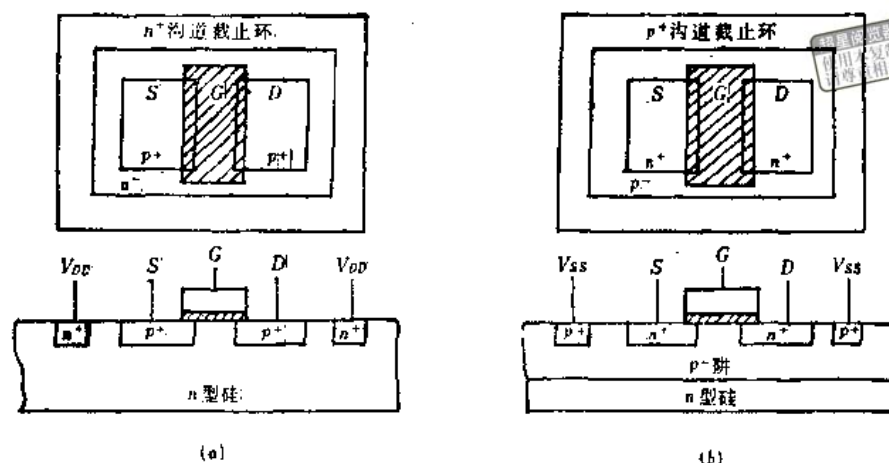


图 4.1-5 沟道截止环

所谓沟道截止环,就是在 p 沟 MOS 管的四周衬底上制作一圈 n^+ 环,以防止 n^- 衬底区反型成 p 型而使场反型 MOS 管导通,如图 4.1-5a 所示。同时在 n 沟 MOS 管的四周衬底(p^- 阱)上制作一圈 p^+ 环,以防止 p^- 衬底区反型成 n 型,而使 n 沟场反型 MOS 管导通,如图

4.1-5b 所示。在 CMOS 集成电路中,PMOS 管的 n^+ 沟道截止环可与 NMOS 管的漏源磷扩散同时进行,NMOS 管四周的 p^+ 沟道截止环可与 PMOS 管的漏源硼扩散同时进行,因此,它的制作工艺还是比较简单的;由于截止环是与漏源一起扩散的,故它的浓度较高,所以能得到较高的场开启电压,其缺点是截止环占用面积较大,集成度不高。

沟道截止环是通过加大衬底杂质浓度来提高场开启电压 V_{TF} 的,同时还可以采用加大氧化层厚度来提高场开启电压。但若氧化层较厚,会引起场区与有源区之间存在着高的台阶,当铝条跨过台阶时,会产生断铝现象。为了克服这种断铝现象,研制了局部氧化等平面隔离工艺。

2. 等平面隔离工艺

局部氧化等平面隔离工艺如图 4.1-6 所示。它的工艺过程是,在有源区上盖有 Si_3N_4 ,以掩蔽厚的氧化物的生长,而在场区形成较厚的场氧化层。由于生长 SiO_2 是氧与硅的化学反应,氧化过程中必然消耗掉一定数量的硅,因此约有 40% 的场氧化层厚度是埋在有源区硅表面以下,这就降低了场区与有源区之间的台阶高度,起到了等平面隔离的效果。其工艺步骤为: (1) 初始氧化;

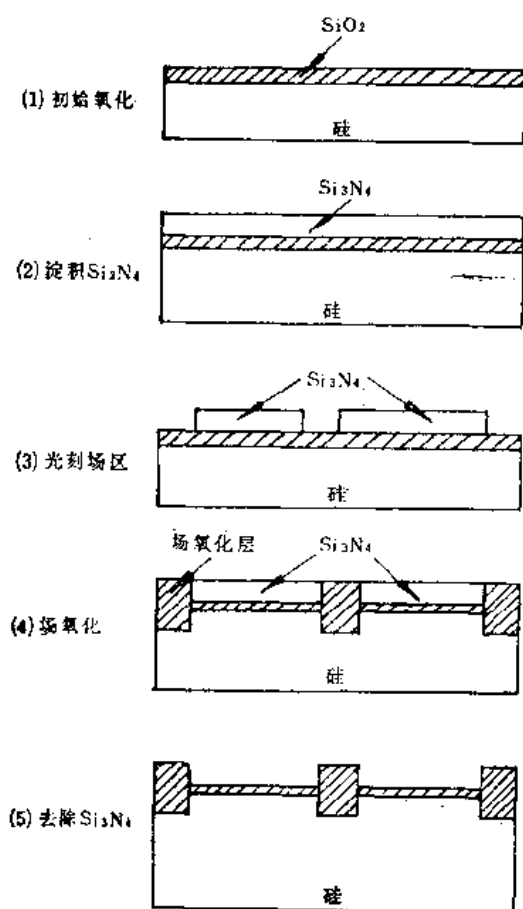


图 4.1-6 局部氧化等平面隔离工艺

(2) 淀积 Si_3N_4 ; (3) 光刻场区; (4) 场氧化; (5) 去除 Si_3N_4 。

自从有了离子注入技术后, 可以用 Si_3N_4 作掩蔽进行场注入, 例如在 p 沟道 MOS 管的场区中注入磷, 在 n 沟道 MOS 管的场区中注入硼, 以增加场区衬底的掺杂浓度, 进一步提高场开启电压 V_{TP} 。

(四) 铝栅工艺典型流程

铝栅 CMOS 的流程如图 4.1-7 所示, 简单说明如下:

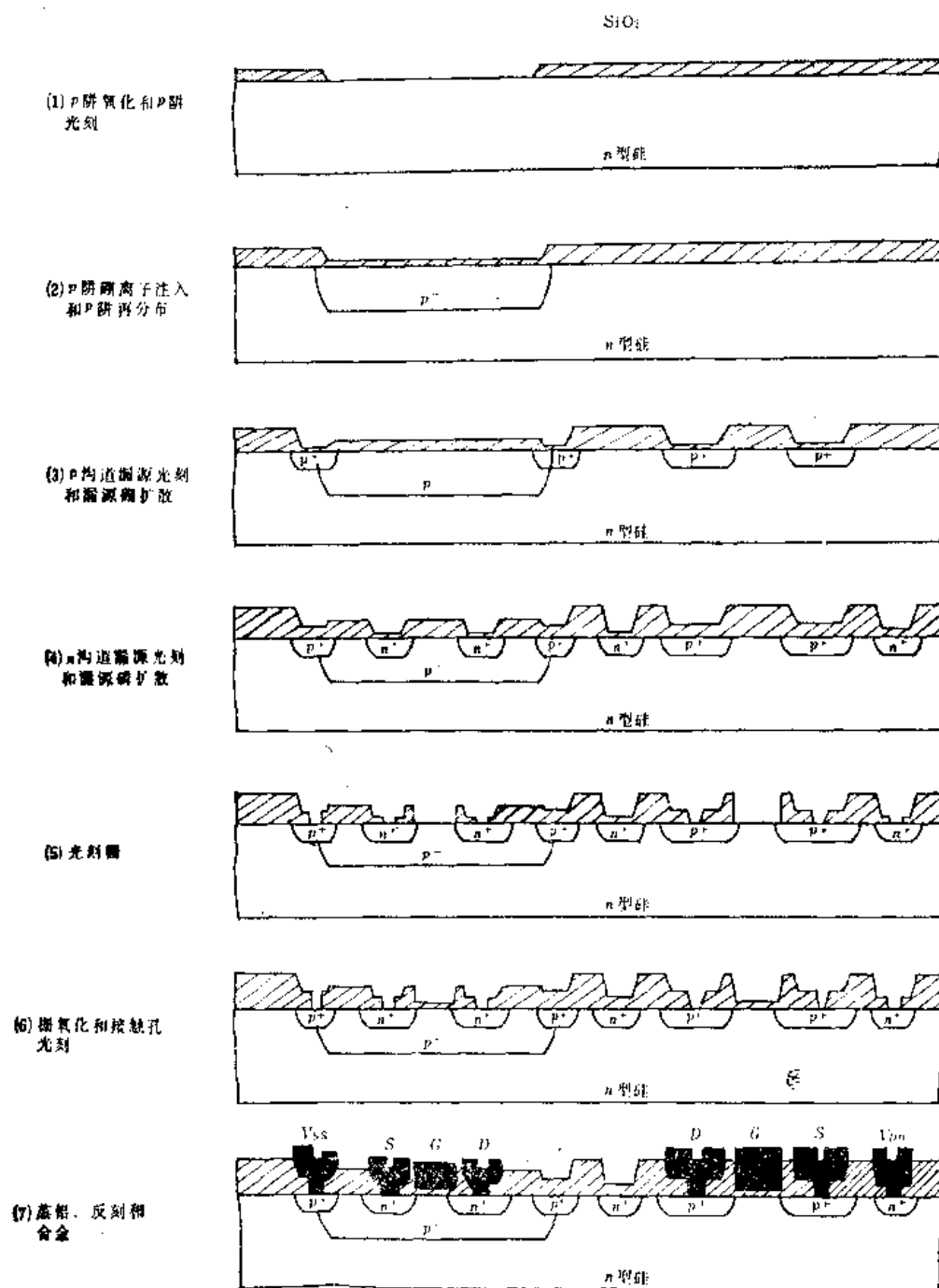


图 4.1-7 铝栅 CMOS 工艺流程

1. p 阱氧化和 p 阱光刻

在 n 型硅片上热生长一层 SiO_2 ，作为 p 阱离子注入的掩蔽层，氧化层厚度根据离子注入能量、剂量以及 p 阱再分布温度和时间来定，一般要求在 5000 埃以上。然后进行光刻，把 p 阱区的氧化层腐蚀掉。

2. p 阱硼离子注入和再分布

p 阱是 CMOS 电路中 n 沟 MOS 管的衬底， p 阱表面杂质浓度的大小，直接影响着 n 沟 MOS 场效应管的阈值电压，因此必须严格控制 p 阱离子注入的能量、剂量及随后进行的 p 阱再分布条件。由于 p 阱的杂质浓度较淡（表面浓度约 $10^{15}/\text{厘米}^2$ ，随着扩散深度加大，浓度越来越淡）， n 沟漏源区与 p 阱之间的 p - n 结耗尽层宽度就比较宽，因此 p 阱深度不能太浅，以防止 n 沟漏源区与 n 硅衬底之间的穿通，并避免寄生 npn 双极型晶体管的 β 过大。一般 p 阱深度约 8~10 微米，再分布温度为 1200°C ，时间为 10 小时左右。

在 p 阱再分布的同时，也进行着热氧化，以作为下道 p^+ 、 n^+ 扩散时的掩蔽。在热氧化过程中，必然会有很多 B^+ 离子跑到 SiO_2 中去，因此离子注入的剂量必须适当大一些，定量分析可由计算机工艺模拟进行计算，一般取 $10^{13}/\text{厘米}^2$ 数量级。

3. p 沟道漏源光刻和漏源硼扩散

在 p 沟道漏源光刻的同时，把 NMOS 管周围的 p^+ 沟道截止环同时刻出，以便一起进行 p^+ 硼扩散。在硼扩散的同时还进行热氧化，以作为 p^+ 区上的保护层及下一道 n^+ 扩散的掩蔽。

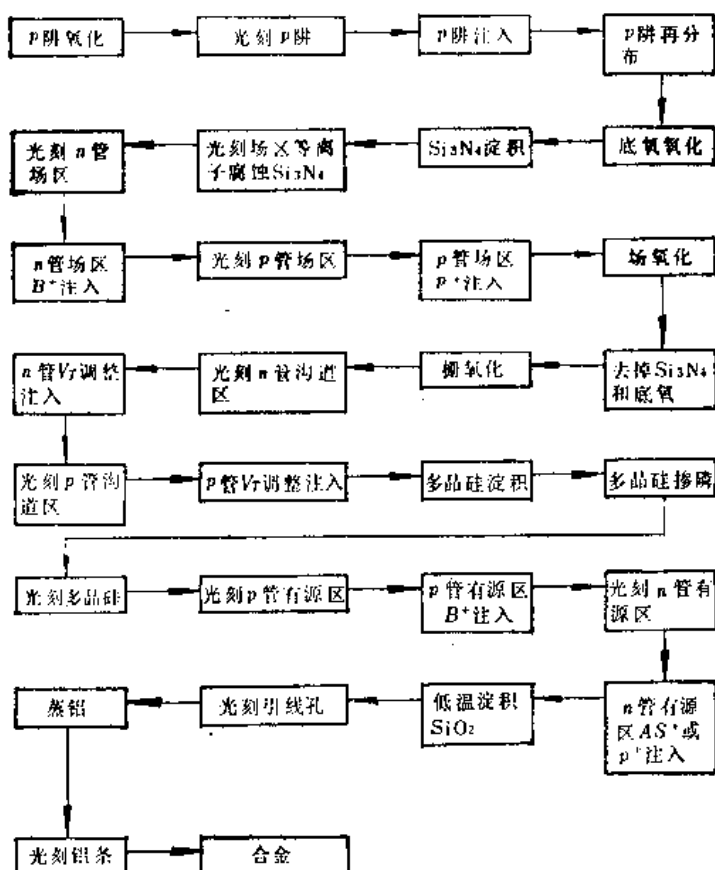


图 4.1-8 等平面隔离硅栅 CMOS 工艺流程框图

漏、栅源交叠寄生电容，使电路速度较慢，再加上 n^+ 、 p^+ 沟道截止环占用面积较大，集成度做

4. n 沟道漏源光刻和漏源磷扩散

在 n 沟道漏源光刻的同时，把 PMOS 晶体管周围的 n^+ 沟道截止环同时刻出，以便一起进行 n^+ 磷扩散。在磷扩散的同时还进行热氧化，以作为 n^+ 区上的保护层。

5. 光刻栅

在刻出 MOS 管栅区的同时，把引线孔也刻出，以便于以后的引线孔腐蚀。

6. 栅氧化和接触孔光刻

用清洁氧化工艺在硅片上生长一层优质的薄栅氧化层，然后进行引线孔光刻。

7. 蒸铝反刻和合金

(五) 硅栅 CMOS 工艺

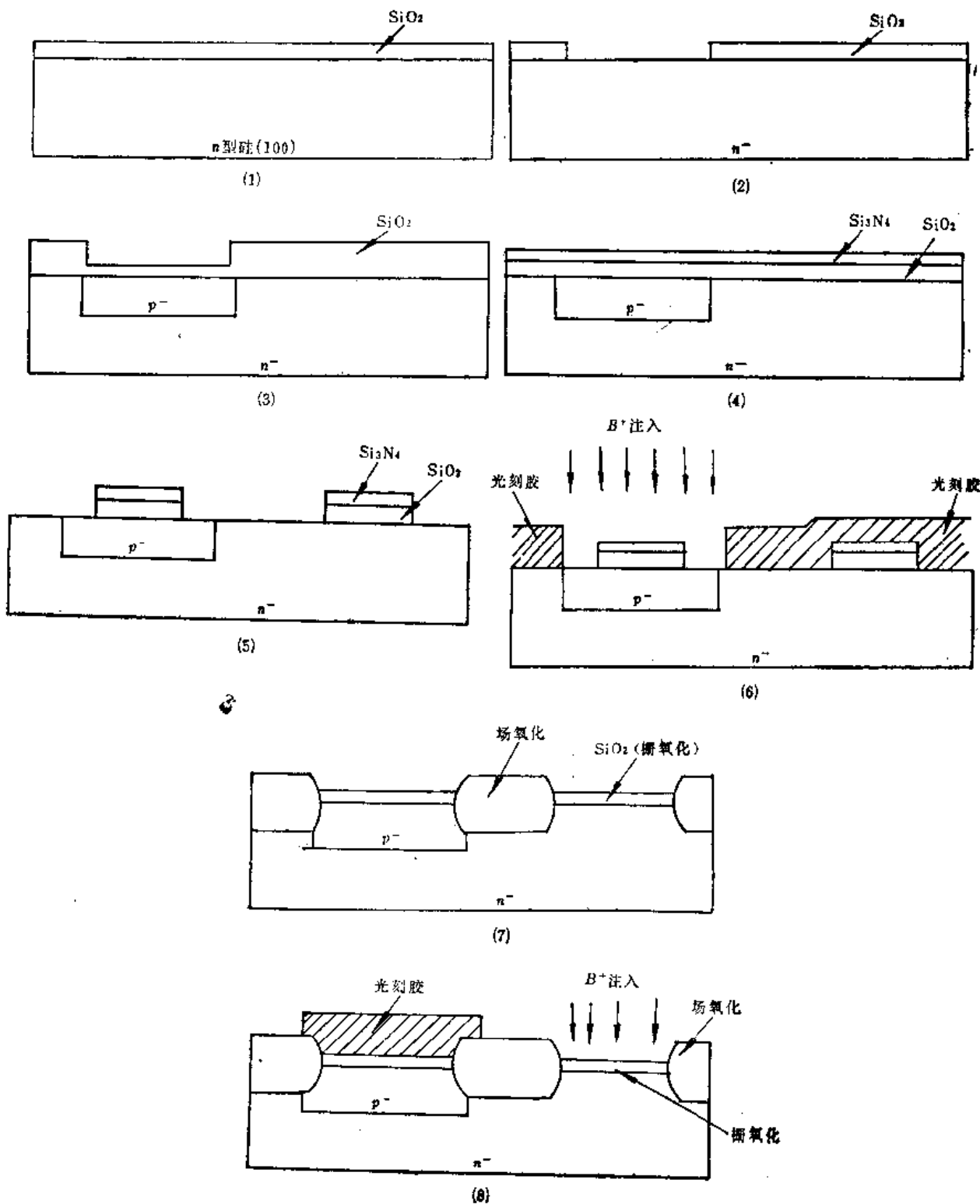
1. 工艺流程框图

虽然铝栅 CMOS 工艺比较成熟、稳定，但由于存在着较大的栅漏、栅源交叠寄生电容，使电路速度较慢，再加上 n^+ 、 p^+ 沟道截止环占用面积较大，集成度做

不高等问题,因此,在等平面隔离 n 沟硅栅工艺的基础上发展了等平面隔离硅栅CMOS工艺。此种工艺虽然流程较长,但缩小了CMOS电路的面积,改进了电路的速度性能,且版图设计简单而规则,宜于用计算机辅助制版,因而已成为当前MOS工艺中的主要工艺。

等平面隔离硅栅CMOS的工艺流程框图如图4.1-8所示。

等平面隔离硅栅CMOS工艺流程如图4.1-9所示。



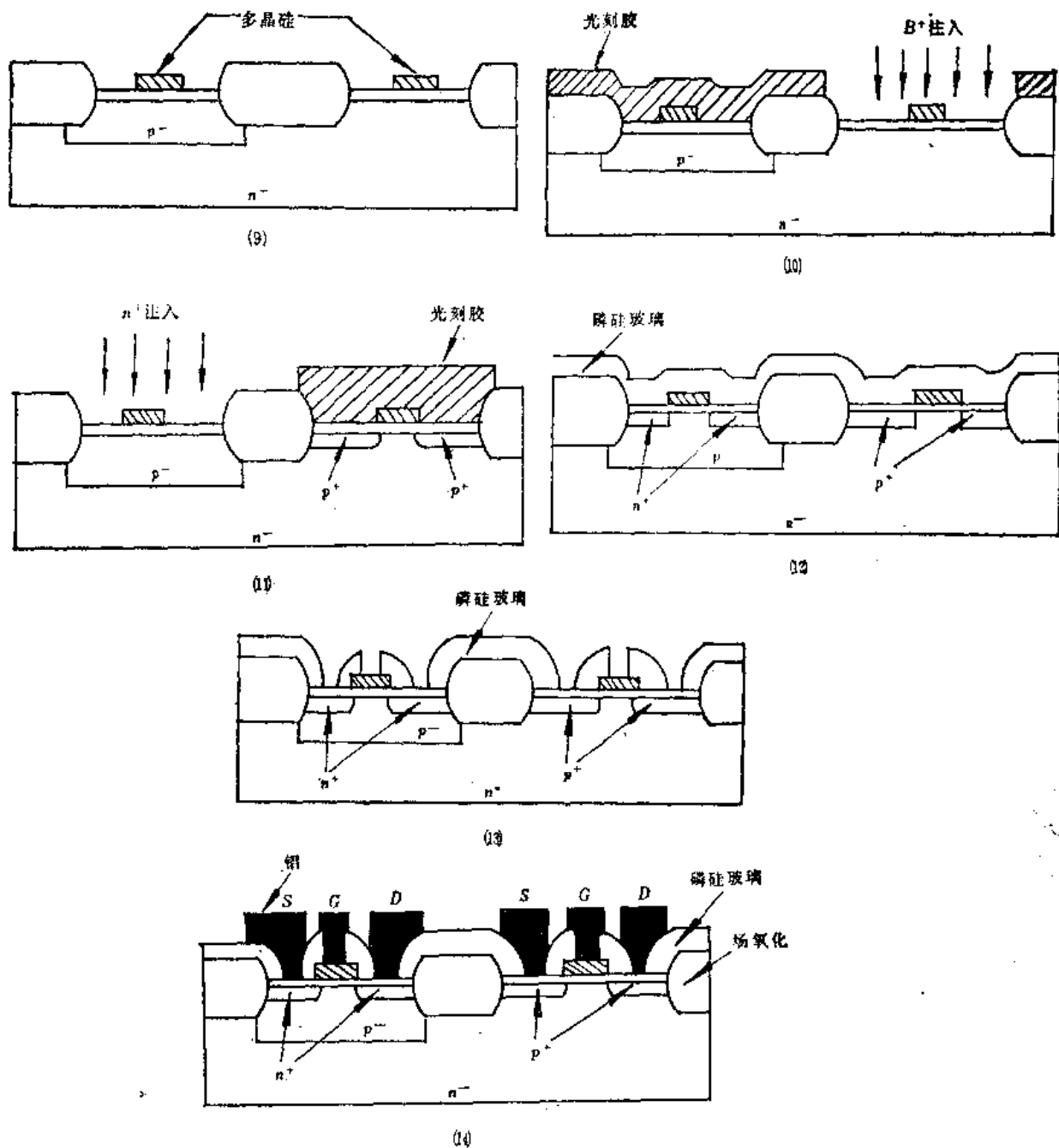


图 4.1-9 硅栅 CMOS 工艺流程

2. 工艺流程步骤

结合图 4.1-8 和图 4.1-9, 我们简要介绍硅栅 CMOS 的工艺流程步骤,

(1) 预氧化

在 n 型 (100) 硅片上进行第一步热氧化, 作为 p 阱注入和再分布的掩蔽。

(2) p 阱光刻

(3) p 阱硼离子注入和 p 阱再分布

p 阱注入剂量对 n 沟 MOS 管的阈值电压 V_{Tn} 有直接的影响, 必须根据电路对 V_{Tn} 的要

求来决定注入剂量，一般为 10^{13} /厘米²左右。

(4) 底氧氧化和 Si_3N_4 淀积

首先去掉预氧化层，然后进行底氧化和 Si_3N_4 淀积，以作为场氧化的掩蔽。

(5) 光刻场区

需要场氧化的地方，通过光刻和等离子腐蚀方法去除该处的 Si_3N_4 。

(6) n 沟场注入光刻

为提高 n 沟场区的场开启电压 V_{TF} ，对 n 沟场区必须进行硼注入，由于有源区部分已有 Si_3N_4 掩蔽，硼离子不会注入进去，因此场注入光刻版与 p 阱版形状相同，只要把 p 阱外的区域用光刻胶掩蔽起来即可。 n 沟场注入的剂量由 V_{TF} 决定，一般为 10^{13} /厘米²数量级，注入能量要恰当，能量太低，在场氧化时，容易进入到场氧化层中去；能量太高会穿过 Si_3N_4 到有源区，以致影响 MOS 场效应管的 V_T 。场注入后进行去胶，去胶后此道光刻图形不再保留。

(7) 场氧化及去除 Si_3N_4

通过较长时间的湿氧氧化，在场区生长一层约 1 微米的氧化层，以提高场开启电压。场氧化完毕后，用热磷酸去除 Si_3N_4 。

(8) 栅氧化和 V_{TP} 调整 B^+ 注入

去掉 Si_3N_4 下的底氧，重新进行清洁氧化，在 MOS 管栅区上长出一层薄栅氧化层；然后进行 V_{TP} 调整光刻。 V_{TP} 调整光刻，只要把 n 沟 MOS 管区用光刻胶掩蔽即可，因此可以用 p 阱的反版，此道光刻不需要腐蚀，去胶后图形不保留。

V_{TP} 调整用离子注入硼来实现，注入剂量约 10^{11} /厘米²数量级，能量可以较低，只要能穿过栅氧化层即可。

(9) 多晶硅淀积、多晶硅掺杂和多晶硅光刻

用低压化学气相淀积 (LPCVD) 方法在整个硅片表面淀积一层多晶硅，然后进行磷扩散，使多晶硅的 $R_{\square} \approx 30$ 欧姆/方左右，再进行多晶硅光刻，把 MOS 场效应管栅区上的多晶硅及用作连线用的多晶硅保留，其他地方的多晶硅用等离子刻蚀法去除。

(10) p^+ 区光刻， p^+ 区硼注入

为了进行 p^+ 区 (p 沟漏源区和 p 阱中的 p^+ 环) 的硼注入，必须把 n^+ 区用光刻胶掩蔽起来，至于场区则有厚的场氧化层掩蔽，MOS 管的沟道区有多晶硅掩蔽，可以不必考虑再加什么掩蔽物。光刻时不必进行腐蚀，即可进行 p^+ 区硼离子注入，为减少 p 沟漏源区的电阻，注入剂量要稍大，一般为 $10^{14} \sim 10^{15}$ /厘米²，注入完毕即行去胶，去胶后图形不保留。

(11) n^+ 区光刻， n^+ 区磷(或砷)注入

在进行 n^+ 区 (n 沟漏源区和 n^+ 硅衬底中的 n^+ 电极) 光刻时，必须把 p^+ 区用光刻胶掩蔽起来，为简单起见，只要用 p^+ 区光刻的反版即可。光刻后同样进行 n^+ 离子注入，随后去胶，图形不保留。

(12) 磷硅玻璃淀积和漏源再分布

用低温淀积方法在硅片上淀积一层磷硅玻璃，使高台阶的坡度变小，以利于铝条爬高坡时不致断裂；同时进行漏源再分布。

(13) 引线孔光刻

(14) 铝淀积、光刻铝条、钝化和钝化版光刻

与其他电路的工艺一样进行铝淀积，铝条光刻和钝化，钝化版光刻。

第二节 MOS 工艺中的电阻和电容

在 MOS 集成电路中,除 MOS 场效应管外,常需要把电阻、电容等元件制作在同一块芯片上,有时还要求有较高的匹配精度。下面介绍几种无源元件的制作方法及其特性。

(一) 电阻

1. 漏源扩散区作为电阻

集成电路中最常用的电阻是扩散电阻。双极型集成电路中的扩散电阻是与基区同时制成的, MOS 集成电路中的扩散电阻则是同漏源区同时制成的,其电阻的剖面结构图如图 4.2-1 所示。

扩散电阻的薄层电阻范围为 $10 \sim 200$ 欧姆/方,当需要较大阻值(如 $10 \sim 100$ 千欧)的电阻时,电阻长度要 $100 \sim 1000$ 方块,所占面积很大。因此,用扩散电阻做大电阻是不经济的。

扩散电阻作为精密电阻存在着很多误差来源,电阻的均匀性及重复性约 1% ,温度系数约 1500 百万分之一/ $^{\circ}\text{C}$,电阻与衬底之间存在着寄生 $p-n$ 结电容。

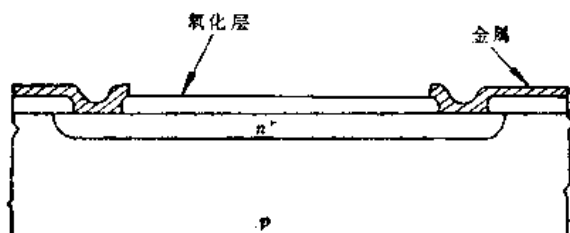


图 4.2-1 扩散电阻



图 4.2-2 沟道电阻

2. CMOS 阱中的沟道电阻

CMOS 电路中的 p 阱电阻约为 $1000 \sim 5000$ 欧姆/方,当 p 阱中再加以漏源磷扩散后形成的 p 阱沟道电阻如图 4.2-2 所示,其薄层电阻值更高。但 p 阱的扩散深度及其引起的横向扩散约 $5 \sim 10$ 微米,使电阻条要做得窄是不可能的。此外, p 阱电阻条之间还需要沟道截止环,以消除电阻间的表面反型层漏电流,因此它的面积同样是可观的。

3. 离子注入电阻

利用离子注入代替扩散法制造电阻,其注入离子量可以在较大范围内灵活控制,例如,当硼注入剂量为 10^{14} /厘米²时,薄层电阻约为每方几百欧姆,当注入剂量为 10^{13} /厘米²时,薄层电阻约为每方几千欧姆,而当注入剂量为 10^{12} /厘米²时,薄层电阻可达每方几万欧姆。因此,用离子注入做大电阻,所占面积不会太大。此外,由于注入剂量比扩散杂质容易精确控制,因此离子注入电阻的精确度也比扩散电阻高。但离子注入与衬底间所形成的 $p-n$ 结间存在着不同的反偏电压时,使耗尽层宽度不同,这样,导电层内的载流子流量就起变化,因此,电阻的线性度不理想,即电阻的电压系数较大。同时,由于氧化层表面电荷的影响,导电层表面的载流子浓度也不稳定,所以大电阻的精度受到一定的限制。

4. 多晶硅电阻

在 MOS 场效应管的制作工艺中,多晶硅是作为电极材料(栅极)用的。用多晶硅构成电

阻的结构如图 4.2-3 所示。它的薄层电阻值一般为 $30 \sim 200$ 欧姆/方。当用多晶硅作为大阻值电阻时,可另外再加上一次光刻,用离子注入较小剂量来得到,其阻值可达 10 千欧/方。由于多晶硅下面有厚的氧化层与电路隔离,其寄生电容大大减小,但多晶硅电阻的薄层电阻大小,除与离子注入剂量有关外,还与多晶硅的厚度,多晶硅淀积质量等因素有关,因此,用于做精密电阻还是困难的。

5. 薄膜电阻

通过溅射方法把 Ni-Cr 或 Cr-Si 等材料,以一定的比例成分,淀积在硅片的绝缘层上,就可得到薄膜电阻。薄膜电阻的方块电阻值可由所用材料之性质、比例成分及淀积层厚度来调节。一般情况下,薄膜厚度为几百至几千埃,其方块电阻 Ni-Cr 为几百欧姆/方, Cr-Si 为几百至几千欧姆

/方。薄膜电阻的线性度最好,即电压系数低,温度系数也最低,约百万分之一/ $^{\circ}\text{C}$,且与 MOS 电路的其他制造工艺条件无关。在电阻精度要求很高时,还可以用激光修正的方法加以调整,因此,薄膜电阻是制造精密匹配电阻的较好方法。

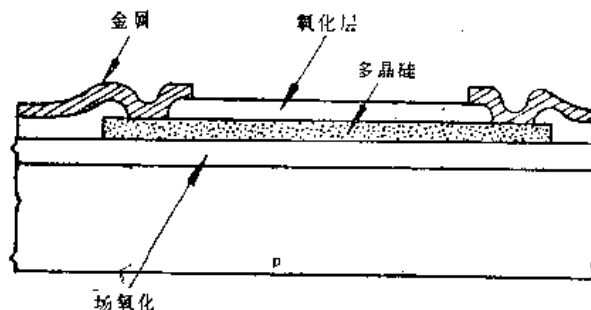


图 4.2-3 多晶硅电阻

(二) 电容

在 MOS 模拟集成电路中,电容是不可缺少的基本元件之一,它的性能优劣和精度的高低直接影响电路的性能。由于在 MOS 工艺中实现的 MOS 电容,其匹配精度比电阻好,一般约为 $0.1\% \sim 5\%$,因此在 D/A、A/D 和开关电容电路等集成电路中,往往用电容代替电阻网络。

现将 MOS 集成电路中的几种 MOS 电容的制作方法及其性能介绍如下。

1. 铝栅工艺中的铝-栅氧化层-漏源扩散区电容

在标准铝栅工艺中,提供了铝-栅氧化层-漏源扩散区电容,其电容结构如图 4.2-4 所示。

铝层作为上电极,漏源区 n^+ 或 p^+ 作为下电极,栅氧化层作为电容的介质。当栅氧化层厚度为 1000 埃时,其单位面积电容值为 35×10^{-8} 法/厘米²,电容面积由栅光刻版或铝光刻版来定,此电容的电压系数约 $10 \sim 100$ 百万分之一/伏,温度系数约 $10 \sim 20$ 百万分之一/ $^{\circ}\text{C}$,都是比较低的。但从图 4.2-4 中可知,作为电容的下电极与衬底构成反向 $p-n$ 结电容,形成寄生电容;电容的上电极(铝层)也与衬底构成寄生电容,通常场氧化层较厚,故此寄生电容较小。若在电路设计中使用铝-栅氧化层-漏源区扩散电容时,应考虑此电容下电极的寄生电容对电路的影响。

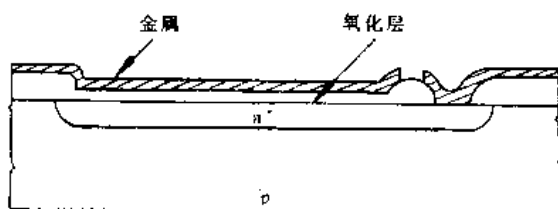


图 4.2-4 铝-栅氧化层-漏源扩散区电容

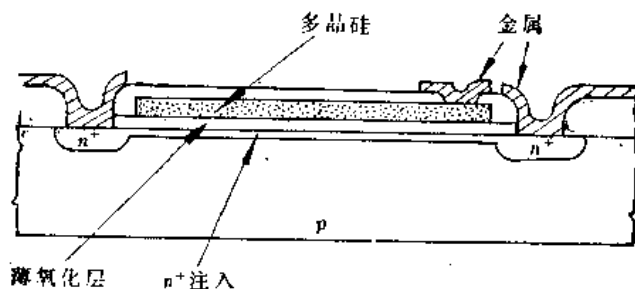


图 4.2-5 多晶硅与重掺杂衬底之间电容

2. 硅栅工艺中的多晶硅与重掺杂衬底之间的电容

在硅栅工艺中,由于其自对准特性,多晶硅与漏源之间的交叠电容很小,通常可忽略,而只考虑多晶硅与低掺杂浓度衬底之间的 MOS 电容,此 MOS 电容的电压系数很大,通常不能使用。为此需要加一块离子注入版,注入浓度为 $10^{13} \sim 10^{14}/\text{厘米}^2$,就得到一个多晶硅与重掺杂衬底间的电容,介质还是栅氧化层,其电容结构如图 4.2-5 所示。其栅氧化层厚度为 1000 埃时,单位面积电容值是 35×10^{-9} 法/厘米²。显然,此电容的上电极和下电极也存在着寄生电容。

3. 硅栅工艺中的铝-多晶硅电容

在硅栅工艺的蒸铝工艺前用光刻方法刻去多晶硅上的厚氧化层,再在多晶硅上热生长一层薄氧化层(与栅氧化层同时做),然后蒸铝,最后形成一个铝-氧化层-多晶硅电容,其结构如图 4.2-6 所示。多晶硅的底部是厚的场氧化层(约 1 微米)故此电容的下电极与衬底之间的寄生电容很小,通常是电容 C 容量的 10%,而电容上电极与衬底之间的寄生电容更小,一般是电容 C 容量的 0.1%~5%。

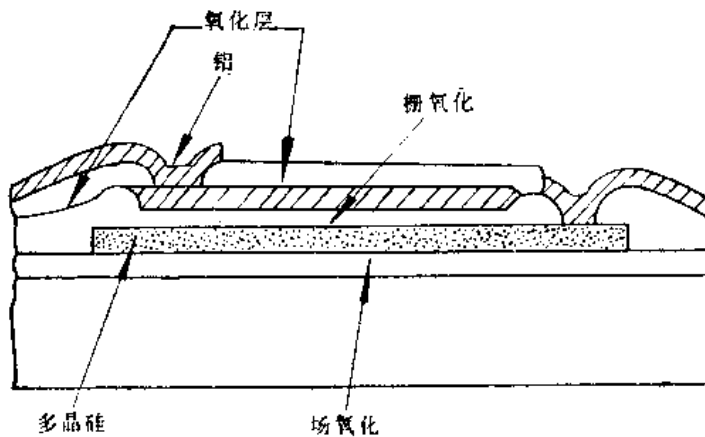


图 4.2-6 铝-多晶硅电容

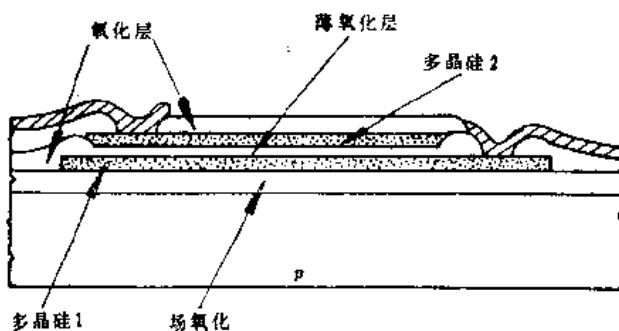


图 4.2-7 双层多晶硅电容

4. 硅栅工艺中的双层多晶硅电容

硅栅工艺中的双层多晶硅电容,其结构如图 4.2-7 所示,两层多晶硅之间是一层薄氧化层,此氧化层通常与栅氧化层同时形成,其厚度 600 埃~1000 埃。由图 4.2-7 可知,此电容与铝-多晶硅电容一样,寄生电容很小。由于双层多晶硅电容具有性能稳定,寄生电容小等优点,因此通常用它作为开关电容电路、

A/D、D/A 等集成电路中的电容。

(三) 开关电容的等效电阻

近年来,在 MOS 模拟集成电路中,普遍采用由 MOS 模拟开关、MOS 电容和 MOS 运放

构成的开关电容电路,如开关电容滤波器、开关电容振荡器等。这些电路的主要原理是,在时钟信号的作用下,模拟开关和电容构成的开关电容电路可看成一个等效电阻。由 MOS 模拟开关和 MOS 电容构成的等效电阻,其电路形式如图 4.2-8 所示; M_1 和 M_2 为 n 沟的模拟开关,栅极分别作用 ϕ_a, ϕ_b 时钟信号,当 ϕ_a 为高电平 (ϕ_b 为低电平) M_1 导通, M_2 截止,电容 C_1 与信号源电压 V_1 接通, V_1 对电容 C_1 充电;当 ϕ_b 为高电平时 (ϕ_a 为低电平) M_2 导通, M_1 截止,电容 C_1 与 V_2 接通,电容 C_1 向 V_2 放电,直至电容电压降低到 V_2 为止。这样由电源 V_1 流入电源 V_2 的总电荷量为

$$\Delta Q = C(V_1 - V_2). \quad (4.2-1)$$

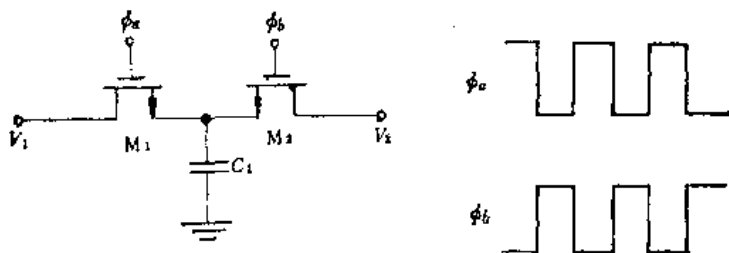


图 4.2-8 开关电容等效电阻

若时钟信号 ϕ_a, ϕ_b 的周期为 T , 并设电源 V_1 和 V_2 的频率小小于时钟信号频率 $f(\frac{1}{T})$, 那么在一个周期内电源 V_1 向电源 V_2 传递的平均电流为

$$I = \frac{\Delta Q}{T} = \frac{C}{T} (V_1 - V_2) = Cf(V_1 - V_2). \quad (4.2-2)$$

开关电容可等效一个电阻,其关系式为

$$R = \frac{V_1 - V_2}{I} = \frac{T}{C} = \frac{1}{fC}. \quad (4.2-3)$$

若 $C=1$ 皮法, $f=100$ 千赫, 那么开关电容的等效电阻为 10 兆欧, 其占用芯片面积只有 0.01 平方毫米。(4.2-3) 式是设计开关电容电路的重要关系式, 根据此关系式可以设计出高性能开关电容积分器、开关电容滤波器和开关电容振荡器等。

第三节 CMOS 电路的版图设计

CMOS 电路的版图设计规则与其他电路的设计规则一样,首先要考虑光刻工艺所允许的最小尺寸及最小间隔,例如扩散区的最小尺寸和间隔,多晶硅的最小尺寸和间隔,铝条的最小尺寸和间隔等等。其次,要考虑各道光刻版之间允许的套准精度。另外,从器件性能角度考虑,还要制订一些器件允许的最小尺寸如沟道长度等,为了减少 CMOS 电路中的一些寄生效应和漏电现象,设计版图时还需要对管子间距等制订一些规则。

由于设计规则与工艺条件、工艺水平密切相关,因此各个单位的设计规则可以不同,随着工艺水平的不断提高,设计规则还会不断地改进,所以下面所列设计规则中的数据只是一个例子,主要把设计规则中应考虑的问题提出来,作为制订设计规则的参考。

(一) 铝栅 CMOS 工艺设计规则

参照第一节铝栅 CMOS 工艺流程,我们知道铝栅 CMOS 工艺共需六块光刻版,每块光刻版的设计规则应作如下考虑:

1. p 阱光刻版

(1) p 阱区最小宽度一般不予规定,因为 p 阱区内要做 n 沟管子,实际上 p 阱宽度总是比较大,不会受到光刻工艺的限制。

(2) p 阱与 p 阱之间的最小间距 40 微米

在 CMOS 工艺中一般 NMOS 场效应管的衬底电位都相同,它们可以做在一个 p 阱内。当 NMOS 管的衬底电位不相同, p 阱必须分开。由于 p 阱的结深较深 ($x_j \approx 8 \sim 10$ 微米),因此其横向扩散也较大 ($6 \sim 8$ 微米),再考虑到 $p-n$ 结反向偏置时的势垒扩展, p 阱之间的距离应该是较大的。实际上,为防止 p 阱与 p 阱之间的场开启漏电,两个 p 阱之间的 n^- 衬底上必须制作 n^+ 隔离环,而 p 阱周围又有 p^+ 环,因此 p 阱之间距为 40 微米,如图 4.3-1 所示。

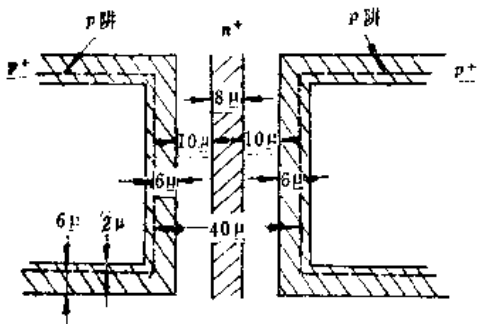


图 4.3-1 p 阱与 p 阱之间的设计规则

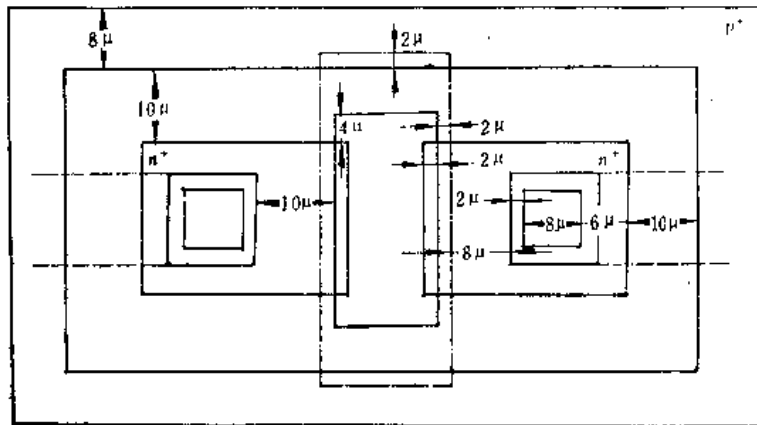


图 4.3-2 铝栅 NMOS 管版图设计规则

2. p^+ 区光刻版

(1) p^+ 区最小宽度,它取决于光刻能刻出的最小线条宽度,定为 8 微米,该宽度也就是 MOS 管最小沟道宽度,具体如图 4.1-5(a) 所示。

(2) p^+ 与 p^+ 之间的最小间隔,它不仅取决于光刻能刻出的最小线条间隔,还与横向扩散宽度密切相关,定为 10 微米,该间隔也就是 MOS 管最小沟道长度,如图 4.1-5(a) 所示。

(3) p 阱必须用 8 微米的 p^+ 扩散区环绕, p^+ 环内侧离 p 阱线 2 微米,外侧离 p 阱线 6 微米,具体如图 4.3-1 所示。

(4) n 沟 MOS 管的周围也必须用 8 微米的 p^+ 扩散区环绕,以防止 n 沟 MOS 管之间由于场开启而漏电,如图 4.3-2 所示。

(5) p^+ 环与 n^+ 漏源区的最小间隔为 10 微米,这是因为考虑到 p^+ 和 n^+ 光刻版之间的套准精度及 p^+ 、 n^+ 的横向扩散。

3. n^+ 光刻版

n^+ 光刻版的设计规则与 p^+ 光刻版基本相同。

- (1) n^+ 区的最小宽度为 8 微米。
- (2) n^+ 与 n^+ 之间的最小间隔为 10 微米。
- (3) p 沟 MOS 管的 p 周围必须用 8 微米的 n^+ 扩散区围绕,如图 4.1-5a 所示。
- (4) n^+ 环与 p^+ 漏源区的最小间隔为 10 微米。

4. 栅及预刻孔光刻版

(1) 栅区与漏源区交叠 2 微米(最小和最大),为保证漏源之间的沟道区上有薄栅氧化层覆盖,并具有一定的光刻套准精度,栅区必须与漏源区交叠,由于漏源扩散有一定的横向宽度,所以交叠量不必太大,否则栅-源、栅-漏寄生电容增大。

(2) 在 p 沟道宽度方向,为了保证管子的沟道宽度 W (由漏源区宽度而定),栅区必须伸出漏源区至少 4 微米,具体如图 4.3-2 所示。一般情况下栅区可以延伸到隔离环。

- (3) 预刻引线孔版比引线孔版大 2 微米。
- (4) 预刻孔与栅区的最小间隔为 10 微米,以保证引线孔上铝条与栅上铝条的间隔。

5. 引线孔光刻版

- (1) 最小引线孔面积 8 微米 $\times$ 8 微米或 6 微米 $\times$ 10 微米。
- (2) 引线孔与漏源扩散区边界的最小间距 6 微米。

6. 铝条光刻版

- (1) 铝条覆盖引线孔时,至少伸 2 微米。
- (2) 在沟道长度方向铝条覆盖栅区时,至少伸出 2 微米。
- (3) 在沟道宽度方向,栅区上的铝条必须延伸到隔离环,与隔离环交叠量最小为 2 微米,以防止漏源区的边缘区域漏电。

- (4) 在铝条长度短于 250 微米时,铝条最小宽度为 8 微米,铝条最小间隔为 8 微米。
- (5) 在铝条长度大于 250 微米时,铝条最小宽度为 10 微米,铝条最小间隔也为 10 微米。
- (6) 最小压点面积为 120 微米 $\times$ 140 微米。
- (7) 压点间最小间距 120 微米。
- (8) 电路中的压点与铝条的最小间距为 40 微米。

(二) 硅栅 CMOS 工艺 6 微米设计规则

根据第一节(五)所述,硅栅等平面隔离 CMOS 工艺步骤中所用的九块光刻版制订规则如下(有些规则的考虑出发点与铝栅相同的就不加以说明)。

1. p 阱版

p 阱到 p 阱之间最小间距为 26 微米。

2. 有源区版

- (1) 有源区最小宽度为 6 微米。
- (2) 有源区最小间隔为 8 微米。
- (3) p 阱外 p^+ 有源区离 p 阱最小间距为 20 微米。
- (4) p 阱外 n^+ 有源区离 p 阱最小间距为 10 微米。
- (5) p 阱内 n^+ 有源区离 p 阱为 10 微米。

(6) P 阱周围的 P^+ 环有源区内侧, 离 P 阱间距为 2 微米, P^+ 环有源区外侧离 P 阱为 4 微米。

3. n 沟场注入版: n 沟场注入区比 P 阱大 4 微米, 以保证 P 阱区表面不会反型。

4. 多晶硅版

(1) 多晶硅最小宽度为 6 微米。

(2) 多晶硅最小间隔为 6 微米, 因为多晶硅之间不需要考虑横向扩散。

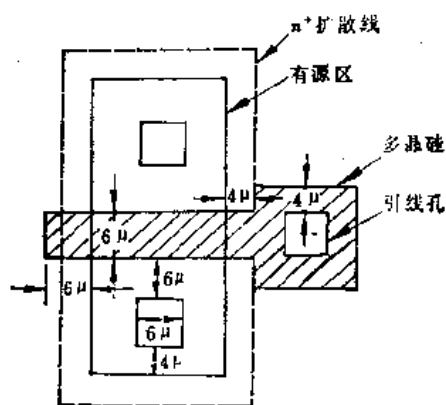


图 4.3-3 硅栅 NMOS 管版图设计规则

(3) 在多晶硅与扩散区交叠以形成 MOS 管区时, 多晶硅必须伸出有源区 6 微米, 以保证漏源之间的沟道区上面确实有栅电极的电位控制, 防止漏源之间直接短路。如图 4.3-3 所示。

(4) 在非 MOS 管区, 多晶硅与有源区的间隔为 4 微米, 否则在光刻未套准时, 多晶硅与扩散区交叠会形成一个不需要的 MOS 电容。

5. P 沟阈值电压 V_T 的调整版

P 沟 V_T 调整版, 必须至少比 P 沟 MOS 管沟道区大 4 微米, 它可用 P 阱或 n 沟场注入的反版。

6. n^+ 扩散版

n^+ 扩散版要比 n^+ 有源区至少大 4 微米。

7. P^+ 扩散版

P^+ 扩散版要比 P^+ 有源区至少大 4 微米, 实际上可以用 n^+ 的反版。

8. 引线孔版

(1) 有源区上的引线孔与有源区边界的最小间距为 4 微米。

(2) 有源区上的引线孔与多晶硅栅的最小间距为 6 微米。

(3) 多晶硅上的引线孔与多晶硅边界的最小间距为 4 微米。

(4) 引线孔最小尺寸为 6 微米 $\times$ 6 微米或 4 微米 $\times$ 8 微米。

9. 铝条光刻版

(1) 铝条最小宽度 6 微米。

(2) 铝条最小间隔 6 微米。

(3) 铝条覆盖引线孔 2 微米。

(三) 硅栅 CMOS 运放版图实例

硅栅 CMOS 运放的版图实例如图 4.3-4 所示, 此版图所表示的线路图是第三章图 3.11-7 所示的 CMOS 运放。版图中的序号对应于图 3.11-7 电路中管子的序号。

图中 M_1 、 M_2 输入管制作在一个 P 阱内, P 阱电位由 P^+ 环接向两管的源极, 即 M_1 、 M_2 管通过独立的 P 阱, 使衬底与源极短接, 以减小衬底偏置效应。其他 n 沟 MOS 管都制作在另一 P 阱中, P 沟 MOS 管制作在 P 阱外的 n^- 衬底上。图中的补偿电容 C_c 由双层多晶硅构成。

图 4.3-4 所示的版图共有十一套光刻版, 它们是:

(1) P 阱光刻版。

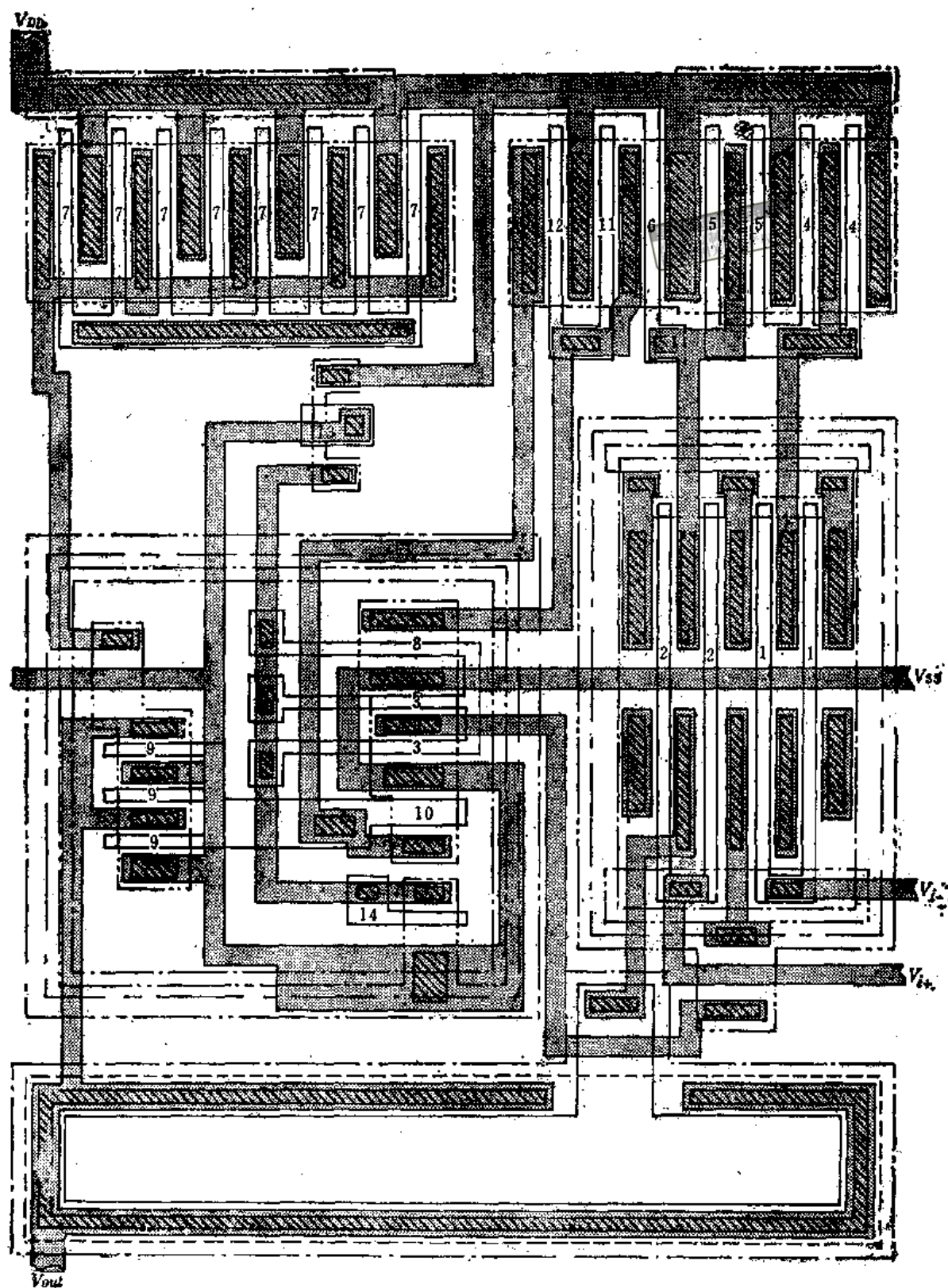


图 4.3-4 硅栅 CMOS 运放版图 图中的符号为引线孔:  铝线:  , p 阱:  , 有源区:  , 多晶硅 I:  , 多晶硅 II: , n⁺, p⁺ 扩散:

(2) 有源区光刻版。

(3) 多晶硅 I 光刻版。多晶硅 I 作为 MOS 电容的下电极。

(4) n 沟场注入光刻版。此道工序在 n 沟场区注入硼, 以提高 n 沟场区的场开启电压 V_{rr} 。在 n 沟场注入前, 有源区部分已有 Si_3N_4 掩蔽, 硼离子不会注入到有源区, 因此 n 沟场注入光刻版可用 p 阱光刻版。

(5) p 沟 MOS 管阈值电压 V_{rr} 调整光刻版, 此光刻版用 p 阱的反版。

(6) 多晶硅 II 光刻版。此工序形成 MOS 管栅极和多层多晶硅电容的上电极。

(7) p^+ 区光刻版。

(8) n^+ 区光刻版, 即 p^+ 区光刻版的反版。

(9) 引线孔光刻版。

(10) 铝条光刻版。

(11) 钝化光刻版。

图 4.3-4 所示的运放版图是实际版图(芯片尺寸)的 500 倍, MOS 管的最小沟道长度是 4 微米。

第五章 MOS 集成滤波器

滤波器在通信系统、工业控制、仪器仪表、数据检测和处理等各个领域有着广泛的应用。从历史发展情况来看,早期的滤波器通常是用无源的电阻、电感和电容等元件来实现的,这种滤波器通常称为 RLC 滤波器。但在低频使用场合, RLC 滤波器的电感在电损耗、噪声和体积等方面都存在问题。所以在七十年代初期,人们开始使用集成运放和电阻、电容等元件构成的 RC 有源滤波器,由于 RC 有源滤波器性能优良、制作简便,从而得到广泛的应用。近年来,由于功耗低、输入阻抗高的 MOS 集成运放的诞生,人们开始广泛使用 MOS 集成运放的 RC 有源滤波器。与此同时,由于 MOS 工艺日益完善,一种由 MOS 运放、MOS 电容和 MOS 模拟开关等组成的集成开关电容滤波器,近年来发展十分迅速,在音频领域,这种开关电容滤波器正在逐步取代 RLC 无源滤波器和 RC 有源滤波器。本节介绍由集成运放构成的 RC 有源滤波器和集成开关电容滤波器的设计方法,并给出滤波器的设计公式、图表和实用电路结构,以便进行工程设计。为使读者掌握集成滤波器的设计方法,本章给出实用集成滤波器的设计步骤及其实例。

第一节 滤波器原理

(一) 滤波器概述

滤波器通常可看作双端口线性网络,它能传输某一频率范围内的信号,而阻止某一频率范围内的信号。让信号通过的这段频率范围叫做通带,阻止信号通过的频率范围叫做阻带。按通带和阻带在频域内的位置,滤波器分为低通、高通、带通和带阻等主要四种类型。

低通滤波器通过低频信号而衰减或抑制高频信号。理想的低通滤波器幅度响应如图 5.1-1a 虚线所示,其通带增益为 1 (也可以是某一常数),通带带宽为 ω_c ,阻带被衰减到零,故其理想的频率响应为

$$H_{Lr}(j\omega) = \begin{cases} 1, & (0 \leq \omega \leq \omega_c) \\ 0, & (\omega_c \leq \omega \leq \infty) \end{cases}$$

理想的低通幅度响应是不可能实现的,但可用下面的传递函数近似地表示理想特性,

$$H(S) = \frac{H_0 a_0}{S^n + a_{n-1} S^{n-1} + \dots + a_1 S + a_0} \quad (5.1-1)$$

式中 $H_0, a_0, a_1, \dots, a_{n-1}$ 为适当选择的常数。上式表示一个 n 阶全极点近似式,用此式实现的低通滤波器称为 n 阶全极点低通滤波器, n 越大,则实际的低通滤波器的幅频响应越接近理想的低通滤波器的幅频响应。可以实现的近似于理想特性的幅频响应如图 5.1-1a 实线所示。低通滤波器增益是传递函数在 $S=0$ 时的值,在 (5.1-1) 式里,增益就是 H_0 ,若 H_0 取 1 则增益就是 1。

高通滤波器通过高频信号而衰减低频信号。理想的高通幅频响应如图 5.1-1b 虚线所示,

其关系式为

$$H_{HP}(j\omega) = \begin{cases} 0, & (0 \leq \omega \leq \omega_c) \\ 1, & (\omega_c \leq \omega \leq \infty) \end{cases}$$

可以实现的近似于理想特性的幅频响应如实线所示。为获得高通滤波器的传递函数,只需将低通滤波器传递函数中的 S 用 $1/S$ 代换即可,因此高通滤波器的传递函数可由低通滤波器的传递函数进行变换得到。

带通滤波器通过中心频率为 ω_0 、带宽为 B 的频带内的信号,而衰减频带 B 以外的信号。比值 $Q = \omega_0/B$, 叫做滤波器的品质因素,可用来衡量滤波器的选择性。带通滤波器的增益定义为传递函数在中心频率 ω_0 处的幅值。理想带通滤波器的幅频响应如图 5.1-1c 所示,其关系式为

$$H_{BP}(j\omega) = \begin{cases} 0, & (0 \leq \omega \leq \omega_{c1}) \\ 1, & (\omega_{c1} \leq \omega \leq \omega_{c2}) \\ 0, & (\omega_{c2} \leq \omega \leq \infty) \end{cases}$$

一个近似于理想特性的可实现幅频响应如实线所示。对于可以实现的近似响应,截止频率 ω_{c1}, ω_{c2} 是幅值下降到最大值的 $1/\sqrt{2}$ 处的频率,带宽定义为 $B = \omega_{c2} - \omega_{c1}$, 中心频率 ω_0 通常是 ω_{c1} 和 ω_{c2} 的几何平均值,即 $\omega_0 = \sqrt{\omega_{c1} \cdot \omega_{c2}}$ 。

和高通滤波器一样,带通滤波器的传递函数也可通过变换低通滤波器的传递函数求得。

带阻滤波器(也叫陷波器)是通过除一个频率外的所有其他频率信号的一种滤波器。带阻

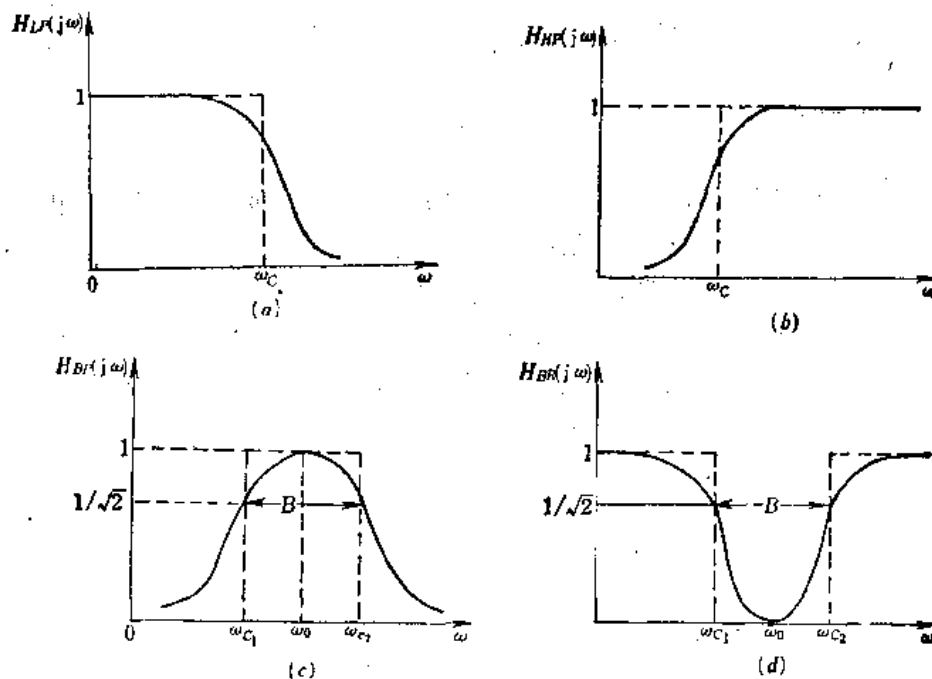


图 5.1-1 各类滤波器的幅频特性

(a) 低通滤波器; (b) 高通滤波器; (c) 带通滤波器; (d) 带阻滤波器

滤波器的幅频响应如图 5.1-1d 所示,这里虚线表示理想的幅频响应,而实线代表近似于理想特性并可实现的幅频响应。被阻止的频带是以频率为 ω_0 为中心,其宽度为 B 。和带通滤波器一

样,定义 $Q=\omega_0/B$,因而高 Q 表示阻带窄,而低 Q 表示阻带宽。图 5.1-1(d)中的 ω_{c1} 、 ω_{c2} 为阻带滤波器的截止频率, ω_0 通常为 ω_{c1} 、 ω_{c2} 的几何平均值,即 $\omega_0=\sqrt{\omega_{c1}\cdot\omega_{c2}}$ 。理想带阻滤波器的幅频关系式为

$$H_{BR}(j\omega)=\begin{cases} 1, & (0\leq\omega\leq\omega_{c1}) \\ 0, & (\omega_{c1}\leq\omega\leq\omega_{c2}) \\ 1, & (\omega_{c2}\leq\omega\leq\infty) \end{cases}$$

对于实际的带阻滤波器,截止频率 ω_{c1} 、 ω_{c2} 处的幅值为最大幅值的 $1/\sqrt{2}$ (设最大增益为1),其带宽为 $B=\omega_{c2}-\omega_{c1}$ 。

和高通、带通滤波器一样,带阻滤波器的传递函数可以通过变换低通滤波器的传递函数求得。

(二) 滤波器的近似方法

滤波器的近似方法主要有三种:1. 巴特沃思(Butterworth)近似(最大平坦近似);2. 切比雪夫(Chebyshev)近似(等波动近似);3. 椭圆函数近似。

上面指出,在实现各种滤波器时,可以只考虑低通滤波器,其他三种(高通、带通和带阻)滤波器都可根据低通滤波器的网络函数,通过相应的参数变换来得到,具体的变换方法将在后面进行讨论。在考虑低通滤波器的网络函数时,不同的低通滤波器其通带截止频率 ω_c 可能是各不相同的,但为了讨论方便起见,把频率变量 ω 按通常截止频率 ω_c 的尺度进行变换,取 $\Omega=\omega/\omega_c$ 的归一化频率进行近似。对于归一化频率 Ω 来说,所有低通滤波器的通带截止频率将都变为1。下面分别讨论几种主要低通滤波器的近似方法。

1. 巴特沃思近似

巴特沃思低通滤波器的幅频关系式为

$$|H(j\Omega)|^2 = \frac{H^2(0)}{1+(\Omega)^{2n}}, \quad n=1,2,3\cdots \quad (5.1-2)$$

式中 Ω 为归一化频率,即 $\Omega=\omega/\omega_c$; $H(0)$ 为 $\Omega=0$ 时的幅值。

从(5.1-2)式可以看到幅频函数 $|H(j\Omega)|$ 将随归一化频率 Ω 的增大而单调地减少。当 $\Omega=0$ 时, $|H(j0)|=H(0)$ 为最大值,当 $\Omega=1$ 时, $|H(j\Omega)|=H(0)/\sqrt{2}$,即下降3分贝,以后随 Ω 的增大而逐渐趋向于零。对于巴特沃思近似,它的通带衰减为3分贝,且与阶数 n 无关。随着阶数 n 的增大,其幅频响应越接近于理想滤波器的幅频特性。图 5.1-2 给出了 $n=2,5,10$ 时的巴特沃思近似的幅频特性,图中 $H(0)=1$ 。

从(5.1-2)式可知,当 $\Omega>1$ 时,其幅值将以 $-20n$ 分贝/10倍频程速率下降。根据对某一阻带频率 Ω_s 时需 A_s 分贝的衰减量,则巴特沃思的阶数 n 为

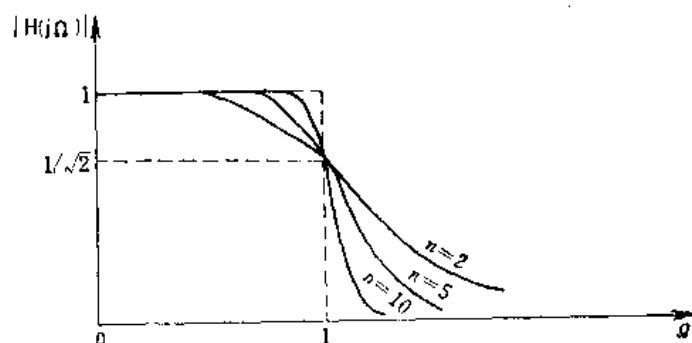


图 5.1-2 $n=2,5,10$ 时的巴特沃思近似的幅频特性

$$n = \frac{A_s}{20 \log(\Omega_s)} \quad (\text{取大的整数}).$$

例如 $\Omega_s=2$ 时, 要求衰减量 A_s 大于 40 分贝, 则根据上式得

$$n = \frac{A_s}{20 \log(\Omega_s)} = \frac{40}{20 \log 2} = 6.6,$$

取 $n=7$, 即巴特沃思低通滤波器的阶数 $n=7$ 时才能满足, $\Omega_s=2$ 时阻带衰减量大于 40 分贝的要求。显然, 对于某一归一化角频率 Ω (大于 1), 衰减 A_s 越大, 所需阶数 n 越大。反之, 对于给定的阻带衰减量 A_s , Ω_s 越接近于 1, 则阶数 n 越大。

为求得巴特沃思低通滤波器的网络函数 $H(S)$, 由 (5.1-2) 式可以写为

$$H(j\Omega)H(-j\Omega) = \frac{H^2(0)}{1+(\Omega)^{2n}}. \quad (5.1-4)$$

将上式的 $j\Omega$ 变为复数变量 S , 则有 $\Omega^2 = -S^2$, 用 S 变量代入上式, 则可得 (设 $H(0)=1$)

$$H(S)H(-S) = \frac{1}{1+(-S^2)^n}. \quad (5.1-5)$$

(5.1-5) 式具有 $2n$ 个极点, 其极点可由下式得到:

$$1+(-1)^n S^{2n} = 0. \quad (5.1-6)$$

由此式可知, $2n$ 个极点分布在 S 平面的单位圆上, 且左、右平面对称的。为了满足可实现条件, 可认为左半平面极点为 $H(S)$ 的极点。根据 (5.1-6) 式, 左平面的极点可写为

$$S_k = \exp \left[j \left(\frac{2K-1+n}{2n} \right) \pi \right], \quad K=1, 2, \dots, n \quad (5.1-7)$$

因而巴特沃思低通滤波器的网络函数为 (见参考文献 (32))

$$H(S) = \frac{1}{\prod_{k=1}^n (S - S_k)}. \quad (5.1-8)$$

为方便起见, 上式可写为:

n 为偶数时,

$$\begin{aligned} H(S) &= \frac{1}{\prod_{k=1}^{n/2} [S^2 + (2 \cos Q_k)S + 1]}, \\ &= \frac{1}{\prod_{k=1}^{n/2} (S^2 + a_{1k}S + 1)} \end{aligned} \quad (5.1-9)$$

而

$$a_{1k} = 2 \cos Q_k, \quad (5.1-10)$$

$$Q_k = \left(\frac{2K-1}{2n} \right) \pi. \quad (5.1-11)$$

n 为奇数时,

$$\begin{aligned} H(S) &= \frac{1}{(S+1) \prod_{k=1}^{(n-1)/2} [S^2 + (2 \cos Q_k)S + 1]} \\ &= \frac{1}{(S+1) \prod_{k=1}^{(n-1)/2} (S^2 + a_{1k}S + 1)}, \end{aligned} \quad (5.1-12)$$

而

$$a_{1k} = 2 \cos Q_k, \quad (5.1-13)$$

$$Q_k = \frac{K\pi}{n} \quad (5.1-14)$$

由(5.1-10)、(5.1-11)式和(5.1-13)、(5.1-14)式可求得 a_{1k} 。表5.1-1列出 n 从2到10的 a_{1k} 值。根据 a_{1k} 值,可直接写出 n 从2到10的巴特沃思低通滤波器的网络函数 $H(S)$ 。例如, $n=5, a_{11}=0.618, a_{12}=1.618$,由(5.1-12)式得

$$H(S) = \frac{1}{(S+1)(S^2+0.618S+1)(S^2+1.618S+1)}$$

表 5.1-1 巴特沃思网络函数中的 a_{1k}

n	a_{11}	a_{12}	a_{13}	a_{14}	a_{15}
2	1.414				
3	1.000				
4	0.765	1.848			
5	0.618	1.618			
6	0.518	1.414	1.932		
7	1.802	1.247	0.445		
8	0.390	1.111	1.663	1.962	
9	0.348	1.000	1.532	1.879	
10	0.312	0.908	1.414	1.782	1.975

对于 $n \leq 10$ 的巴特沃思低通滤波器的幅频特性如图5.1-3所示。图中的角频率座标为归一化角频率 Ω , $H(0)$ 等于0分贝。

2. 切比雪夫近似

巴特沃思近似在 $\Omega=0$ 处具有较好的幅频特性,但在 Ω 较大时(即当 $\Omega=1$ 时)有3分贝的误差,同时在阻带($\Omega > 1$)中,幅度的衰减速率不是很快(对于一定的 n 值),为此采用切比雪夫近似,由于这种近似在通带内具有等波动特性,故称这种近似为等波动近似。切比雪夫低通滤波器的幅频响应为

$$|H(j\Omega)|^2 = \frac{H_0^2}{1 + \epsilon^2 C_n^2(\Omega)} \quad (5.1-15)$$

式中归一化频率 $\Omega = \omega/\omega_c$,而 ω_c 为通带等波动宽度; H_0 是 $\Omega=0$ 时的幅值; ϵ 是与通带波动大小有关的量,其值小于1; $C_n(\Omega)$ 是切比雪夫多项式。

切比雪夫多项式定义如下:

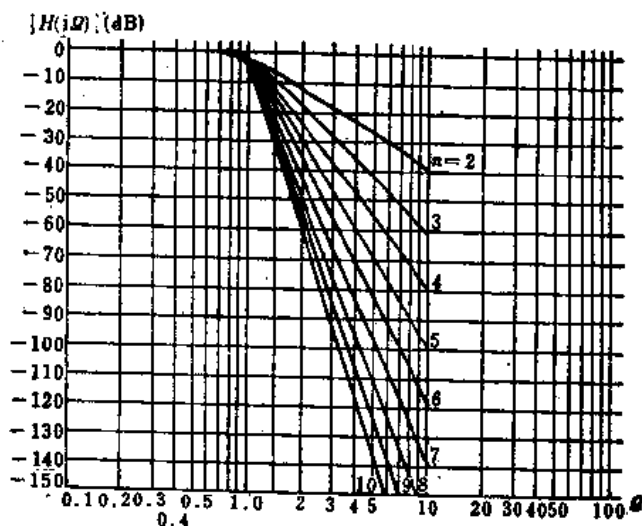


图 5.1-3 $n \leq 10$ 的巴特沃思低通滤波器的幅频特性

$$C_n(\Omega) = \begin{cases} \cos(n \cos^{-1} \Omega), & (0 \leq \Omega \leq 1) \\ \cosh(n \cosh^{-1} \Omega), & (\Omega > 1) \end{cases} \quad (5.1-16)$$

由 (5.1-16) 式得 $C_n(\Omega)$ 的表示式, 如表 5.1-2 所示。

图 5.1-2 切比雪夫多项式

$$\begin{aligned} C_0(\Omega) &= 1 \\ C_1(\Omega) &= \Omega \\ C_2(\Omega) &= 2(\Omega)^2 - 1 \\ C_3(\Omega) &= 4(\Omega)^3 - 3(\Omega) \\ C_n(\Omega) &= 2(\Omega)C_{n-1}(\Omega) - C_{n-2}(\Omega) \end{aligned}$$

切比雪夫多项式具有以下特点:

(1) 在 $\Omega \leq 1$ 的范围内, 函数值 $C_n(\Omega)$ 进行波动, 但它的绝对幅度不超出 1, 即 $|C_n(\Omega)| \leq 1$ 。

(2) 当 $\Omega > 1$ 时, 则 $|C_n(\Omega)|$ 将随 Ω 的增加而迅速增加。

从 (5.1-15) 式可以看出, 在 $\Omega \leq 1$ 时, 因为 $\epsilon < 1$, $|C_n^2(\Omega)| \leq 1$, 因此 $|H(j\Omega)|^2$ 只是在 H_0 以下进行波动, ϵ 越小则波动也越小, 但当 $\Omega > 1$ 时, 并且 $\epsilon^2 C_n^2(\Omega) \gg 1$, 那么 $|H(j\Omega)|^2$ 将 $\ll 1$, n 越大, 则减小得越快。图 5.1-4 示出了对于某一 ϵ 值, n 分别为 2、5 和 10 时, 切比雪夫近似的幅频特性。

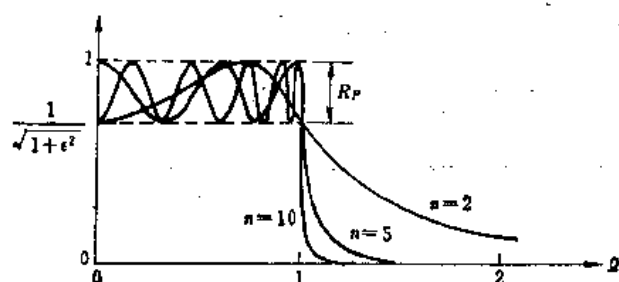


图 5.1-4 n 为 2、5、10 时的切比雪夫幅频特性

夫近似的幅频特性。

由图 5.1-4 可知, 通带内具有等波动性质, 通带最大的衰减值 R_p 与 ϵ 的关系为 (见参考文献 (32))

$$\epsilon^2 = 10^{0.1R_p} - 1, \quad (5.1-17a)$$

$$R_p = 10 \log(1 + \epsilon^2). \quad (5.1-17b)$$

通带内波动的次数将由近似阶数 n 来确定, n 越大则波动次数越多, 但在 $\Omega = 1$ 处,

则不管 n 为多大, 衰减值相同, 即等于 R_p (分贝)。当 $\Omega > 1$ 时, 幅度下降速率要比巴特沃思近似来得快。若阶数 n 相同, 则 R_p 越大, 阻带的衰减速率越快。

关于近似函数的阶数 n , 也和巴特沃思近似一样, 将由滤波器到达阻带衰减 A_s (分贝) 时的阻带频率 Ω_s 来确定, 其关系式可由 (5.1-15) 式来确定。设 $H_0 = 1$, 则阻带衰减值 $A_s = 1/|H(j\Omega_s)|$, 即

$$A_s = 10 \log(1 + \epsilon^2 C_n^2(\Omega_s)). \quad (5.1-18)$$

当 Ω 较大时, $\epsilon^2 C_n^2(\Omega) \gg 1$, 并根据 $C_n(\Omega)$ 的递推关系式 (见表 5.1-2), 可以推得 $C_n(\Omega)$ 多项式中 Ω 的最高次项将为 $2^{n-1} \Omega^n$, 若在多项式中仅保留其最高次项, 于是 (5.1-18) 式可近似为

$$\begin{aligned} A_s &= 20 \log \epsilon + 20 \log(2^{n-1} \Omega_s^n) \\ &= 20 \log \epsilon + 6(n-1) + 20n \log \Omega_s. \end{aligned}$$

由上式得

$$n = \frac{A_s + 6 - 20 \log \epsilon}{6 + 20 \log \Omega_s}, \quad (\text{取其大的整数}) \quad (5.1-19)$$

【例 1】设计一个低通滤波器, 通带波动 $R_p = 0.5$ 分贝, 而当 $\Omega_s = 2$ 时, 阻带衰减值 $A_s \geq$

40 分贝, 试求切比雪夫近似阶数 n 。

由 (5.1-17a) 式得

$$\epsilon = \sqrt{10^{0.1R_p} - 1} = 0.3493,$$

由 (5.1-19) 式得

$$n = \frac{A_s + 6 - 20 \log \epsilon}{6 + 20 \log \Omega_s} = \frac{40 + 6 - 20 \log 0.3493}{6 + 20 \log 2} \\ = 3.066. \quad \text{取 } n = 4$$

根据前面计算可知, 阻带衰减 $A_s \geq 40$ 分贝条件下, 若采用巴特沃思近似, 阶数 n 为 7。显然, 切比雪夫近似在阻带衰减要比巴特沃思近似来得快。因此, 人们往往采用切比雪夫近似。

为求得切比雪夫近似的网络函数 $H(S)$, 将 $S = j\Omega$ 代入式 (5.1-15) 得

$$|H(S)|^2 = H(S)H(-S) = \frac{H_0^2}{1 + \epsilon^2 C_n^2(-jS)}. \quad (5.1-20)$$

由上式可求得 $H(S)$ 的极点, 设极点 $P_k = \sigma_k + j\omega_k$ 。经一定的数学处理后, σ_k, ω_k 分别由下式表示 (见参考文献 (32)):

$$\sigma_k = -\frac{1}{2} \sin\left(\frac{\pi}{2} \frac{1+2K}{n}\right) \left[\left(\frac{1}{\epsilon} + \sqrt{\frac{1}{\epsilon^2} + 1}\right)^{\frac{1}{n}} - \left(\frac{1}{\epsilon} + \sqrt{\frac{1}{\epsilon^2} + 1}\right)^{-\frac{1}{n}} \right]; \quad (5.1-21a)$$

$$\omega_k = \frac{1}{2} \cos\left(\frac{\pi}{2} \frac{1+2K}{n}\right) \left[\left(\frac{1}{\epsilon} + \sqrt{\frac{1}{\epsilon^2} + 1}\right)^{\frac{1}{n}} + \left(\frac{1}{\epsilon} + \sqrt{\frac{1}{\epsilon^2} + 1}\right)^{-\frac{1}{n}} \right]. \quad (5.1-21b)$$

式中 $K = 0, 1, 2, \dots, n-1$

计算出 σ_k, ω_k 后, 归一化的切比雪夫网络函数 $H(S)$ 表示式为

$$H(S) = \frac{H_0}{\prod_{i=1}^n (S - P_i)}. \quad (5.1-22)$$

式中

$$H_0 = \begin{cases} 10^{0.05R_p} \prod_{i=1}^n (-P_i), & n \text{ 为偶数} \\ \prod_{i=1}^n (-P_i), & n \text{ 为奇数} \end{cases}$$

H_0 是根据 $H(0) = 1$ 时求得值。将 (5.1-22) 式的分母展开, $H(S)$ 可写为:

n 为偶数时,

$$H(S) = \frac{1}{\sqrt{\frac{R_p}{10^{0.1}}}} \prod_{k=1}^{\frac{n}{2}} \frac{a_{0k}}{S^2 + a_{1k}S + a_{0k}}. \quad (5.1-23)$$

n 为奇数时,

$$H(S) = \frac{|\sigma_0|}{S + |\sigma_0|} \prod_{k=1}^{\frac{n-1}{2}} \frac{a_{0k}}{S^2 + a_{1k}S + a_{0k}}. \quad (5.1-24)$$

设 P_k^* 为 P_k 的共轭极点, 即 $P_k = \sigma_k + j\omega_k$; $P_k^* = \sigma_k - j\omega_k$ 则 (5.1-23), (5.1-24) 式中的 a_{0k} 和 a_{1k} 与极点的关系为

$$\begin{cases} a_{0k} = P_k P_k^* = \sigma_k^2 + \omega_k^2, & (5.1-25) \\ a_{1k} = 2|\sigma_k|. & (5.1-26) \end{cases}$$

(5.1-24) 式中的 σ_0 为网络函数的实极点。

巴特沃思网络函数 $H(S)$ 的极点分布在以 1 为半径的一个圆上, 而切比雪夫网络函数 $H(S)$ 的极点分布在相应的椭圆上, 它们分布的角度则都是相同的。

【例 2】 设计低通滤波器, 要求通带波动 $P_p = 0.25$ 分贝, 阻带频率 $\Omega_s = 2$ 时阻带衰减 $A_s \geq 40$ 分贝。

由 (5.1-17a) 式得

$$\epsilon = \sqrt{10^{0.1A_p} - 1} = 0.2434.$$

由 (5.1-19) 式得阶数 $n = 4$ 。

为简单起见, 将 (5.1-21a、b) 式改写为

$$\sigma_k = \sin\left(\frac{\pi}{2} \frac{1+2K}{n}\right) \sigma,$$

$$\omega_k = \cos\left(\frac{\pi}{2} \frac{1+2K}{n}\right) \omega$$

式中

$$\sigma = -\frac{1}{2} \left[\left(\frac{1}{\epsilon} + \sqrt{\frac{1}{\epsilon^2} + 1} \right)^{\frac{1}{4}} - \left(\frac{1}{\epsilon} + \sqrt{\frac{1}{\epsilon^2} + 1} \right)^{-\frac{1}{4}} \right],$$

$$\omega = \frac{1}{2} \left[\left(\frac{1}{\epsilon} + \sqrt{\frac{1}{\epsilon^2} + 1} \right)^{\frac{1}{4}} + \left(\frac{1}{\epsilon} + \sqrt{\frac{1}{\epsilon^2} + 1} \right)^{-\frac{1}{4}} \right].$$

将 ϵ 值代入 σ, ω 关系式得

$$\sigma = 0.555335, \quad \omega = 1.14385.$$

将 σ, ω 值代入 (5.1-21a、b) 式得

$$\sigma_0 = \sigma \sin\left(\frac{\pi}{8}\right) = -0.2125, \quad \omega_0 = \omega \cos\left(\frac{\pi}{8}\right) = 1.0568;$$

$$\sigma_1 = \sigma \sin\left(\frac{3\pi}{8}\right) = -0.5131, \quad \omega_1 = \omega \cos\left(\frac{3\pi}{8}\right) = 0.4377;$$

$$\sigma_2 = \sigma \sin\left(\frac{5\pi}{8}\right) = -0.5131, \quad \omega_2 = \omega \cos\left(\frac{5\pi}{8}\right) = -0.4377;$$

$$\sigma_3 = \sigma \sin\left(\frac{7\pi}{8}\right) = -0.2125, \quad \omega_3 = \omega \cos\left(\frac{7\pi}{8}\right) = -1.0568.$$

因而切比雪夫网络函数的极点为

$$P_1, P_1^* = -0.2125 \pm j1.0568,$$

$$P_2, P_2^* = -0.5131 \pm j0.4377,$$

$$a_{01} = P_1 P_1^* = 1.1620,$$

$$a_{02} = P_2 P_2^* = 0.4549,$$

$$a_{11} = 2|\sigma_0| = 0.4250,$$

$$a_{12} = 2|\sigma_1| = 1.0262.$$

由 (5.1-23) 式得归一化切比雪夫网络函数 $H(S)$ 为

$$H(S) = \frac{1}{\sqrt{10^{-\frac{R_p}{10}}}} \frac{a_{01}}{S^2 + a_{11}S + a_{01}} \frac{a_{02}}{S^2 + a_{12}S + a_{02}}$$

$$= \frac{0.5136}{(s^2 + 0.4250s + 1.1620)(s^2 + 1.0262s + 0.4549)}$$

表 5.1-3~5 分别给出通带波动 R_p 为 0.1 分贝、0.25 分贝和 0.5 分贝时的切比雪夫网络函数 a_{0k} 、 a_{1k} 和 $|\sigma_0|$ 值 ($a_{0k} = \sigma_k^2 + \omega_k^2$, $a_{1k} = 2|\sigma_k|$, 表中实极点为 σ_0)。

表 5.1-3 $R_p = 0.1$ 分贝时的切比雪夫网络函数 a_{0k} 、 a_{1k} 和 $|\sigma_0|$ 值

阶数 n	实部 $-\sigma_k$	虚部 $\pm w_k$
2	0.6104	0.7106
3	0.3490 0.6979	0.8684
4	0.2177 0.5257	0.9254 0.3833
5	0.3842 0.1468 0.4749	0.5884 0.9521
6	0.3916 0.2867 0.1049	0.2590 0.7077 0.9667
7	0.3178 0.2200 0.0785 0.3528	0.4341 0.7823 0.9755
8	0.3058 0.2592 0.1732 0.06082	0.1952 0.5558 0.8319 0.9812
9	0.2622 0.2137 0.1395 0.04845 0.2790	0.3421 0.6430 0.8663 0.9852

表 5.1-4 $R_p = 0.25$ 分贝时的切比雪夫网络函数 a_{0k} 、 a_{1k} 和 $|\sigma_0|$ 值

阶数 n	实部 $-\sigma_k$	虚部 $\pm w_k$
2	0.5621	0.7154
3	0.3062 0.6124	0.8712
4	0.4501 0.1865	0.3840 0.9272
5	0.3247 0.1240 0.4013	0.5892 0.9533
6	0.3284 0.2404 0.08799	0.2593 0.7083 0.9675
7	0.2652 0.1835 0.06550 0.2944	0.4344 0.7828 0.9761

(续表)

阶数 n	实部 $-\sigma_k$	虚部 $\pm w_k$
8	0.2543	0.1953
	0.2156	0.5561
	0.1441	0.8323
	0.05058	0.9817
9	0.2176	0.3423
	0.1774	0.6433
	0.1158	0.8667
	0.04021	0.9856
	0.2315	

表 5.1-5 $R_p=0.5$ 分贝时的切比雪夫网络函数 α_{0k}, α_{1k} 和 $|\sigma_k|$ 值

阶数 n	实部 $-\sigma_k$	虚部 $\pm w_k$
2	0.6129	0.7225
3	0.2683	0.8753
	0.5366	
4	0.3872	0.3850
	0.1605	0.9297
5	0.2767	0.5902
	0.1057	0.9550
	0.3420	
6	0.2784	0.2596
	0.2037	0.7091
	0.07459	0.9687
7	0.2241	0.4349
	0.1550	0.7836
	0.05534	0.9771
	0.2487	
8	0.2144	0.1955
	0.1817	0.5565
	0.1214	0.8328
	0.04264	0.9824
9	0.1831	0.3425
	0.1493	0.6436
	0.09743	0.8671
	0.03383	0.9861
	0.1949	

3. 椭圆函数近似

前面讨论的巴特沃思、切比雪夫网络函数 $H(S)$ 是全极点网络函数, 没有零点。这里讨论的椭圆函数近似是既有极点又有零点。它在通带部分与切比雪夫近似相似, 具有等波动特性, 而频率大于通带截止频率 ($\Omega=1$) 时, 其幅度衰减速率比切比雪夫近似更快, 但止带衰减不是单调的, 也具有等波动特性。为了便于比较, 图 5.1-5 给出了三种近似的幅频特性。这三种曲线, 阶数(极点) n 都等于 5, 切比雪夫通带波动 $R_p=0.1$ 分贝。椭圆函数通带波动 $R_p=0.1$ 分贝, 而且椭圆函数近似具有两个零点。

归一化椭圆函数的幅频曲线如图 5.1-6 所示。图中各参数定义如下:

R_p = 通带波动(与切比雪夫近似相同), 单位为分贝。

$A_{\min}$ = 止带最小衰减, 单位为分贝。

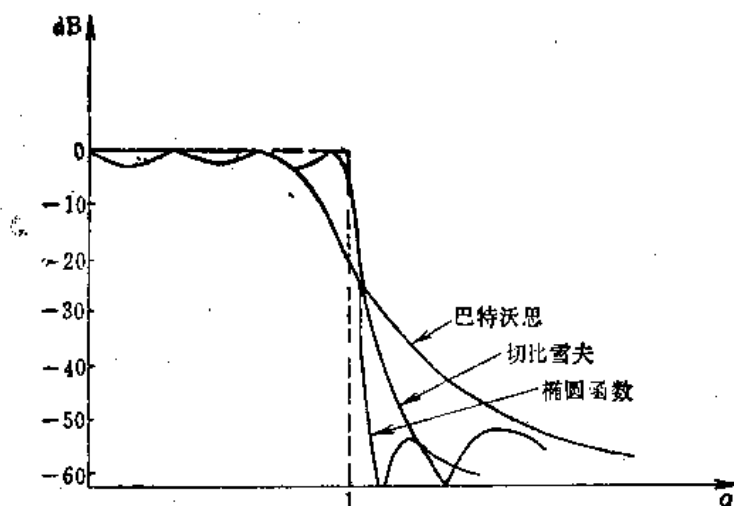


图 5.1-5 n 为 5 时巴特沃思、切比雪夫和椭圆函数近似的比较

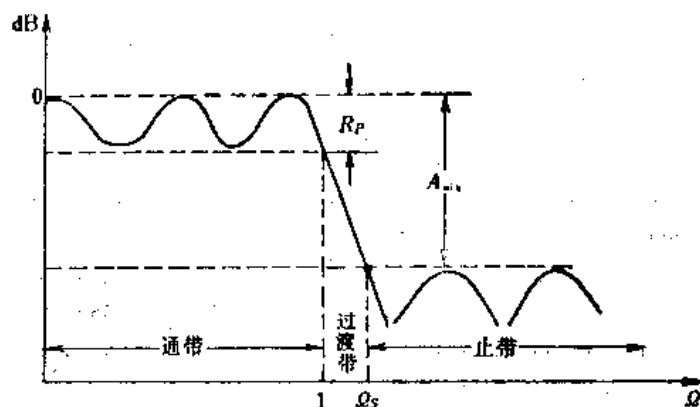


图 5.1-6 椭圆函数的幅频特性

Ω_s 为到达止带衰减 $A_{m:n}$ 时的最低止带频率,通常称椭圆近似的止带频率。
通带等波动宽度为通带截止频率,即 $\Omega=1$ 。 Ω 从 $1 \rightarrow \Omega_s$ 区,称为过渡带区。

椭圆函数近似的网络函数 $H(S)$ 计算十分复杂,这里不进行讨论。现只给出表示式和参数表,供设计使用。

椭圆函数近似的归一化网络函数 $H(S)$ 为

$$H(S) = \frac{1}{\sqrt{\frac{R_p}{10^{\frac{n}{10}}}}} \prod_{k=1}^{\frac{n}{2}} \frac{a_{0k}(S^2 + b_{0k})}{b_{0k}(S^2 + a_{1k}S + a_{0k})}, \quad (n \text{ 为偶数时}) \quad (5.1-27)$$

$$H(S) = \frac{\sigma_0}{S + \sigma_0} \prod_{k=1}^{\frac{n-1}{2}} \frac{a_{0k}(S^2 + b_{0k})}{b_{0k}(S^2 + a_{1k}S + a_{0k})}, \quad (n \text{ 为奇数时}) \quad (5.1-28)$$

式中的 a_{0k} 、 a_{1k} 、 b_{0k} 和 σ_0 由 R_p 、 $A_{m:n}$ 和止带频率 Ω_s 所决定。

表 5.1-6~表 5.1-8 分别给出 $n=3, 5, 7$ 时的归一化椭圆函数 $H(S)$ 。表中参数与 (5.1-27)、(5.1-28) 式中的 σ_0 、 a_{0k} 、 a_{1k} 和 b_{0k} 有如下的关系: $\Omega_a = \sigma_0$, $\Omega_0 = \sqrt{a_{0k}}$, $\Omega_N = \sqrt{b_{0k}}$, $Q = \sqrt{a_{0k}/a_{1k}}$ 。

表 5.1-6 阶数 $n=3$ 的椭圆函数*

R_p	A_{min}	Ω_s	Q	Ω_0	Ω_N	Ω_a
0.028	30.7	3.071630	1.351515	1.528182	3.522494	1.392875
	40.7	4.445432	1.269275	1.542544	5.116645	1.336793
	50.3	6.392636	1.234579	1.548868	7.370203	1.312539
	60.9	9.567567	1.217509	1.552035	11.04008	1.300465
0.100	29.8	2.458633	1.530908	1.293138	2.807970	1.072050
	40.6	3.628052	1.415443	1.301729	4.168930	1.019013
	50.5	5.241090	1.371578	1.305068	6.037960	0.998140
	62.3	8.206139	1.349240	1.303779	9.466798	0.987342
0.280	30.4	2.130062	1.781402	1.139203	2.423083	0.820965
	39.4	3.071630	1.638446	1.141262	3.522494	0.778245
	50.8	4.445432	1.580810	1.141940	5.116645	0.760244
	60.5	6.392636	1.555727	1.142198	7.370203	0.752256

$$* H(S) = \frac{\Omega_a}{S + \Omega_a} \frac{S^2 + \Omega_N^2}{S^2 + \frac{\Omega_0^2}{Q} S + \Omega_0^2} \frac{\Omega_0^2}{\Omega_N^2}$$

表 5.1-7 阶数 $n=5$ 的椭圆函数*

R_p	A_{min}	Ω_s	Q	Ω_0	Ω_N	Ω_a
0.028	30.0	1.325013	1.051842 5.046011	1.042735 1.112573	1.988127 1.369345	0.941595
	39.9	1.555724	0.946255 4.000406	0.996784 1.133117	2.437674 1.616977	0.839041
	50.4	1.887080	0.889038 3.457263	0.963583 1.148000	3.047649 1.969523	0.778226
	59.8	2.281172	0.859919 3.187703	0.943698 1.157008	3.750741 2.388829	0.745558
0.100	29.6	1.220775	1.224898 6.615374	0.950101 1.057763	1.768878 1.256097	0.774140
	39.8	1.414214	1.082039 4.999198	0.898783 1.070607	2.165998 1.465437	0.678871
	50.4	1.701302	1.007007 4.211157	0.862377 1.079811	2.708910 1.772152	0.623416
	58.8	2.000000	0.973224 3.871023	0.843128 1.084740	3.250805 2.089246	0.596929
0.280	30.5	1.166633	1.449179 8.607436	0.880120 1.025595	1.646667 1.196599	0.617828
	40.2	1.325013	1.275551 6.386767	0.828455 1.031111	1.988127 1.369345	0.341340
	50.1	1.555724	1.183875 5.325213	0.792206 1.034929	2.437674 1.616977	0.496291
	60.5	1.887080	1.130593 4.745272	0.767327 1.037531	3.047649 1.969523	0.468287

$$* H(S) = \frac{\Omega_a}{S + \Omega_a} \prod \frac{\Omega_0^2}{\Omega_N^2} \frac{S^2 + \Omega_N^2}{S^2 + \frac{\Omega_0^2}{Q} S + \Omega_0^2}$$

表 5.1-8 阶数 $n=7$ 的椭圆函数*

R_p	A_{min}	Ω_s	Q	Ω_0	Ω_N	Ω_c
0.028	30.4	1.078535	1.030852	0.938284	1.784704	0.843774
			3.750241	1.008923	1.197165	
			18.86989	1.028692	1.087959	
	39.4	1.143354	0.929082	0.866225	2.037755	0.729100
			2.882658	0.994897	1.305587	
			12.97799	1.039010	1.156895	
	50.0	1.252136	0.862346	0.801485	2.391324	0.644050
			2.350735	0.977818	1.470935	
			9.651710	1.049878	1.271063	
	60.0	1.390164	0.825312	0.757267	2.789477	0.592415
			2.069344	0.963468	1.668287	
			7.999410	1.058356	1.414729	
0.100	29.4	1.040299	1.246373	0.895503	1.593308	0.740992
			5.534590	0.989828	1.124146	
			31.93000	1.011877	1.046521	
	39.8	1.103378	1.062609	0.799204	1.888255	0.601792
			3.672951	0.966338	1.240200	
			17.57305	1.018445	1.114512	
	50.2	1.192363	0.981320	0.735826	2.203890	0.529089
			2.937537	0.945299	1.381735	
			12.63428	1.025582	1.208487	
	59.7	1.305407	0.933627	0.692927	2.549376	0.485118
			2.559860	0.928266	1.548207	
			10.28735	1.030365	1.326618	
0.280	40.6	1.078535	1.252133	0.748570	1.784704	0.486636
			4.759398	0.948565	1.197165	
			24.02639	1.008089	1.087959	
	49.6	1.143354	1.161067	0.692917	2.037755	0.432357
			3.833179	0.927138	1.305587	
			17.36131	1.010471	1.156895	
	60.2	1.252136	1.096403	0.644227	2.391324	0.389714
			3.228917	0.904995	1.470935	
			13.39551	1.012856	1.271063	
	70.2	1.390164	1.068443	0.611303	2.789477	0.362837
			2.896442	0.888095	2.668287	
			11.35415	1.014646	1.414729	

$$* H(s) = \frac{\Omega_a}{s + \Omega_a} \prod_{N=1}^n \frac{\Omega_0^2}{\Omega_N^2} \frac{s^2 + \Omega_N^2}{s^2 + \frac{\Omega_0^2}{Q} s + \Omega_0^2}$$

第二节 MOS 运放有源滤波器

(一) 低通滤波器

1. 二阶、三阶低通有源滤波器

图 5.2-1a、b 分别为二阶、三阶低通有源滤波器,它们构成全反馈形式,故有低的输出阻抗和高的输入阻抗,因此,这种电路在串级使用时,级与级之间没有影响。也就是说,以图 5.2-1a、b 电路作为基本单元,进行串级相连,可以方便地实现高阶低通有源滤波器。

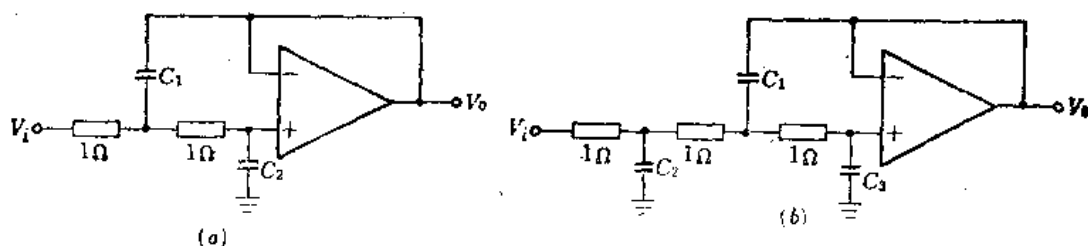


图 5.2-1 低通有源滤波器。(a) 二阶;(b) 三阶

为方便起见,图中的电阻值均假定为 1 欧姆。

图 5.2-1a 二阶低通有源滤波器的传递函数 $H(S)$ 为

$$H(S) = \frac{1}{C_1 C_2 S^2 + 2C_2 S + 1} \quad (5.2-1)$$

若选用归一化的巴特沃思低通滤波器,将 (5.2-1) 与巴特沃思网络函数 (5.1-9) 式进行比较,令两式的系数相等,这样可得

$$C_1 = \frac{2}{a_{11}}; \quad C_2 = \frac{a_{11}}{2}.$$

由表 5.1-1, $a_{11}=1.414$, 代入上式,得

$$C_1 = 1.414, \quad C_2 = 0.707,$$

这里 C_1, C_2 的单位为法拉。

若选用归一化的 R_p 为 0.5 分贝的切比雪夫低通滤波器,将 (5.2-1) 式与切比雪夫网络函数 (5.1-23) 式进行比较,令两式的系数相等,利用表 5.1-5 中的值,并经换算后,得 C_1 和 C_2 电容值为: $C_1=1.403, C_2=0.470$ 。

对于图 5.2-1b 三阶低通有源滤波器中的电容 C_1, C_2 和 C_3 值,可用同样方法求得。

表 5.2-1~4 按巴特沃思和切比雪夫网络函数,列出图 5.2-1 低通滤波器中的电容值。

表 5.2-1 对应于图 5.2-1 中的电容值(巴特沃思)

阶数 n	C_1	C_2	C_3
2	1.414	0.7071	
3	3.546	1.392	0.2024
4	1.082 2.613	0.9241 0.3825	
5	1.753 3.235	1.354 0.3090	0.4214
6	1.035 1.414 3.863	0.9660 0.7071 0.2588	
7	1.531 1.604 4.493	1.336 0.6235 0.2225	0.4885
8	1.020 1.202 1.800 5.125	0.9809 0.8313 0.5557 0.1950	

(续表)

阶数 n	C_1	C_2	C_3
9	1.455	1.327	0.5170
	1.305	0.7661	
	2.000	0.5000	
	5.758	0.1736	
10	1.012	0.9874	
	1.122	0.8908	
	1.414	0.7071	
	2.202	0.4540	
	6.390	0.1563	

超星阅读器提醒您：
使用本复制品
请尊重相关知识产权！

表 5.2-2 对应于图 5.2-1 中的电容值 ($R_p=0.1$ 分贝, 切比雪夫)

阶数 n	C_1	C_2	C_3
2	1.638	0.6955	
3	6.653	1.825	0.1345
4	1.900	1.241	
	4.592	0.2410	
5	4.446	2.520	0.3804
	6.810	0.1580	
6	2.553	1.776	
	3.487	0.4917	
	9.531	0.1110	
7	5.175	3.322	0.5693
	4.546	0.3331	
	12.73	0.08194	
8	3.270	2.323	
	3.857	0.6890	
	5.773	0.2398	
	16.44	0.06292	
9	6.194	4.161	0.7483
	4.678	0.4655	
	7.170	0.1812	
	20.84	0.04980	
10	4.011	2.877	
	4.447	0.8756	
	5.603	0.3353	
	8.727	0.1419	
	25.32	0.04037	

表 5.2-3 对应于图 5.2-1 中的电容值 ($R_p=0.25$ 分贝, 切比雪夫)

阶数 n	C_1	C_2	C_3
2	1.778	0.6789	
3	8.551	2.018	0.1109
4	2.221	1.285	
	5.363	0.2084	
5	5.543	2.898	0.3425
	8.061	0.1341	
6	3.044	1.875	
	4.159	0.4296	
	11.36	0.09323	
7	6.471	3.876	0.5223
	5.448	0.2839	
	15.26	0.06844	
8	3.932	2.474	
	4.638	0.6062	
	6.942	0.2019	
	19.76	0.05234	
9	7.766	4.891	0.6919
	5.637	0.3983	
	8.639	0.1514	
	24.87	0.04131	
10	4.843	3.075	
	5.368	0.7725	
	6.766	0.2830	
	10.53	0.1181	
	30.57	0.03344	

表 5.2-4 对应于图 5.2-1 中的电容值 ($R_p=0.5$ 分贝, 切比雪夫)

阶数 n	C_1	C_2	C_3
2	1.950	0.6533	
3	11.23	2.250	0.0895
4	2.582	1.300	
	6.233	0.1802	
5	6.842	3.317	0.3033
	9.462	0.1144	
6	3.592	1.921	
	4.907	0.3743	
	13.40	0.07902	
7	7.973	4.483	0.4700
	6.446	0.2429	
	18.07	0.05778	
8	4.665	2.547	
	5.502	0.5303	
	8.237	0.1714	
	23.45	0.04409	
9	9.563	5.680	0.6260
	6.697	0.3419	
	10.26	0.1279	
	29.54	0.03475	
10	5.760	3.175	
	6.383	0.6773	
	8.048	0.2406	
	12.53	0.08952	
	36.36	0.02810	

我们利用图 5.2-1 的电路和表 5.2-1~4 中的电容值,方便地设计出巴特沃思或切比雪夫低通滤波器。

【例 1】 设计一个归一化五阶巴特沃思低通滤波器。

采用图 5.2-1a、b 所示的电路结构,将三阶低通滤波器与二阶低通滤波器相串联,构成五阶低通滤波器,其连接方法如图 5.2-2 所示。

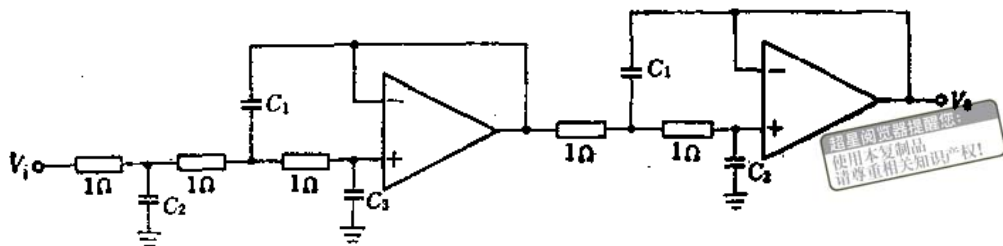


图 5.2-2 五阶巴特沃思低通滤波器

由表 5.2-1,可以得到图 5.2-2 电路中第一级(三阶低通滤波器)的电容 C_1 、 C_2 和 C_3 的值分别为: $C_1=1.753$ 法拉, $C_2=1.354$ 法拉, $C_3=0.4214$ 法拉。同样,由表 5.2-1 可以得到该电路第二级(二阶低通滤波器)的电容 C_1 和 C_2 的值分别为: $C_1=3.235$ 法拉, $C_2=0.3090$ 法拉。

以上设计的低通滤波器,是在归一化频率条件下得到的,且选用的电阻值很小,而电容值又很大,不适合实际情况。因此,需要根据实际的工作频率进行频率变换,电路中的电阻、电容也要进行尺度变换。

2. 尺度变换

设频率变换因子为 FSF,其定义为

$$FSF = \frac{\text{实际的截止角频率 } \omega_c}{\text{归一化截止角频率 } \Omega} \quad (5.2-2)$$

若低通滤波器的截止频率 $f_c=100$ 赫兹,归一化截止角频率 $\Omega=1$ 弧度/秒,则频率变换因子 FSF 为

$$FSF = \frac{2\pi f_c}{1} = 628.$$

对于归一化的低通滤波器来说,其截止角频率 $\Omega=1$ 弧度/秒,若要转换到某一截止频率 f_c 时,那么归一化低通滤波器中的电容值应除以频率变换因子值 FSF。

图 5.2-3 给出了频率变换的实例。图 5.2-3a 是二阶的归一化巴特沃思低通滤波器,图 5.2-3b 是它的幅频特性。图 5.2-3(c) 是截止频率 f_c 为 100 赫兹的二阶巴特沃思低通滤波器,其电容值是图 5.2-3a 电路中的电容值的 $1/628$,图 5.2-3d 是它的幅频特性。

除了进行频率变换以外,还需要对电阻值和电容值进行尺度变换。设阻抗的尺度变换因子为 Z 。如果我们把滤波器中的电阻增大 Z 倍,那么整个网络中所有的阻抗都应该增大 Z 倍,要使电容容抗增大 Z 倍,则应使电容值减小 Z 倍。因而,滤波器中的电阻和电容的尺度变换关系式为

$$R' = RZ, \quad (5.2-3)$$

$$C' = \frac{C}{Z}. \quad (5.2-4)$$

现对图 5.2-3c 二阶巴特沃思低通滤波器中的电阻、电容进行阻抗尺度变换,若取 $Z=$

10000, 则图中的电阻值 $R' = ZR = 10$ 千欧, 电容值 $C_1' = C_1/Z = 0.224$ 微法, $C_2' = C_2/Z = 0.112$ 微法。经阻抗尺度变换后, 其幅频特性保持不变。

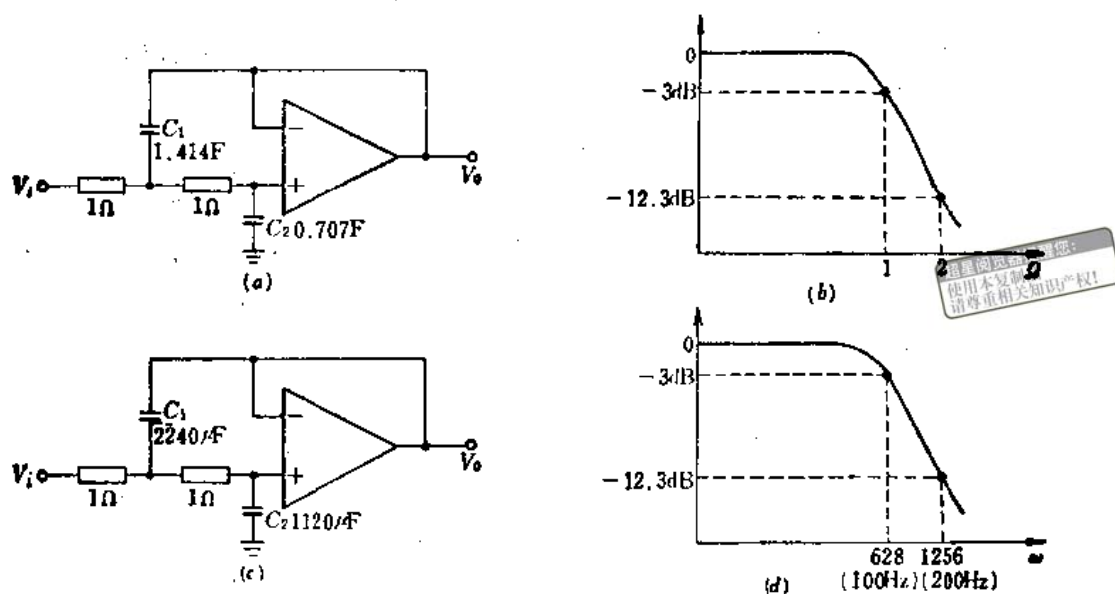


图 5.2-3 低通滤波器的频率变换

对频率变换和阻抗尺度变换进行综合考虑后, 电阻和电容变换关系式为

$$R' = RZ, \quad (5.2-5)$$

$$C' = \frac{C}{FSF \times Z}. \quad (5.2-6)$$

【例 2】 设计一个增益为 1 的低通滤波器, 主要指标为: (1) 截止频率 $f_c = 100$ 赫兹; (2) 止带频率 $f_s = 350$ 赫兹时, 衰减 $A_s \geq 70$ 分贝; (3) 通带波动不大于 0.5 分贝。

解 i. 计算止带归一化角频率 Ω_s :

$$\Omega_s = \frac{f_s}{f_c} = \frac{350}{100} = 3.5;$$

ii. 选用 $R_p = 0.5$ 分贝的切比雪夫低通滤波器;

iii. 由 (5.1-19) 式求阶数 n ;

将 R_p, Ω_s, A_s 值代入 (5.1-19) 式, 得阶数 $n = 5$;

iv. 选用图 5.2-2 的电路结构;

v. 利用表 5.2-4, 得到归一化 $R_p = 0.5$ 分贝的切比雪夫低通滤波器, 其第一级滤波器的电容值为

$$C_1 = 6.842 \text{ 法拉}, C_2 = 3.317 \text{ 法拉}, C_3 = 0.303 \text{ 法拉}.$$

第二级滤波器的电容值为

$$C_1 = 9.462 \text{ 法拉}, C_2 = 0.114 \text{ 法拉}.$$

vi. 进行频率变换和阻抗尺度变换;

$$FSF = 628, \text{ 取 } Z = 5 \times 10^4.$$

第一级滤波器的电容值和电阻值:

$$C_1' = \frac{C_1}{FSF \times Z} = \frac{6.842}{628 \times 5 \times 10^4} = 0.218 \text{ 微法},$$

$C_2' = 0.106$ 微法, $C_3' = 0.00965$ 微法,

$R' = 50$ 千欧。

第二级滤波器的电容值和电阻值:

$C_1' = 0.301$ 微法, $C_2' = 0.00363$ 微法,

$R' = 50$ 千欧。

符合设计指标的低通滤波器及其幅频特性如图 5.2-4a、b 所示。

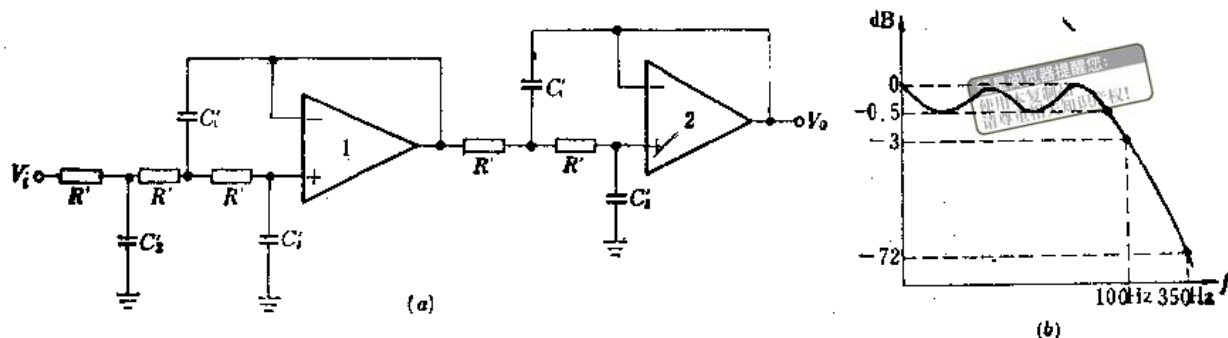


图 5.2-4 五阶切比雪夫低通滤波器和它的幅频特性

3. 低通滤波器的设计

由上述讨论可知, 利用图 5.2-1 电路可方便地设计出不同阶数的低通滤波器。但这种电路结构设计出的电容值往往偏离标准值, 且电容值是各不相同的, 这给设计、制作人员往往带来困难。为此, 可选用图 5.2-5 的二阶低通滤波器电路, 其增益为 2。图中的电容值可由设计人员自己选定。要实现高阶 (n 为偶数) 低通滤波器可将图 5.2-5 电路进行串联。

图 5.2-5 所示的二阶低通滤波器的设计公式为:

(1) 确定电容值 (由设计人员自己选定)

$$(2) R_1 = \frac{1}{\omega_c a_{1k} C}, \quad (5.2-7)$$

$$(3) R_2 = \frac{a_{1k}}{\omega_c C a_{0k}}, \quad (5.2-8)$$

式中 a_{0k}, a_{1k} 为巴特沃思、切比雪夫网络函数的系数 (见 (5.1-9)、(5.1-12)、(5.1-23) 和 (5.1-24) 式), 其值分别由表 5.1-1~5

给出, 对于巴特沃思低通滤波器, 其 $a_{0k} = 1$; ω_c 为低通滤波器的截止角频率。

从 (5.2-7)、(5.2-8) 式得到的阻值不是归一化值, 而是经过频率变换和阻抗尺度变换后的值。

【例 3】 设计一个通带波动 R_p 为 0.1 分贝、截止频率 f_c 为 100 赫兹的四阶切比雪夫低通滤波器。

解 i. 选用图 5.2-5 的电路结构。其四阶切比雪夫低通滤波器的电路形式如图 5.2-6 所示。

ii. 选取电容 $C = 0.01$ 微法。

iii. 由表 5.1-3 得

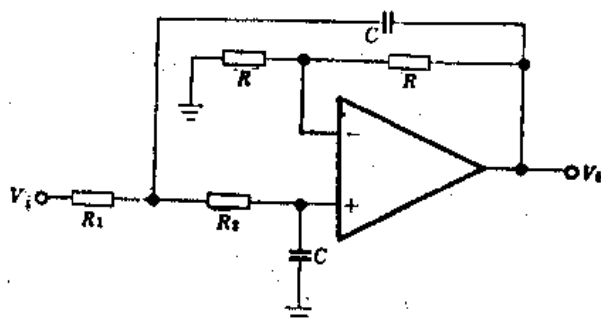


图 5.2-5 二阶低通滤波器

$$a_{01}=0.9038, \quad a_{11}=0.4354,$$

$$a_{02}=0.4233, \quad a_{12}=1.0514.$$

iv. 计算 R_1 和 R_2 ;

第一级 ($a_{01}=0.9038, a_{11}=0.4354$);

$$R_1 = \frac{1}{2\pi f_c a_{11} C} = \frac{1}{2\pi \times 100 \times 0.4354 \times 10^{-8}} = 365 \text{ 千欧},$$

$$R_2 = \frac{1}{2\pi f_c C a_{01}} = \frac{0.4354}{2\pi \times 100 \times 10^{-8} \times 0.9038} = 76.7 \text{ 千欧}.$$

第二级 ($a_{02}=0.4233, a_{12}=1.0514$);

$$R_1 = \frac{1}{2\pi f_c a_{12} C} = 151 \text{ 千欧};$$

$$R_2 = \frac{1}{2\pi f_c a_{02} C} = 395 \text{ 千欧}.$$

v. 图中的电阻 R 可选取 100 千欧。

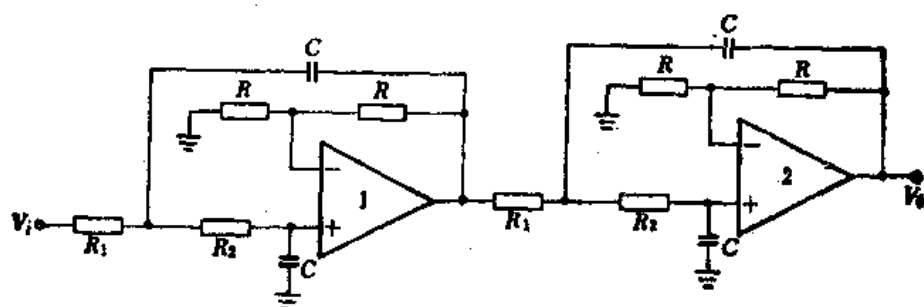


图 5.2-6 四阶低通滤波器

对于阶数为奇数的低通滤波器来说,一定有一个实极点 σ_0 , 它可以由增益为 A 的一阶低通滤波器来实现,其电路形式如图 5.2-7 所示。图中的电阻值 R_1 可由下式求得:

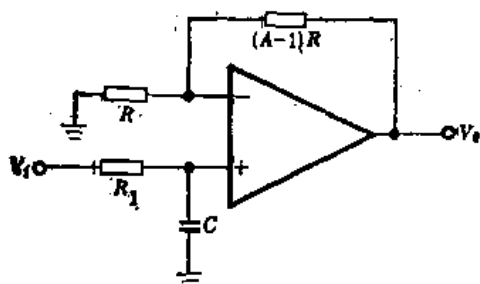


图 5.2-7 增益为 A 的一阶低通滤波器

$$R_1 = \frac{1}{2\pi f_c \sigma_0 C}, \quad (5.2-9)$$

式中 f_c 为低通滤波器截止频率, σ_0 为实极点。上式得到的电阻 R_1 值也不是归一化阻值,而是经过频率变换和阻抗尺度变换后的阻值。

对于巴特沃思低通滤波器,其实极点 $\sigma_0=1$,而切比雪夫低通滤波器其实极点可由表 5.1-3~5 中找到。

奇数阶低通滤波器可由图 5.2-7 电路与图 5.2-5 电路,或与图 5.2-1a 电路相串联来实现,即奇数阶低通滤波器的第一级是一阶低通滤波器,后面各级均是二阶低通滤波器。

(二) 高通滤波器

1. 低通到高通的变换

由 (5.1-9) 式和表 5.1-1,归一化二阶巴特沃思低通滤波器的传递函数为

$$H(S) = \frac{1}{S^2 + 1.414S + 1} \quad (5.2-10)$$

将上式中的 S 用 $1/S$ 进行变换, 即得二阶巴特沃思高通滤波器的传递函数, 其表示式为

$$H(S) = \frac{S^2}{S^2 + 1.414S + 1} \quad (5.2-11)$$

(5.2-10) 式的传递函数可用图 5.2-1a 电路来实现, 其元件值和电路结构如图 5.3-8a 所示。将图中的电阻 R 换成电容 C , 电容 C 换成电阻 R , 且变换后的电容、电阻值分别是原电路电阻、电容值的倒数。经过这样变换后的电路传递函数, 就是 (5.2-11) 式, 即由二阶低通变换为二阶高通, 其电路及元件值如图 5.2-8b 所示。图 5.2-8c 是图 5.2-8a、b 电路的幅频特性。由幅频特性可知, 在低通止带衰减值 A_s 和高通止带衰减值 A_s 相同的条件下, 低通止带角频率 Ω_s 和高通止带角频率 Ω_{SH} 的关系为

$$\Omega_s = \frac{1}{\Omega_{SH}} = \frac{f_s}{f_c} = \frac{f_c}{f_{SH}}, \quad (5.2-12)$$

式中 f_s 为低通止带频率, f_c 为高通截止频率, f_{SH} 为高通止带频率。(5.2-12) 式表明: 可以把实际要求的高通滤波器的衰减特性, 变换成相应的归一化低通滤波器的衰减特性。

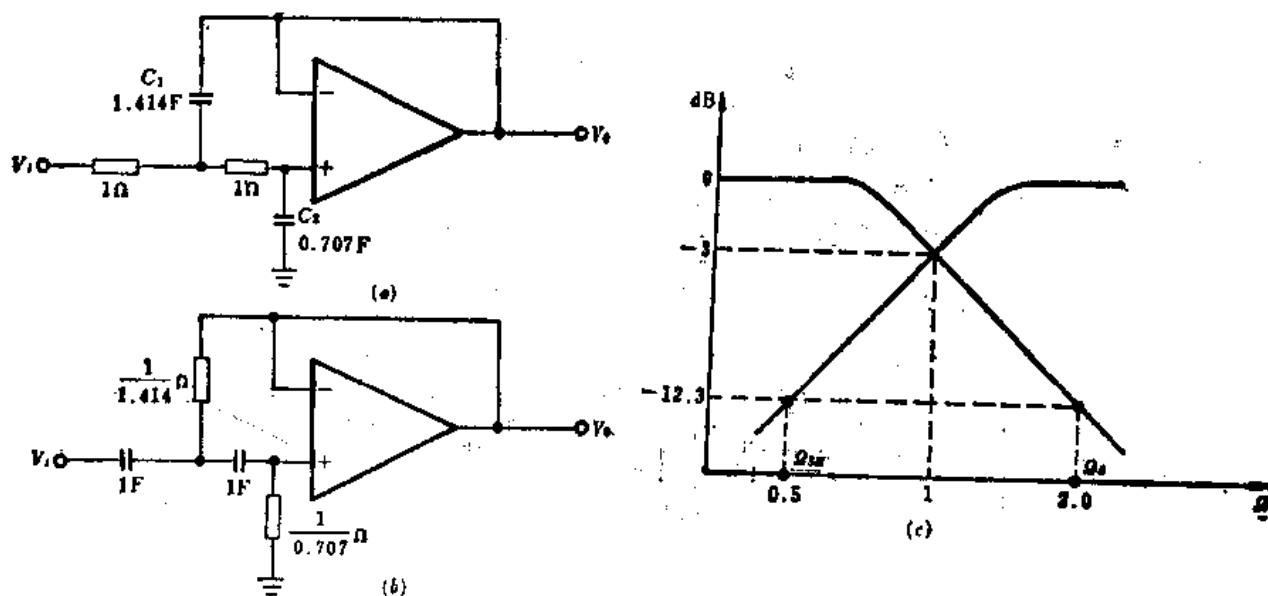


图 5.2-8 低通和高通滤波器和它们的幅频特性

上述二阶巴特沃思滤波器的变换条件和变换关系式同样适用于高阶或其他类型的滤波器。

2. 全极点高通滤波器

全极点高通滤波器通常由图 5.2-1 低通滤波器经变换后得到。因这种电路从低通转换到高通后, 其电容值是相同的, 并可以取标准值电容, 给设计和制作者带来很大方便。下面通过设计实例来了解高通滤波器的设计方法。

【例 4】 设计一个巴特沃思高通滤波器, 主要参数: (1) 截止频率 $f_c = 100$ 赫兹; (2) 止带频率 $f_{SH} = 33.3$ 赫兹时, 其衰减 $A_s \geq 60$ 分贝。

解: i. 计算低通截止角频率 Ω_s ;

由 (5.2-12) 式, Ω_s 为

$$\Omega_s = \frac{f_o}{f_{su}} = 3.$$

ii. 计算低通滤波器阶数 n ;

由 (5.1-3) 式, 求得巴特沃思低通滤波器的阶数 $n=6$.

iii. 确定低通滤波器的电路结构;

选用图 5.2-1a 二阶低通滤波器作为六阶低通滤波器的基本单元, 其电路形式如图 5.2-9 所示.

iv. 由表 5.2-1 得各级的电容值;

第一级 $C_1=1.035$ 法拉, $C_2=0.966$ 法拉.

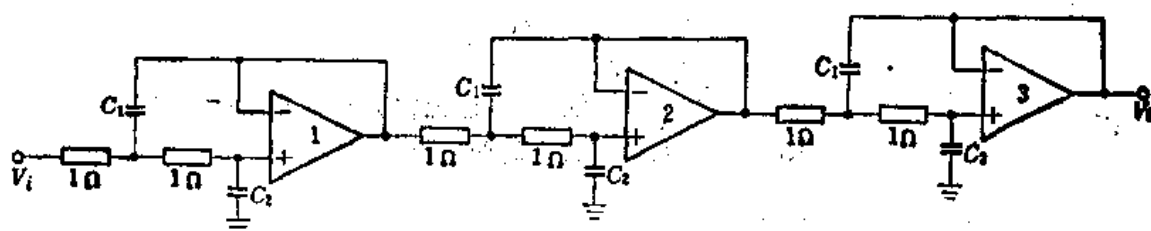


图 5.2-9 六阶低通滤波器

第二级 $C_1=1.414$ 法拉, $C_2=0.707$ 法拉.

第三级 $C_1=3.863$ 法拉, $C_2=0.259$ 法拉.

v. 将低通转换成高通;

由图 5.2-9 得六阶高通滤波器, 其结构如图 5.2-10 所示.

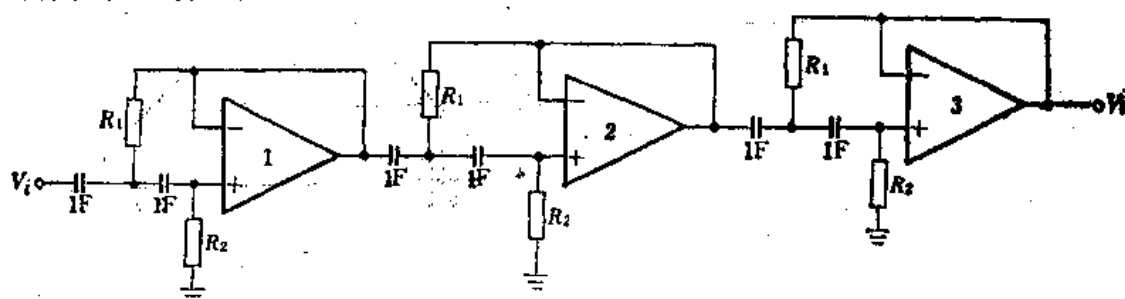


图 5.2-10 六阶高通滤波器

vi. 计算图 5.2-10 高通滤波器中的电阻值;

根据转换关系式得

$$\text{第一级 } R_1 = \frac{1}{C_1} = \frac{1}{1.035} = 0.966 \text{ 欧姆}, R_2 = \frac{1}{C_2} = \frac{1}{0.966} = 1.035 \text{ 欧姆};$$

$$\text{第二级 } R_1 = \frac{1}{C_2} = \frac{1}{1.414} = 0.707 \text{ 欧姆}, R_2 = \frac{1}{C_2} = \frac{1}{0.707} = 1.414 \text{ 欧姆};$$

$$\text{第三级 } R_1 = \frac{1}{C_1} = \frac{1}{3.864} = 0.259 \text{ 欧姆}, R_2 = \frac{1}{C_2} = \frac{1}{0.259} = 3.864 \text{ 欧姆}.$$

vii. 对图 5.2-10 中元件值进行频率变换和尺度变换;

$$\text{FSF} = 2\pi f_c = 628,$$

$$C' = \frac{C}{\text{FSF} \times Z}$$

取 $C' = 0.015$ 微法, 则阻抗变换因子 Z 为

$$Z = \frac{C}{C' \times \text{FSF}} = \frac{1}{0.015 \times 10^{-6} \times 628} = 106 \times 10^3$$

经 $R' = RZ$ 变换后, 其各级电阻值为

第一级 $R'_1 = 0.966 \times 106 \times 10^3 = 102$ 千欧,

$R'_2 = 1.035 \times 106 \times 10^3 = 109.7$ 千欧;

第二级 $R'_1 = 74.9$ 千欧, $R'_2 = 149.9$ 千欧;

第三级 $R'_1 = 27.5$ 千欧, $R'_2 = 409.6$ 千欧。

至此, 计算和设计结束。

全极点高通滤波器也可由图 5.2-7 一阶低通滤波器和图 5.2-5 二阶低通滤波器经变换后得到, 其变换方法与图 5.2-1 电路的变换方法相同。

(三) 带通滤波器

1. 从低通到带通的变换

设计带通滤波器最常用的方法是利用从低通到带通的几何变换, 其方法是: 将低通传递函数中的变量 S 用 $\frac{\omega_0}{B} \left(\frac{S}{\omega_1} + \frac{\omega_2}{S} \right)$ 来代替, 经这样变换后, 即得中心角频率为 ω_0 、3 分贝带宽为 B 的带通传递函数。从低通到带通变换后, 其低通的幅频特性和带通的幅频特性之间的关系如图 5.2-11 所示。

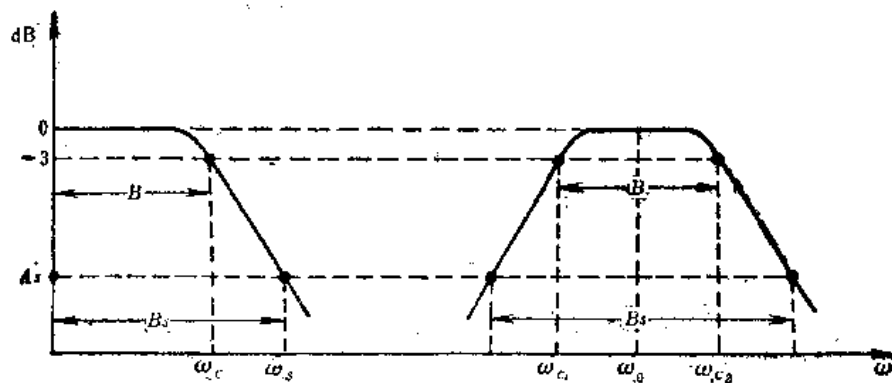


图 5.2-11 低通和带通的幅频特性

图中 ω_0 、 ω_{c1} 和 ω_{c2} 分别为带通滤波器的中心角频率和下降 3 分贝时的角频率, 其带通的宽度 $B = \omega_{c2} - \omega_{c1}$, 中心角频率 $\omega_0 = \sqrt{\omega_{c1}\omega_{c2}}$ 。 B_s 为带通的止带宽度。由图可知, 带通宽度 B 与低通的带宽相同, 因而带通的衰减特性可由低通的衰减特性来表示, 即归一化低通截止角频率 Ω_s 为

$$\Omega_s = \frac{\omega_s}{\omega_c} = \frac{B_s}{B} \quad (5.2-13)$$

一般来说, 低通传递函数为 K 阶, 经变换后的带通传递函数为 $2K$ 阶, 因而带通滤波器的

阶数只有偶数阶,无奇数阶,最低阶数为二阶。

2. 从低通到带通的变换公式

二阶带通传递函数可写为

$$H(S) = \frac{A_r \left(\frac{\omega_r}{Q} \right) S}{S^2 + \left(\frac{\omega_r}{Q} \right) S + \omega_r^2}, \quad (5.2-14)$$

式中 A_r 、 ω_r 、 Q 分别为二阶带通的增益、中心角频率和 Q 值。

(1) 一阶低通到带通的变换

若一阶低通的实极点是 σ_0 , 将一阶低通传递函数中的 S 用 $\frac{\omega_0}{B} \left(\frac{S}{\omega_0} + \frac{\omega_0}{S} \right)$ 来代替, 得二阶带通传递函数, 即 (5.2-14) 式。式中 $\omega_r = \omega_0$,

$$Q = \frac{Q_{bp}}{\sigma_0}, \quad (5.2-15)$$

$$\text{而 } Q_{bp} = \frac{\omega_0}{B}. \quad (5.2-16)$$

(2) 二阶低通到带通的变换

若二阶低通的传递函数其系数为 a_{1K} 、 a_{0K} (见第一节 (5.1-9) 式、(5.1-12) 式、(5.1-23) 式和 (5.1-24) 式), 将二阶低通传递函数中的 S 用 $\frac{\omega_0}{B} \left(\frac{S}{\omega_0} + \frac{\omega_0}{S} \right)$ 代替, 就得到二阶带通滤波器的传递函数

$$H(S) = \frac{\left(A_r, \frac{\omega_{ra}}{Q} \right) S}{S^2 + \frac{\omega_{ra}}{Q} S + \omega_{ra}^2} \frac{\left(A_r, \frac{\omega_{rb}}{Q} \right) S}{S^2 + \frac{\omega_{rb}}{Q} S + \omega_{rb}^2}, \quad (5.2-17)$$

式中 A_{r1} 和 A_{r2} 、 ω_{ra} 和 ω_{rb} 以及 Q 分别是二阶带通滤波器的增益、谐振频率和 Q 值。 ω_{ra} 、 ω_{rb} 和 Q 的计算步骤如下:

$$\begin{cases} D = \frac{a_{1K}}{a_{0K}}, \\ E = \frac{a_{0K}}{Q_{bp}^2} + 4, \\ G = \sqrt{E^2 - 4D^2}, \\ Q = \sqrt{\frac{E+G}{2D^2}}, \\ M = \frac{a_{1K}Q}{2Q_{bp}}, \\ W = M + \sqrt{M^2 - 1}, \\ f_{ra} = \frac{f_0}{W}, \\ f_{rb} = Wf_0. \end{cases} \quad (5.2-18)$$

(3) 单级带通滤波器增益 A_r 与 A_0 的关系

单级带通滤波器在中心频率 f_0 时, 其增益为 A_0 , 而单级带通滤波器在谐振频率 f_r 时, 其

增益为 A_r , A_0 与 A_r 的关系为

$$A_r = \frac{A_0}{\sqrt{1 + Q^2 \left(\frac{f_0}{f_r} - \frac{f_r}{f_0} \right)^2}} \quad (5.2-19)$$

【例 5】设计六阶巴特沃思带通滤波器, 主要指标: (1) 中心频率 $f_0 = 1000$ 赫兹, (2) 3 分贝带宽 $B = 100$ 赫兹, (3) 中频增益 $A_0 = 30$ 分贝。

解 i. 计算 Q_{bp}

$$Q_{bp} = \frac{f_0}{B} = 10$$

ii. 计算 σ_0 , a_{11} 和 a_{01} :

由 (5.1-12) 式和表 5.1-1 得 $n=3$ 时, σ_0 , a_{11} 和 a_{01} 为

$$\sigma_0 = 1.0000, \quad a_{11} = 1.0000, \quad a_{01} = 1.0000,$$

iii. 由 a_{11} , a_{01} 计算 f_{rs} 和 f_{rs}

由 (5.2-18) 式得

$$D = \frac{a_{11}}{Q_{bp}} = 0.1000, \quad E = \frac{a_{01}}{Q_{bp}^2} + 4 = 4.0100,$$

$$G = \sqrt{E^2 - 4D^2} = 4.0050, \quad Q = \sqrt{\frac{E+G}{2D^2}} = 20.0188,$$

$$M = \frac{a_{11}Q}{2Q_{bp}} = 1.00094, \quad W = M + \sqrt{M^2 - 1} = 1.04426,$$

$$f_{rs} = \frac{f_0}{W} = 957.6 \text{ 赫兹}, \quad f_{rs} = Wf_0 = 1044.3 \text{ 赫兹}.$$

iv. 由 σ_0 计算 Q 和 f_r :

$$\sigma_0 = 1.0000, \quad Q = \frac{Q_{bp}}{\sigma_0} = 10, \quad f_r = f_0 = 1000 \text{ 赫兹}.$$

v. A_r 的确定:

本带通滤波器由三个二阶带通滤波器构成, 其中频增益(在 f_0 时)为 30 分贝, 设每级增益为 10 分贝, 即 $A_0 = 3.162$. 由 (5.2-19) 式得每一级增益 A_r .

vi. 各级二阶带通滤波器的参数:

第一级: $f_r = 957.6$ 赫兹, $Q = 20.02$, $A_r = 6.333$.

第二级: $f_r = 1044.3$ 赫兹, $Q = 20.02$, $A_r = 6.335$.

第三级: $f_r = 1000.0$ 赫兹, $Q = 10.00$, $A_r = 3.162$.

3. 滤波器灵敏度

RC 有源滤波器由于电阻、电容值或运放的增益等发生变化, 使滤波器参数 Q 值、带通的中心频率 f_0 等发生变化。通常采用灵敏度来衡量元件参数的变化对滤波器参数的影响。如果用 x 表示某个元件(电阻、电容和运放增益), y 表示某个滤波器参数, 则 y 对 x 变化的灵敏度定义为

$$S_x^y = \frac{\frac{dy}{y}}{\frac{dx}{x}} \quad (5.2-20)$$

在带通滤波器中,灵敏度指标直接反映带通中心频率 f_0 和带宽 B 的稳定程度。灵敏度越低,表示滤波器参数的稳定性越好,所以,它是一个比较重要的参数。

4. 多路反馈带通滤波器

多路反馈带通滤波器如图 5.2-12 所示,它具有电路结构简单,灵敏度低等特点。图 5.2-12 (a) 电路的传递函数为(见参考文献 (31))

$$H(S) = \frac{S \frac{C}{R_1}}{S^2 C^2 + S \frac{2C}{R_2} + \frac{1}{R_1 R_2}} \quad (5.2-21)$$

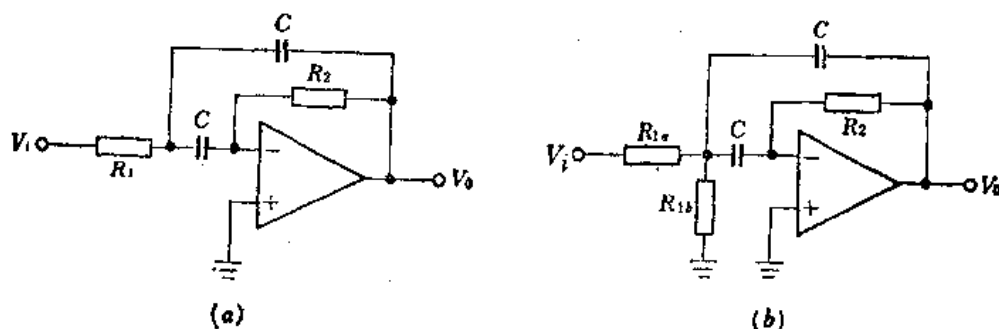


图 5.2-12 多路反馈带通滤波器

如果 (5.2-21) 式的系数与表示一般带通传递函数 (5.2-14) 式的系数相等,则可得到图 5.2-12a 电路的元件值与带通参数的关系:

$$\begin{cases} R_2 = \frac{Q}{\pi f_r C} \\ R_1 = \frac{R_2}{4Q} \\ A_r = 2Q^2 \end{cases} \quad (5.2-22)$$

式中电容 C 值是任意的。

这个电路的缺点是 A_r 与 Q 的平方成正比,因而 Q 值不能太大,通常 Q 应在 20 以下。图 5.2-12b 是它的改进形式,相应的传递函数为(见参考文献 (31))

$$H(S) = \frac{SR_2 C}{S^2 R_1 R_2 C^2 + S 2R_1 C + \left(1 + \frac{R_{1a}}{R_{1b}}\right)} \quad (5.2-23)$$

式中 R_2 、 R_{1a} 和 R_{1b} 与 A_r 和 Q 的关系为

$$\begin{cases} R_{1a} = \frac{R_2}{2A_r} \\ \frac{R_2}{2} \\ R_{1b} = \frac{2Q^2 - A_r}{2Q^2 - A_r} \end{cases} \quad (5.2-24)$$

式中 A_r 是在谐振频率 f_r 时所要求的增益,但它不能大于 $2Q^2$ 。图中 R_2 的关系式仍由 (5.2-22) 式表示。电路的灵敏度由以下各式表示

$R_2=610.2$ 千欧, $R_{1s}=48.2$ 千欧, $R_{1s}=384$ 欧姆。

第三级电阻的元件值

$R_2=318.3$ 千欧, $R_{1s}=50.3$ 千欧, $R_{1s}=809$ 欧姆。

iii. 六阶巴特沃思带通滤波器电路: 六阶巴特沃思带通滤波器的实际电路如图 5.2-14 所示。

图中的 R_{1s} 串一微调电阻, 来调节各节带通滤波器的谐振频率 f_r , 使带通滤波器的中心频率 f_0 在 1000 赫兹。各级的其他电阻值如上面的计算值。电容 C 均取 0.01 微法。

5. 多运放带通滤波器

多运放带通滤波器如图 5.2-15 所示。该电路具有十分低的灵敏度, 且电路的 Q 值与谐振频率 f_r 可分开独立地调节, 互不影响。它特别适合于做成标准形式的高精度有源滤波器。若采用集成四运放电路, 体积可做得很小。图 5.2-15 电路的传递函数为

$$H(S) = - \frac{\frac{S}{CR_1}}{S^2 + \frac{S}{CR_1} + \frac{1}{R_2R_3C^2}} \quad (5.2-26)$$

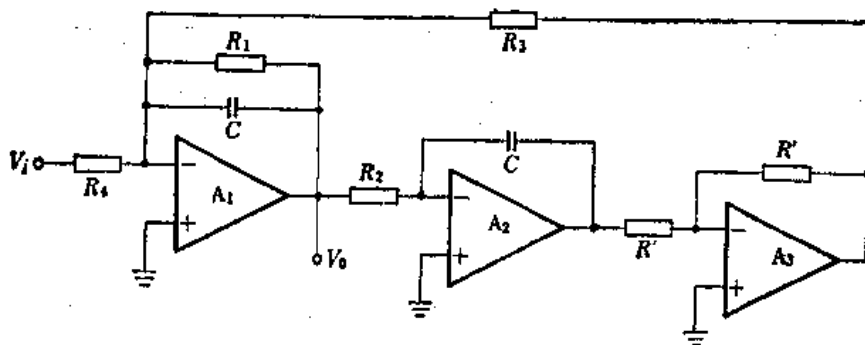


图 5.2-15 多运放带通滤波器 ($Q < 200$)

令上式和二阶带通传递函数 (5.2-14) 式相等, 则电路的谐振频率 f_r 和带宽 B 为

$$\begin{cases} f_r = \frac{1}{2\pi C \sqrt{R_2R_3}} \\ B = \frac{1}{2\pi R_1C} = \frac{f_r}{Q} \end{cases} \quad (5.2-27)$$

由 (5.2-27) 式可知, 谐振频率 f_r 和 3 分贝带宽 B 能够独立地加以调节。

设 $R_2=R_3$, 则由 (5.2-26) 式和 (5.2-27) 式, 可得到电路的设计公式

$$\begin{cases} R_1 = \frac{Q}{2\pi f_r C} \\ R_2 = R_3 = \frac{R_1}{Q} \\ R_4 = \frac{R_1}{A_r} \end{cases} \quad (5.2-28)$$

式中 A_r 是在谐振频率 f_r 时所需要的增益。图 5.2-15 电路中的电容 C 值和电阻 R' 值能任意选择。由 (5.2-28) 式可知, R_3 的作用是调节电路的谐振频率 f_r , R_1 的作用是调节电路的 Q 值, R_4 的作用是调节增益 A_r 。该电路灵敏度为

$$\begin{cases} S'_{K_1} = S'_{K_2} = S'_{K_3} = -\frac{1}{2}, \\ S'_{K_1} = 1, \\ S'_{K_2} = \frac{2Q}{A_0}. \end{cases}$$

超星阅读提醒您：
使用本书制品
请尊重 (5.2-29)

式中 A_0 是放大器 A_1 、 A_2 的开环增益。 Q 值受到运放开环增益的限制，若选择高增益运放， Q 值可达 200。

【例 7】 设计一个有源带通滤波器，主要参数为：(1) 中心频率 $f_0 = 2500$ 赫兹，(2) 3 分贝带宽 $B = 30$ 赫兹，(3) 衰减 $A_s \geq 15$ 分贝时，止带带宽 $B_s = 90$ 赫兹，(4) 在 2500 赫兹，增益为 12 分贝。

解 i. 计算归一化低通止带角频率 Ω_s ：

$$\Omega_s = \frac{B_s}{B} = 3$$

ii. 确定低通阶数：

选用 $n=2$ ， $R_p=0.1$ 分贝的切比雪夫低通滤波器满足其止带衰减要求。

iii. 计算 a_{11} 和 a_{01} ：

由表 5.1-3，得 a_{11} 和 a_{01} ：

$$a_{11} = 1.221, \quad a_{01} = 0.878.$$

iv. 计算 f_{r_1} 、 f_{r_2} 和 Q ：

由公式 (5.2-18) 式得

$$f_{r_1} = 2489.3 \text{ 赫兹}, \quad f_{r_2} = 2510.7 \text{ 赫兹}, \quad Q = 136.$$

v. 选用电路：

本电路 Q 值很高，选用图 5.2-15 电路结构。因带通阶数 n 等于四阶，故需用二级多运放带通滤波器。

vi. 增益分配：

总增益为 12 分贝，每级增益为 6 分贝，即 $A_0 = 2$ 。利用 (5.2-19) 式，得第一级和第二级增益 $A_r = 3.069$ 。

vii. 带通滤波器第一级和第二级的参数：

第一级： $f_r = 2489.3$ 赫兹， $Q = 136$ ， $A_r = 3.069$ 。

第二级： $f_r = 2510.7$ 赫兹， $Q = 136$ ， $A_r = 3.069$ 。

viii. 计算带通滤波器第一级和第二级的元件值：

选用 $C = 0.1$ 微法； $R' = 10$ 千欧。

$$\text{第一级: } R_1 = \frac{Q}{2\pi f_r C} = 86.9 \text{ 千欧}, \quad R_2 = R_3 = \frac{R_1}{Q} = 639 \text{ 欧姆}, \quad R_4 = \frac{R_1}{A_r} = 28.3 \text{ 千欧}.$$

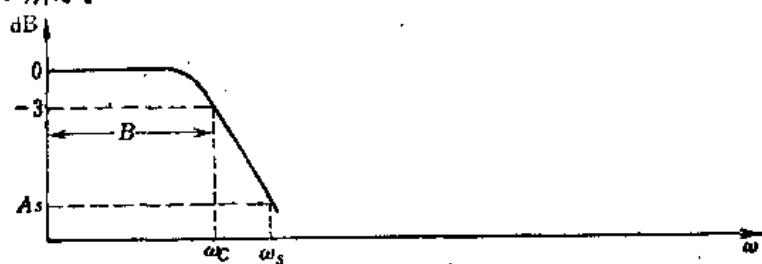
$$\text{第二级: } R_1 = 86.2 \text{ 千欧}, \quad R_2 = R_3 = 64 \text{ 千欧}, \quad R_4 = 28.1 \text{ 千欧}.$$

(四) 带阻滤波器

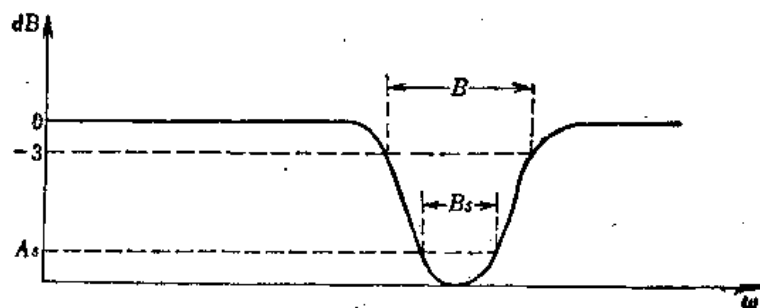
1. 从低通到带阻的变换

设计带通滤波器也利用从低通到带阻的几何变换。其变换方法是在低通传递函数中的变

量 S 用 $SB/(S_2 + \omega^2)$ 来代替, 经这样变换后, 得到带阻中心角频率为 ω_0 , 3 分贝带宽为 B 、带阻的 Q_{0r} 值为 f_0/B 的带阻传递函数。从低通到带阻变换后, 其低通的幅频特性和带阻的幅频特性如图 5.2-16 所示。



(a)



(b)

图 5.2-16 低通和带阻的幅频特性

带阻的衰减特性可由低通的衰减特性来表示。归一化低通截止角频率 Ω_s 为

$$\Omega_s = \frac{\omega_s}{\omega_c} = \frac{B}{B_s} \quad (5.2-30)$$

从低通变换为带阻后, 其阶数增加 1 倍。

二阶带阻传递函数表示为

$$H(S) = \frac{S^2 + \omega_z^2}{S^2 + \left(\frac{\omega_r}{Q}\right)S + \omega_r^2} \quad (5.2-31)$$

式中的 ω_z 为零点角频率。

(1) 二阶低通到带阻的变换

若二阶低通传递函数的系数为 a_{1K}, a_{0K} (见第一节 (5.1-9) 式、(5.1-12) 式、(5.1-23) 式和 (5.1-24) 式), 将二阶低通传递函数中的 S 用 $SB/(S^2 + \omega_0^2)$ 取代后, 得到带阻的传递函数, 表示式为

$$H(S) = \frac{S^2 + \omega_z^2}{S^2 + \frac{\omega_{r1}}{Q} S + \omega_{r1}^2} \frac{S^2 + \omega_z^2}{S^2 + \frac{\omega_{r2}}{Q} S + \omega_{r2}^2} \quad (5.2-32)$$

式中的 ω_z 为零点角频率。其 $\omega_z, \omega_{r1}, \omega_{r2}$ 和 Q 的计算步骤:

$$\left\{ \begin{array}{l} Q_{br} = \frac{f_0}{B}, \\ D = \frac{a_{1K}}{2Q_{br}a_{0K}}, \\ E = \frac{\sqrt{a_{0K} - \frac{1}{4}a_{1K}^2}}{Q_{br}a_{0K}}, \\ F = E^2 - D^2 + 4, \\ G = \sqrt{\frac{F}{2}} + \sqrt{\frac{F^2}{2} + D^2E^2}, \\ H = \frac{DE}{G}, \\ K = \frac{1}{2} \sqrt{(D+H)^2 + (E+G)^2}, \\ Q = \frac{K}{D+H}, \\ f_{rs} = \frac{f_0}{K}, \\ f_{rb} = Kf_0, \\ f_{\infty} = f_0. \end{array} \right. \quad (5.2-33)$$

(2) 一阶低通到阻带的变换

若一阶低通的实极点是 σ_0 ，将一阶低通传递函数中的 S 用 $SB/(S^2 + \omega_0^2)$ 来取代，求得带阻的传递函数，其表示式为 (5.2-31) 式。式中：

$$\left\{ \begin{array}{l} \omega_r = \omega_{\infty} = \omega_0, \\ Q = Q_{br}\sigma_0. \end{array} \right. \quad (5.2-34)$$

【例 8】 设计一个带阻滤波器，主要指标是：(1) 带阻中心频率 $f_0 = 3600$ 赫兹，(2) 带阻滤波器 3 分贝带宽 $B = 300$ 赫兹，(3) 衰减 A_s 为 40 分贝时，止带宽度 $B_s = 60$ 赫兹。

解 i. 计算归一化低通止带角频率 Ω_s ：

$$\Omega_s = \frac{B}{B_s} = 5.$$

ii. 根据 Ω_s 和 A_s 值计算阶数 n ：

选用 $R_p = 0.1$ 分贝的切比雪夫近似。由第一节 (5.1-19) 式得低通阶数 $n = 3$ 。其切比雪夫系数 a_{01} 、 a_{11} 和 σ_0 值由表 5.1-3 中提供的值并经换算后得到

$$a_{01} = 0.8759, \quad a_{11} = 0.6980, \quad \sigma_0 = 0.6979.$$

iii. 根据 a_{01} 和 a_{11} ，计算 Q 、 f_{rs} 和 f_{rb} ：

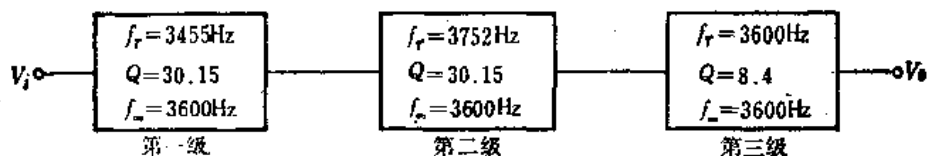
利用 (5.2-33) 式，得

$$Q = 30.15, f_{rs} = 3455 \text{ 赫兹}; f_{rb} = 3752 \text{ 赫兹}; f_{\infty} = f_0 = 3600 \text{ 赫兹}.$$

iv. 根据 σ_0 计算 Q 、 f_{∞} 和 f_r ：

$$Q = Q_{br}\sigma_0 = 8.40, f_r = f_{\infty} = f_0 = 3600 \text{ 赫兹}.$$

v. 三级带阻滤波器的框图及其参数如图 5.2-17 所示。



超星阅读器提醒您：
使用本复制品
请尊重相关知识产权！

图 5.2-17 [例 8] 的带阻滤波器框图及参数

2. 多运放带阻滤波器

多运放带阻滤波器的电路形式如图 5.2-18 所示。

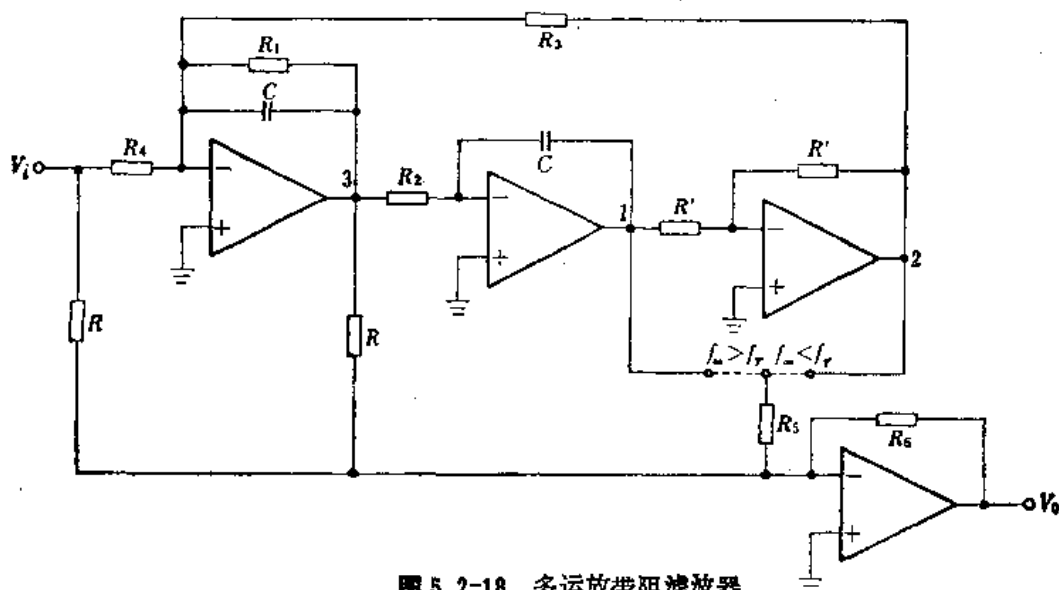


图 5.2-18 多运放带阻滤波器

若 f_r 、 Q 和 f_- 已经求得, 图中的 C 、 R 和 R' 能任意选择, 则电路的设计公式为

$$\begin{cases} R_1 = R_A = \frac{Q}{2\pi f_r C}, \\ R_2 = R_3 = \frac{R_1}{Q}, \\ R_5 = \frac{f_r^2 R}{Q|f_r^2 - f_-^2|}. \end{cases} \quad (5.2-35)$$

$$\text{对于 } f_- > f_r, \quad R_5 = \frac{f_r^2 R}{f_-^2}. \quad (5.2-36)$$

$$\text{对于 } f_- < f_r, \quad R_5 = R. \quad (5.2-37)$$

其中 R_5 值是根据直流增益等于 1 的情况下给定的。若要增大或减小直流增益, 可以通过改变 R_5 的阻值来实现。

图 5.2-18 电路主要优点是 Q 值可高达 200, 且 Q 值与 f_r 能独立调节。它适用于 $f_r \neq f_-$ 的带阻滤波器, 如[例 8]的第一级和第二级带阻滤波器可采用图 5.2-18 电路。

3. 由带通滤波器构成的带阻滤波器

对于 $f_r = f_-$ (由实极点产生) 的带阻滤波器可由图 5.2-19 的电路结构来实现, 图中的 $H(S)$ 为带通的传递函数。输入信号分为两路, 其中一路经带通放大器后加到运放的倒相输入

端,增益为1;另一路直接加到运放的同相输入端,增益也为1。此两路信号,经运放相加后输出,其输出特性为带阻。带通的传递函数为

$$H(S) = \frac{\frac{\omega_r}{Q} S}{S^2 + \frac{\omega_r}{Q} S + \omega_r^2},$$

于是图 5.2-19 电路的传递函数为

$$H(S) = \frac{V_o}{V_i} = \frac{S^2 + \omega_r^2}{S^2 + \frac{\omega_r}{Q} S + \omega_r^2}, \quad (5.2-38)$$



图 5.2-19 由带通滤波器实现的带阻滤波器

它表示 $f_r = f_\infty$ 时带阻滤波器的传递函数。

根据图 5.2-19 的电路结构,可以得到由带通滤波器构成的带阻滤波器,电路形式如图 5.2

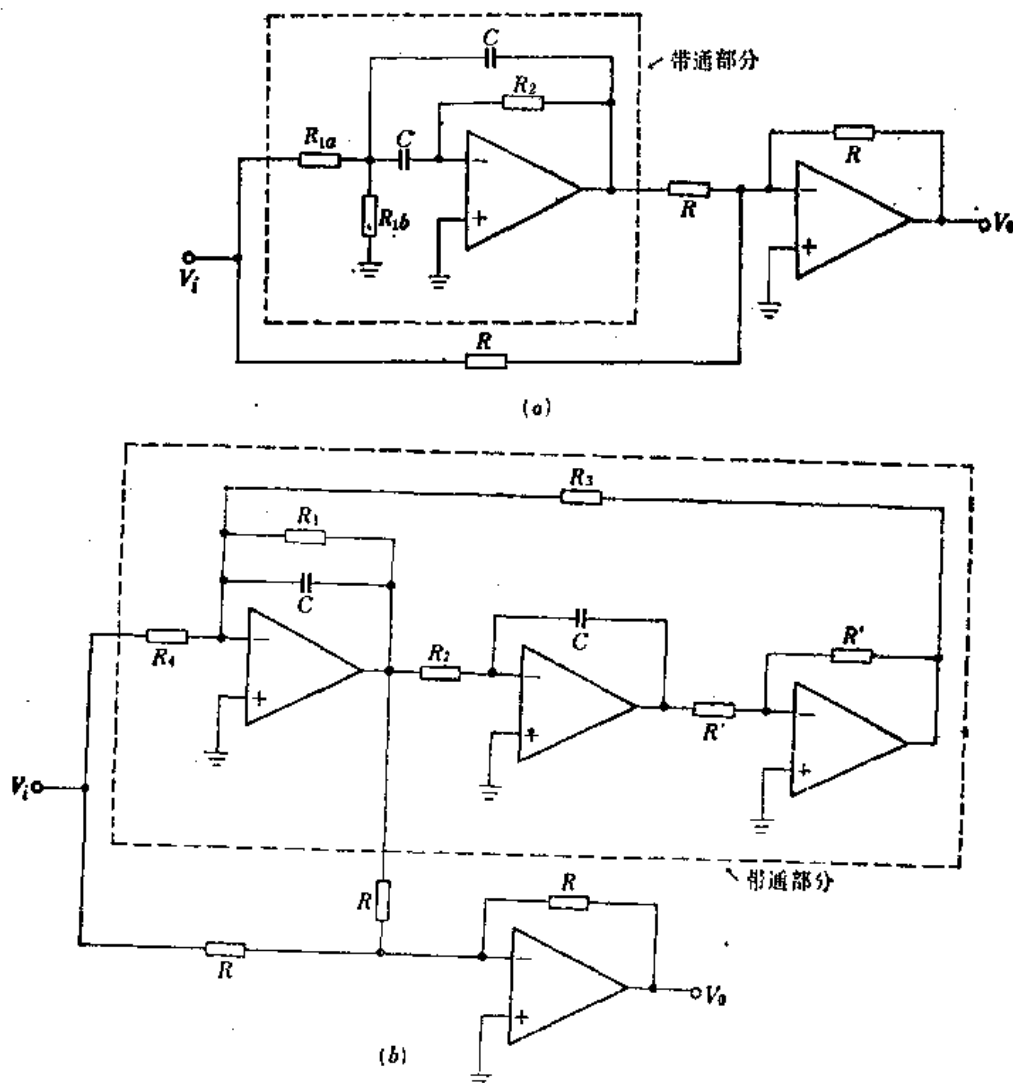


图 5.2-20 由带通滤波器构成的带阻滤波器

-20 所示,图(a)为多路反馈带通滤波器;图(b)为多运放带通滤波器。这些带阻滤波器的中心频率与带通滤波器的中心频率相同,带阻的 Q_{br} 与带通的 Q_{bp} 相同。其元件值的设计公式已在带通滤波器中讨论过了,这里不再重复。图 5.2-20 电路可作为 [例 8] 中的第三级带阻滤波器。

4. 双 T 带阻滤波器

在带阻滤波器中经常采用双 T 网络。无源的双 T 网络其 Q 值只有 $1/4$ 。为提高双 T 带阻滤波器的 Q 值,可使用正反馈,其电路形式如图 5.2-21a 所示,图中的 β 为双 T 网络, K 为放大器。经计算后,它的 Q 值为

$$Q = \frac{1}{4(1-K)}, \quad (5.2-39)$$

式中 K 小于 1 且接近于 1, K 越大 Q 值也越大。图 5.2-21b 给出了带有正反馈双 T 带阻滤波器的实际电路。该电路的设计公式为

$$R_1 = \frac{1}{2\pi f_0 C}, \quad (5.2-40)$$

$$K = 1 - \frac{1}{4Q}, \quad (5.2-41)$$

式中 f_0 为带阻的中心频率,止带宽度 B_s 其相应的衰减值 A_s 为

$$A_s = 10 \log \left[1 + \left(\frac{f_0}{QB_s} \right)^2 \right]. \quad (5.2-42)$$

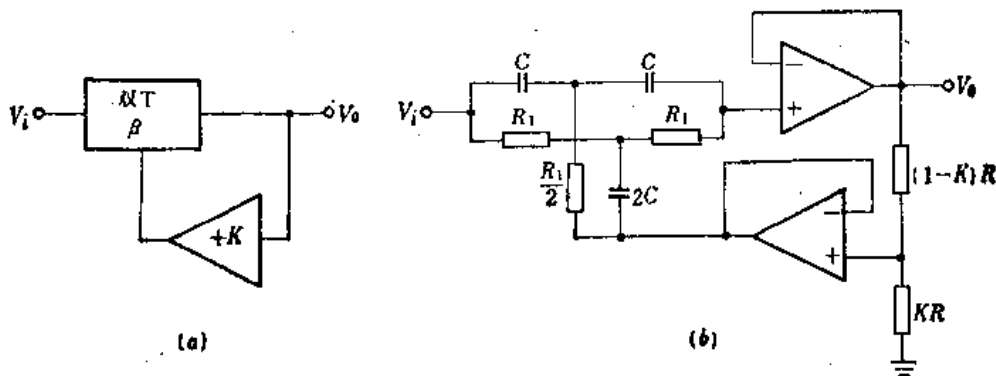


图 5.2-21 双 T 带阻滤波器

由上式可知, Q 越大,在相同 B_s 条件下,衰减值 A_s 越小。

【例 11】设计一个双 T 带阻滤波器,主要参数:(1) 带阻中心频率 $f_0=50$ 赫兹;(2) $Q=5$ 。

解 选用电容 $C=0.01$ 微法。由 (5.2-40) 式

$$R_1 = \frac{1}{2\pi f_0 C} = 318 \text{ 千欧},$$

由 (5.2-41) 式

$$K = 1 - \frac{1}{4Q} = 0.95.$$

图中的 R 取 100 千欧,则 $(1-K)R=5$ 千欧, $KR=95$ 千欧。若 $B_s=1$ 赫兹,则 $A_s=20$ 分贝。

(五) MOS 运放的选择

上述的各种类型有源滤波器,其运放电路既可用 MOS 运放也可用晶体管运放。MOS 运放与晶体管运放相比,各有优缺点。由于 MOS 运放具有功耗低、输入阻抗高和输入电流极小等优点,在设计有源滤波器时,可选用高阻值电阻,因而可以用较小的电容,这样使滤波器的体积减小。同时,选用单片 MOS 四运放电路,构成性能优良的多运放电路结构的各种滤波器,并使之标准化、厚膜化。晶体管运放由于输入阻抗低、偏流大,因此,在选用晶体管运放设计有源滤波器时,为了避免由于偏流所引起的失调或噪声,通常滤波器的电阻值取值较低,这样必须增大电容的容量,导致体积加大。MOS 运放与晶体管运放相比,其缺点也是明显的,即失调、低频噪声较大。因此在设计由 MOS 运放构成的有源滤波器时,应对 MOS 运放的失调和低频噪声提出要求。此外, MOS 运放还必须考虑以下三方面因素:

1. MOS 运放的稳定性

滤波器中的 MOS 运放通常构成深度负反馈,而深度负反馈往往会产生高频振荡。为避免高频振荡,应选用稳定性好的 MOS 运放或附加一些相位补偿电路。

2. MOS 运放的开环增益

尽可能选用开环增益大的 MOS 运放。一般来说, MOS 运放的开环增益越大,滤波器参数指标与设计值越接近,滤波器的性能也越好。

3. MOS 运放的带宽和压摆率

设计较高工作频率的滤波器时,应对 MOS 运放的带宽和压摆率提出要求。带宽和压摆率决定了一定的输出幅度下所能达到的最高频率,此最高频率限制了滤波器的工作频率。

第三节 开关电容滤波器

开关电容滤波器是由 MOS 运放、开关和电容等基本部件所组成,并采用 MOS 集成电路工艺制成的一种新颖集成滤波器。它除了具有体积小、功耗低、调试方便等优点外,还具有如下特点:

1. 开关电容滤波器的时间常数是由两个电容的比值来决定,与电容的绝对值无关,在 MOS 集成工艺中,其电容比值的相对误差小于 1%,且具有较低的温度系数,因而开关电容滤波器具有优良的稳定性能。

2. 开关电容滤波器是在时钟信号作用下工作的。改变时钟信号频率,可方便地调节滤波器的频率特性,而无需调整电路中的元件值。

3. 由于 MOS 数字电路与开关电容滤波器的 MOS 工艺是兼容的,所以可将数字电路与开关电容滤波器等模拟集成电路集成在同一芯片上,制成既有数字电路又有模拟电路的大规模集成电路。例如,用于通信系统的 PCM(脉冲编码调制)大规模集成电路中,包含数字电路和开关电容滤波器等模拟电路两部分。

基于开关电容滤波器的上述优点,因而它在通信、控制等领域中得到广泛的应用,并在逐步取代 RLC 无源滤波器和 RC 有源滤波器。

本节介绍开关电容滤波器的原理和设计方法,并给出设计实例。

(一) 开关电容电路基础

1. 开关电容电路的等效电阻

开关电容电路是既简单又基本的电路,它是由模拟开关和电容构成的,我们可以用一个等效电阻来模拟,其基本的并联型和串联型的开关电容电路如图 5.3-1a、b 所示。它们各自包含一个电容和两个开关。图 5.3-1c 表示控制 MOS 开关的时钟信号。

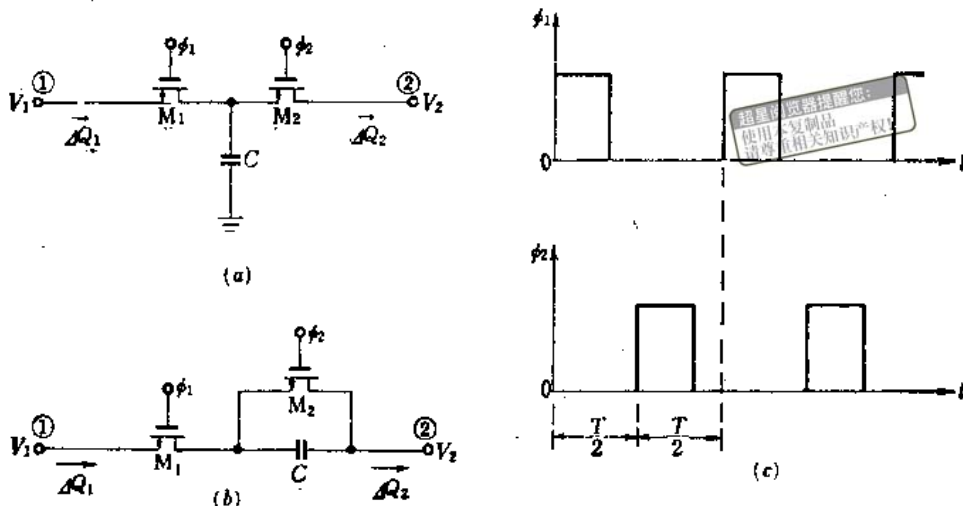


图 5.3-1 基本的开关电容电路 (a) 并联型; (b) 串联型; (c) 时钟信号

(1) 电路工作原理

先考虑图 5.3-1a 电路的工作情况。当时钟信号 ϕ_1 为高电平, ϕ_2 为低电平时, M_1 管导通而 M_2 管截止, 输入端电压 V_1 向电容 C 充电, 其两端电压为 V_1 。在前半周期, 电容 C 上的电压为 V_2 , 因而输入端充向电容 C 的电荷量 $\Delta Q_1 = C(V_1 - V_2)$; 当 ϕ_2 为高电平、 ϕ_1 为低电平时, M_2 管导通而 M_1 管截止, 电容 C 放电, 其两端电压为 V_2 。显然, 放电电荷 $\Delta Q_2 = C(V_1 - V_2) = \Delta Q_1$ 。在每个时钟周期 T 间隔之间, 电荷 $C(V_1 - V_2)$ 从节点 ① 进入, 从节点 ② 端流出, 我们可以定义从节点 ① 到节点 ② 的平均电流 I_{eq} 为

$$I_{eq} = \frac{\Delta Q_1}{T} = \frac{\Delta Q_2}{T} = \frac{C}{T} (V_1 - V_2). \quad (5.3-1)$$

由此可以得到节点 ① 与节点 ② 之间的等效电阻 R_{eq} 为

$$R_{eq} = \frac{V_1 - V_2}{I_{eq}} = \frac{T}{C}. \quad (5.3-2)$$

因而, 图 5.3-1a 电路的作用相当于数值为 T/C 的电阻。

对于图 5.3-1b 电路进行同样的分析表明, 此电路也可看作为一个等效电阻, 其值也等于 T/C 。

必须指出, 要使图 5.3-1a、b 的电路等效成一个模拟电阻 R_{eq} , 时钟信号频率 $f_{ck} \left(\frac{1}{T} \right)$ 应远大于信号源 V_1 和 V_2 的工作频率。

(2) 开关电路滤波器

若以开关电容电路取代有源 RC 滤波器中的电阻, 则就构成了开关电容滤波器。显然, 开

关电容滤波器只包含运放、开关和电容。假定运放和开关都是理想元件,它的频率响应特性只取决于电容值。形式上为 R_1C_2 的时间常数将被 $(T/C_1)C_2=(C_2/C_1)/f_{CK}$ 所取代,此处 C_1 是用来替换电阻 R_1 的开关电容值, f_{CK} 是时钟频率。如前所述, MOS 工艺中, 电容比值的误差可小于 1%。因此,集成开关电容滤波器的时间常数可达到 1% 或更好的精度。此外,用开关电容实现大阻值电阻时,通常只需要很小的硅片面积。例如,电容为 1 皮法,时钟信号频率 f_{CK} 为 100 千赫时,其等效电阻为 10 兆欧。若直接在硅片上制作 10 兆欧电阻,则其硅片面积是制作 1 皮法电容所需硅片面积的 400 倍。

基本的开关电容电路除了图 5.3-1a、b 电路外,还有如图 5.3-2 所示的开关电容电路,为简单起见,图中的开关表示 MOS 管开关, ϕ_1 和 ϕ_2 是如图 5.3-1 所示的时钟信号, ϕ_1 或 ϕ_2 为高电平时,开关接通,反之断开。可以证明,它们的等效模拟电阻 R_{eq} 的阻值均等于 T/C ,而图 5.1-2a、c 电路等效成一个负电阻,即 $R_{eq}=-T/C$ 。

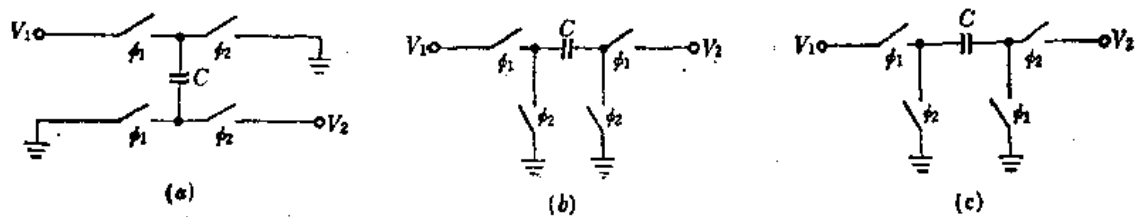


图 5.3-2 基本的开关电容电路

2. 开关电容积分器

图 5.3-3 所示的有源 RC 积分器是有源 RC 滤波器的基本单元,若图中的运放是理想的,则其输入与输出关系式为

$$V_o = -\frac{1}{R_1 C_2} \int_{-\infty}^t V_{in}(\tau) d\tau. \quad (5.3-3)$$

利用拉普拉斯变换并假定初始状态为零,上式可写为

$$V_o(S) = -\frac{V_{in}(S)}{SR_1 C_2}.$$

将上式写成传递函数形式,其表示式为

$$H(S) = \frac{V_o(S)}{V_{in}(S)} = -\frac{1}{SR_1 C_2}, \quad (5.3-4)$$

式中 S 是拉普拉斯变换变量, $R_1 C_2$ 是积分器的积分时间常数。

在稳态条件下, $S=j\omega$ 代入 (5.3-4) 式,可得传递函数表示式为

$$H(j\omega) = -\frac{1}{j\omega R_1 C_2}. \quad (5.3-5)$$

若用图 5.3-1 和图 5.3-2 所示的开关电容电路替代图 5.3-3 电路中的积分电阻 R_1 ,可得开关电容积分器,其基本电路形式如图 5.3-4 所示。

图 5.3-4a 中开关电容的等效电阻 $R_{eq}=T/C_1$,将此值代替 (5.3-5) 式中的 R_1 ,得到图 (a) 的传递函数为

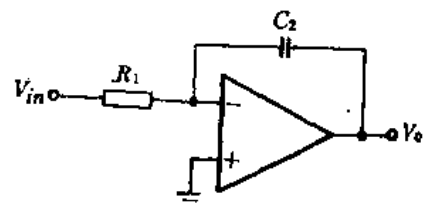


图 5.3-3 有源 RC 积分器

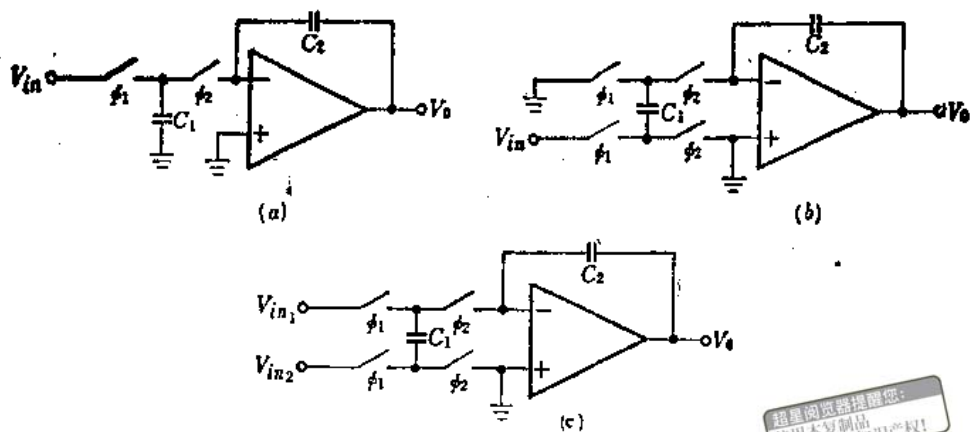


图 5.3-4 基本开关电容积分器。(a) 反相;(b) 同相;(c) 差分

$$\frac{V_o}{V_{in}} = -\frac{1}{j\omega \frac{T}{C_1} C_2} = -\frac{\frac{C_1}{C_2} f_{CK}}{j\omega}, \quad (5.3-6)$$

式中 $f_{CK}(1/T)$ 是时钟信号频率。由 (5.3-6) 式可知, 输入信号 V_{in} 与输出信号 V_o 是倒相关系, 因而图 (a) 电路是反相开关电容积分器。图 (b) 中开关电容的等效电阻 $R_{eq} = -(T/C_1)$, 它的传递函数为

$$\frac{V_o}{V_{in}} = \frac{\frac{C_1}{C_2} f_{CK}}{j\omega}. \quad (5.3-7)$$

由上式可知, 图 (b) 电路是同相开关电容积分器。现在来计算图 5.3-4c 电路的传递函数。该电路有两个输入信号 V_{in1} 和 V_{in2} , V_{in1} 为零时(接地), 就是反相开关电容积分器, 因而它的输出电压 V_o 与输入电压 V_{in1} 关系式为 (5.3-6) 式; V_{in2} 为零时(接地), 就是同相开关电容积分器, 输出电压 V_o 与输入电压 V_{in2} 关系式为 (5.3-7) 式。根据迭加定理, 图 (c) 电路的输出电压 V_o 与输入信号 V_{in1} 和 V_{in2} 的关系为

$$V_o = -\frac{\frac{C_1}{C_2} f_{CK}}{j\omega} (V_{in1} - V_{in2}). \quad (5.3-8)$$

因输出电压 V_o 与输入信号 V_{in1} 和 V_{in2} 的差值成正比, 所以图 5.3-4(c) 电路是差分开关电容积分器。

3. 对寄生电容不灵敏的积分器

(1) 寄生电容对开关电容积分器的影响

在第四章第二节, 我们讨论了 MOS 电容结构, MOS 电容有上极板寄生电容和下极板寄生电容。因开关电容积分器中的电容是采用 MOS 工艺制成的 MOS 电容, 所以需要讨论寄生电容对开关电容积分器性能将产生什么影响, 以及如何减小或消除寄生电容对开关电容积分器的影响。对于 MOS 电容来说, 下极板寄生电容远大于上极板电容。在开关电容积分器中, 为了消除下极板寄生电容对积分器性能的影响, 开关电容的下极板应接地或接在低阻抗的电源上。对于运放的积分电容, 其下极板应接在运放的输出端或输入端的虚地点上。下面讨论寄生电容对开关电容积分器的影响。

图 5.3-5 电路是常用的差分开关电容积分器，它是图 5.3-4c 电路的实际形式。图中的 MOS 管 M_1 、 M_2 、 M_3 和 M_4 为开关管，其栅极分别接有双相时钟信号 ϕ_1 和 ϕ_2 ，当 ϕ_1 为高电平时， M_1 和 M_2 导通， M_3 和 M_4 截止，电容 C_1 与输入信号源 V_{in1} 和 V_{in2} 接通；当 ϕ_2 为高电平时， M_3 和 M_4 导通， M_1 和 M_2 截止，电容 C_1 接到运放的输入端。图中的 C_{p1} 和 C_{sub1} 、 C_{p2} 和 C_{sub2} 分别为开关电容 C_1 、积分电容 C_2 的上极板寄生电容和下极板寄生电容。现分别说明这些寄生电容的影响。

C_{sub2} 寄生电容接在运放的输出端，一般情况下，运放的输出阻抗较低，故这个电容对积分器的工作影响不大。

C_{p1} 寄生电容是接在运放输入端的负端。如果运放的增益较高，则这个电容对电路的影响可忽略。因为运放的倒相输入端为虚地点，其电压近似为零。

C_{sub1} 寄生电容是电容 C_1 下极板到地的电容，它对积分器的工作也没有影响，因为它不是连接到 V_{in1} 信号源就是连接到地。

C_{p1} 寄生电容是 C_1 电容的上极板到地的电容，这个电容在开关接在 V_{in1} 、 V_{in2} 时，它上面要储存电荷 $C_{p1}V_{in1}$ ，当开关接向运放输入端时，这部分电荷也要转移到积分电容 C_2 上，所以这个电容是有影响的。

综上所述，四个寄生电容，只有 C_{p1} 寄生电容对积分器产生影响。若考虑寄生电容的影响，则图 5.3-5 的传递函数为

$$V_o = -\frac{f_{CK}}{j\omega} \left[\frac{C_1}{C_2} (V_{in1} - V_{in2}) + \frac{C_{p1}}{C_2} V_{in1} \right] \quad (5.3-9)$$

上式与 (5.3-8) 式相比，增加了由于 C_{p1} 引入的误差项。若 C_2 远大于 C_{p1} ，则 C_{p1} 的影响就愈小。显然，由 (5.3-9) 可知，当 $V_{in1}=0$ ， $V_{in2} \neq 0$ 时，属于同相积分器情况，积分器就不受寄生电容的影响。若工作在差分状态或倒相状态，寄生电容 C_{p1} 对积分器的输出有影响，为减小这种影响， C_2 应远大于 C_{p1} 。在实际电路中，这个条件通常是满足的。

(2) 寄生电容不敏感开关电容积分器

为完全消除寄生电容对积分器的影响，开关电容电路可采用图 5.3-2b、c 的电路形式。由图 5.3-2b、c 电路构成的开关电容积分器如图 5.3-6a、c 所示，图 (a) 是反相积分器；图 (b) 是同相积分器；(c) 是差分积分器。它们的传递函数分别对应于 (5.3-6~8) 式。很容易证明，电容 C_1 和 C_2 的寄生电容对图 5.3-6 电路的传递函数不产生影响。现以图 5.3-6(c) 电路为例进行说明，当 ϕ_1 为高电平时，电容 C_1 一端接到输入信号源 V_{in1} ，另一端接到运放的负端（即虚地）；当 ϕ_2 为高电平时，电容 C_1 一端接到输入信号源 V_{in2} ，另一端接地。由于寄生电容 C_{p1} 接在低阻抗源上，寄生电容 C_{sub1} 接地或接虚地，因而 C_{p1} 、 C_{sub1} 寄生电容对积分器的工作状态不产生任何影响。电容 C_2 的寄生电容 C_{p2} 和 C_{sub2} 也分别接在虚地点和低输出阻抗源上，它们对积分器的输出也不产生影响。因此，图 5.3-6c 电路是寄生电容不敏感积分器。同样分析可知，图 5.3-6a、b 电路也是寄生电容不敏感积分器。

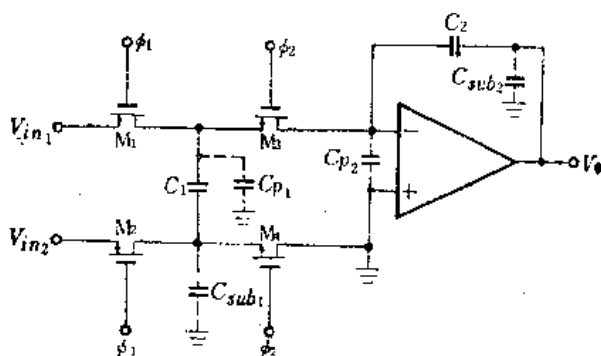


图 5.3-5 差分开关电容积分器

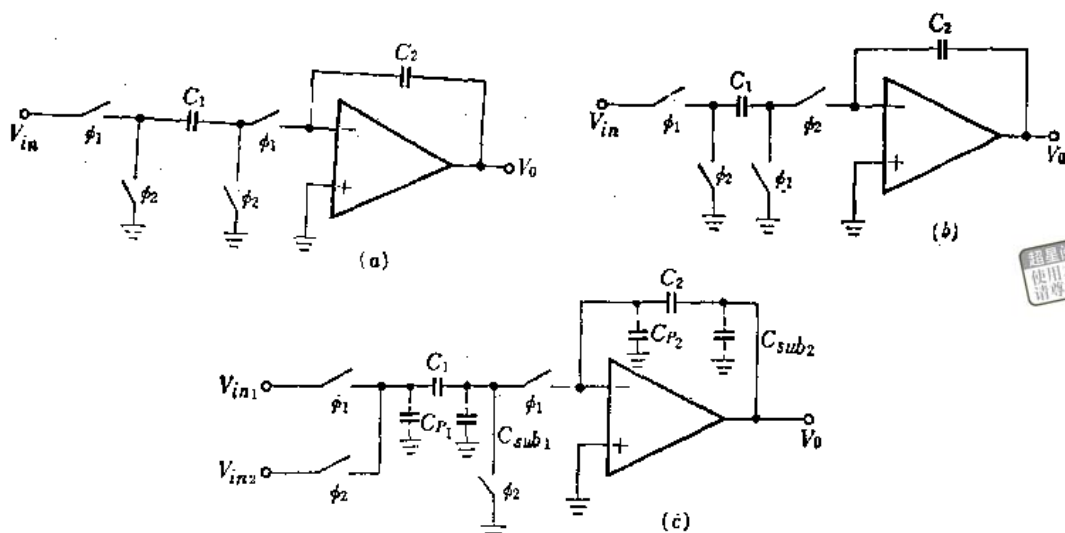


图 5.3-6 寄生电容不敏感开关电容积分器。(a) 反相;(b) 同相;(c) 差分

4. 开关电容滤波器的设计方法

目前,开关电容滤波器较常用的设计方法主要有如下两种:

(1) 列出无源 RLC 梯形滤波器节点、支路的电压、电流方程式,根据此方程式给出信号流图,由信号流图得出开关电容滤波器的电路结构,其元件值直接由 RLC 梯形滤波器中的电感 L 、电容 C 以及时钟信号频率 f_{CK} 所决定。这种设计方法具有电路结构简单、灵敏度低等优点,并容易设计出高阶滤波器。

(2) 由双二阶 RC 有源滤波器(即本章第二节中多运放结构的滤波器)直接得出双二阶开关电容滤波器,将此电路进行串级实现高阶开关电容滤波器。用这种设计方法的优点是,可用双二阶标准模块,进行低通、高通、带通和带阻等各类滤波器的设计,使设计大大简化。

下面我们讨论这两种类型的设计方法。

(二) RLC 梯型网络的模拟法

1. 低通滤波器

(1) 三阶低通滤波器的设计

我们以三阶低通开关电容滤波器的设计为例,来说明低通开关电容滤波器的设计方法及步骤。三阶无源 RLC 梯型滤波器如图 5.3-7a 所示,它的节点电压和支路电流由下列方程式描述

$$\begin{cases} I_0 = \frac{V_{in} - V_1}{R_s}, \\ V_1 = \frac{1}{SC_1} (I_0 - I_2), \\ I_2 = \frac{1}{SL_2} (V_1 - V_3), \\ V_3 = \frac{1}{SC_3} (I_2 - I_L), \\ I_L = \frac{V_3}{R_L} = \frac{V_{out}}{R_L}. \end{cases} \quad (5.3-10)$$

为使上式电流量变为电压量,引入比例电阻 R , 令 $V'_i = I_i R$ (i 为上式电流 I 的脚标)。这样上式写为

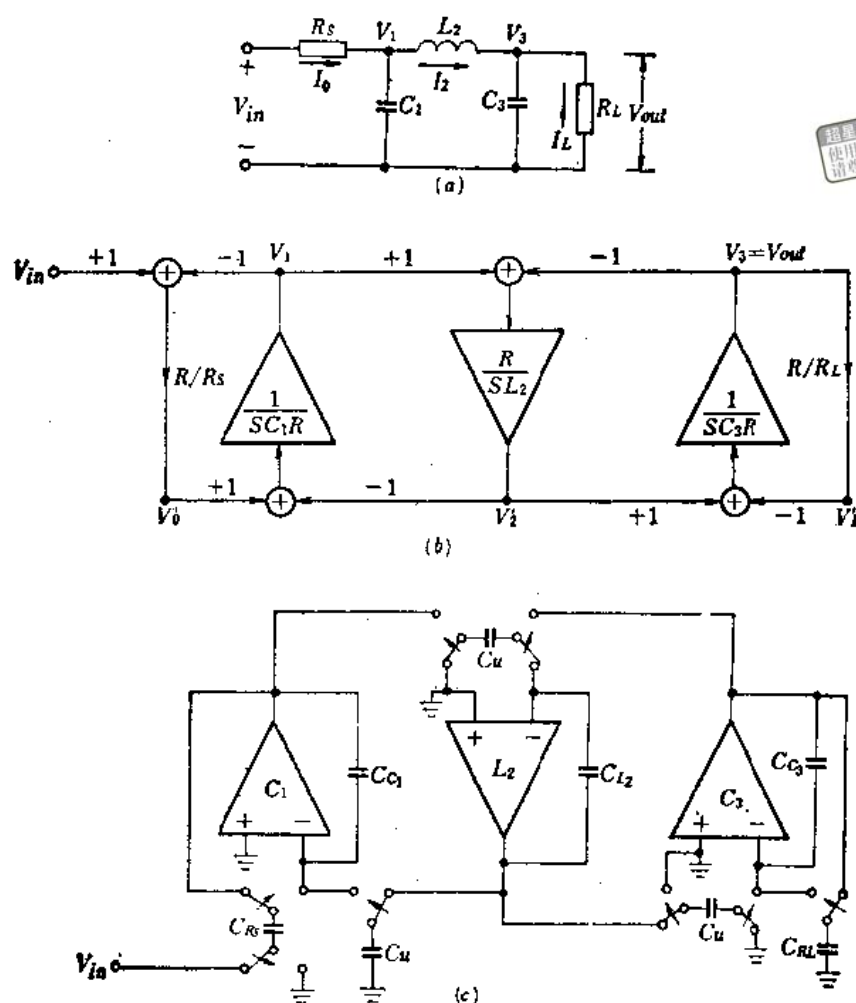


图 5.3-7 三阶低通滤波器
(a) RLC 三阶低通; (b) 信号流图; (c) 开关电容滤波器

$$\begin{cases} V'_0 = \frac{R}{R_s} (V_{in} - V_1), \\ V_1 = \frac{1}{SC_1 R} (V'_0 - V'_2), \\ V'_2 = \frac{R}{SL_2} (V_1 - V_3), \\ V_3 = \frac{1}{SC_3 R} (V'_2 - V'_L), \\ V'_L = \frac{R}{R_L} V_3 = \frac{R}{R_L} V_{out}. \end{cases} \quad (5.3-11)$$

由 (5.3-11) 式可以得到如图 5.3-7b 所示的信号流图, 图中有三个积分器, 它们的时间常数分别为 $C_1 R$ 、 L_2/R 和 $C_3 R$ 。对 (5.3-11) 式加以整理, 可以得到如下方程

$$\begin{cases} V_1 = \frac{1}{SC_1R_s} (V_{in} - V_1) - \frac{1}{SC_1R} V'_2, \\ V'_2 = \frac{R}{SL_2} (V_1 - V_2), \\ V_3 = \frac{1}{SC_3R} V'_2 - \frac{1}{SC_3R_L} V_3. \end{cases} \quad (5.3-12)$$

根据图 5.3-7b 所示的信号流图和 (5.3-12) 式以及 RC 积分器与开关电容积分器 (图 5.3-4) 之间的转换关系, 可以得到图 5.3-7c 所示的三阶低通开关电容滤波器。图中各级开关电容积分器就是图 5.3-4 所示的电路, 为简单起见, 将其开关画成另一种形式。若该电路各级开关电容积分器的积分时间常数与 (5.3-12) 式中的积分时间常数相对应并使其相等, 可以得到如下方程式:

$$\begin{cases} \frac{T}{C_{RS}} C_{C1} = C_1 R_s, \\ \frac{T}{C_u} C_{C1} = C_1 R, \\ \frac{T}{C_u} C_{L1} = \frac{R}{L_2}, \\ \frac{T}{C_u} C_{C3} = C_3 R, \\ \frac{T}{C_{RL}} C_{C3} = C_3 R_L. \end{cases} \quad (5.3-13)$$

对上式进行整理后得

$$\begin{cases} \frac{C_{C1}}{C_u} = C_1 f_{CK} R, \\ \frac{C_{L1}}{C_u} = \frac{f_{CK}}{L_2} R, \\ \frac{C_{C3}}{C_u} = C_3 f_{CK} R, \\ \frac{C_{RS}}{C_u} = \frac{R}{R_s}, \\ \frac{C_{RL}}{C_u} = \frac{R}{R_L}, \end{cases} \quad (5.3-14)$$

式中 f_{CK} 是归一化时 ($\omega_c = 1$ 弧度/秒) 的时钟信号频率。在通常条件下, 取 $R_s = R_L = R = 1$ 欧姆, 则 (5.3-14) 式写为

$$\begin{cases} \frac{C_{C1}}{C_u} = C_1 f_{CK}, \\ \frac{C_{L1}}{C_u} = \frac{f_{CK}}{L_2}, \\ \frac{C_{C3}}{C_u} = C_3 f_{CK}, \\ C_{RS} = C_u, \\ C_{RL} = C_u. \end{cases} \quad (5.3-15)$$

由 (5.3-14) 或 (5.3-15) 式可知, 只要知道 RLC 梯型滤波器在归一化条件下的电感 L 、电容 C 、输入端电阻 R_s 和终端电阻 R_L , 以及归一化后的时钟信号频率 f_{CK} , 即可求得图 5.3-7(c)

电路中各开关电容积分器的电容比值。为使开关电容滤波器特性与 RLC 滤波器特性接近, 实际时钟信号 f'_{ck} 应远大于低通滤波器的截止频率 f_c , 其关系为

$$\begin{cases} \frac{\omega'_{ck}}{\omega_c} = k \gg 1, \\ f'_{ck} = \frac{k\omega_c}{2\pi}. \end{cases} \quad (5.3-16)$$

在归一化条件下, $\omega_c = 1$ 弧度/秒, 所以归一化后的时钟信号频率 f_{ck} 有如下关系:

$$f_{ck} = \frac{k}{2\pi}. \quad (5.3-17)$$

对于低通滤波器来说, 一般 k 取 $20 \sim 40$, 如果 k 取得过大, 则加大积分器的电容比, 增加芯片面积。

图 5.3-7a RLC 梯型滤波器参数可以在表 5.3-1 中找到。对于归一化 ($R_s = R_L = 1$ 欧姆, $\omega_c = 1$ 弧度/秒) 三阶巴特沃思低通滤波器, 具体参数是

$$C_1 = 1.0000, L_2 = 2.0000, C_3 = 1.0000.$$

若取时钟信号频率 f'_{ck} 与低通滤波器截止频率 f_c 的比值 $k = 20$, 则由 (5.3-17) 和 (5.3-15) 式, 可得到图 5.3-7c 中各开关电容积分器的电容比值, 即

$$\begin{cases} f_{ck} = \frac{k}{2\pi} = 3.1831, \\ \frac{C_{C_1}}{C_u} = C_1 f_{ck} = 3.1831, \\ \frac{C_{L_2}}{C_u} = \frac{f_{ck}}{L_2} = 1.5915, \\ \frac{C_{C_3}}{C_u} = C_3 f_{ck} = 3.1831, \\ C_{R_s} = C_{R_L} = C_u. \end{cases}$$

若取 $C_u = 1$ 单位电容, 则 $C_{C_1} = 3.1831$ 单位电容, $C_{L_2} = 1.5915$ 单位电容, $C_{C_3} = 3.1831$ 单位电容, $C_{R_s} = C_{R_L} = C_u = 1$ 单位电容。

显然, 单位电容 C_u 越小, 则开关电容滤波器总的电容值也越小。但单位电容的大小受寄生电容大小的制约, 不能取得太小, 通常取 $C_u = 0.1 \sim 0.5$ 皮法。

以上我们都是在归一化条件下进行计算的。若要对低通截止角频率 ω_c 作频率变换, 只要根据 ω_c 值, 并利用 (5.3-16) 式计算出实际的时钟频率 f'_{ck} , 而对归一化求得的电容比值不需作任何修正。其计算步骤是, 首先在归一化条件下由 (5.3-17) 和 (5.3-15) 式计算出电容比, 然后根据所需要的截止频率 f_c 计算出实际所需的时钟频率 f'_{ck} 。若上例的三阶低通滤波器的截止频率 $f_c = 1$ 千赫, 由 (5.3-16) 式可以得到实际时钟频率 $f'_{ck} = k f_c = 20$ 千赫。

由上面讨论可知, 对于开关电容滤波器来说, 在确定了时钟频率 f'_{ck} 与滤波器截止频率 f_c 的比值 k 后, 调节时钟频率 f'_{ck} , 即可按 k 的比例系数改变滤波器的截止频率 f_c 。

以上讨论了三阶低通开关电容滤波器的设计方法。无疑, 采用类似的设计步骤, 可以设计出高阶全极点低通开关电容滤波器。下面讨论椭圆函数低通滤波器的设计方法。

(2) 椭圆函数低通开关电容滤波器的设计

椭圆函数低通开关电容滤波器是由无源 RLC 椭圆函数低通滤波器通过变换来实现的。现以在通信系统中常用的五阶椭圆函数低通开关电容滤波器为例, 说明其设计方法。图 5.3-

8 是五阶 RLC 椭圆函数低通滤波器，其归一化元件值可由表 5.3-3 中找到，由图 5.3-8 可以得到如下电压、电流方程式：

$$\begin{cases} I_0 = \frac{1}{R_s} (V_{in} - V_1), \\ V_1 = \frac{1}{S(C_1 + C_2)} (I_0 - I_2) + \frac{C_2}{C_1 + C_2} V_3, \\ I_2 = \frac{1}{SL_2} (V_1 - V_3), \\ V_3 = \frac{1}{S(C_2 + C_3 + C_4)} (I_2 - I_4) + \frac{C_2}{C_2 + C_3 + C_4} V_1 + \frac{C_4}{C_2 + C_3 + C_4} V_5, \\ I_4 = \frac{1}{SL_4} (V_3 - V_5), \\ V_5 = \frac{1}{S(C_4 + C_5)} (I_4 - I_L) + \frac{C_4}{C_4 + C_5} V_3, \\ I_L = \frac{1}{R_L} V_5 = \frac{1}{R_L} V_{out}. \end{cases} \quad (5.3-18)$$

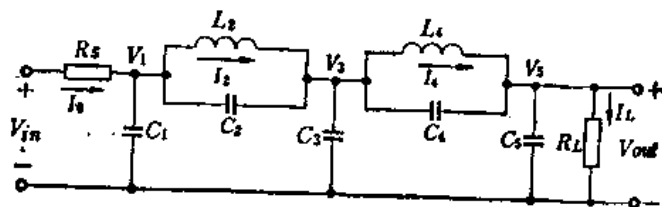


图 5.3-8 五阶 RLC 椭圆函数低通滤波器

为使上式电流量变为电压量，引入比例电阻 R ，令 $V'_i = I_i R$ ，这样，(5.3-18) 式可写为

$$\begin{cases} V'_0 = \frac{R}{R_s} (V_{in} - V_1), \\ V_1 = \frac{1}{S(C_1 + C_2)R} (V'_0 - V'_2) + \frac{C_2}{C_1 + C_2} V_3, \\ V'_2 = \frac{R}{SL_2} (V_1 - V_3), \\ -V_3 = \frac{-1}{S(C_2 + C_3 + C_4)R} (V'_2 - V'_4) - \frac{C_2}{C_2 + C_3 + C_4} V_1 - \frac{C_4}{C_2 + C_3 + C_4} V_5, \\ V'_4 = \frac{R}{SL_4} (V_3 - V_5), \\ V_5 = \frac{1}{S(C_4 + C_5)R} (V'_4 - V'_L) + \frac{C_4}{C_4 + C_5} V_3, \\ V'_L = \frac{R}{R_L} V_5 = \frac{R}{R_L} V_{out}. \end{cases} \quad (5.3-19)$$

由上式可知，各电压之间的关系可通过积分器和加法器来实现。为便于选用有加法器的开关电容积分器，式中的 V_3 改写成 $-V_3$ 。

根据 (5.3-19) 式画出的信号流程图如图 5.3-9a 所示。图中积分器 1、2、3、4 和 5 的积分时间常数分别为 $(C_1 + C_2)R$ 、 L_2/R 、 $(C_2 + C_3 + C_4)R$ 、 L_4/R 和 $(C_4 + C_5)R$ ，各 α 值表示如下：

$$\begin{cases} \alpha_1 = -\frac{C_2}{C_1 + C_2}, \\ \alpha_2 = -\frac{C_2}{C_2 + C_3 + C_4}, \\ \alpha_3 = -\frac{C_4}{C_2 + C_3 + C_4}, \\ \alpha_4 = -\frac{C_4}{C_4 + C_5}, \end{cases} \quad (5.3-20)$$

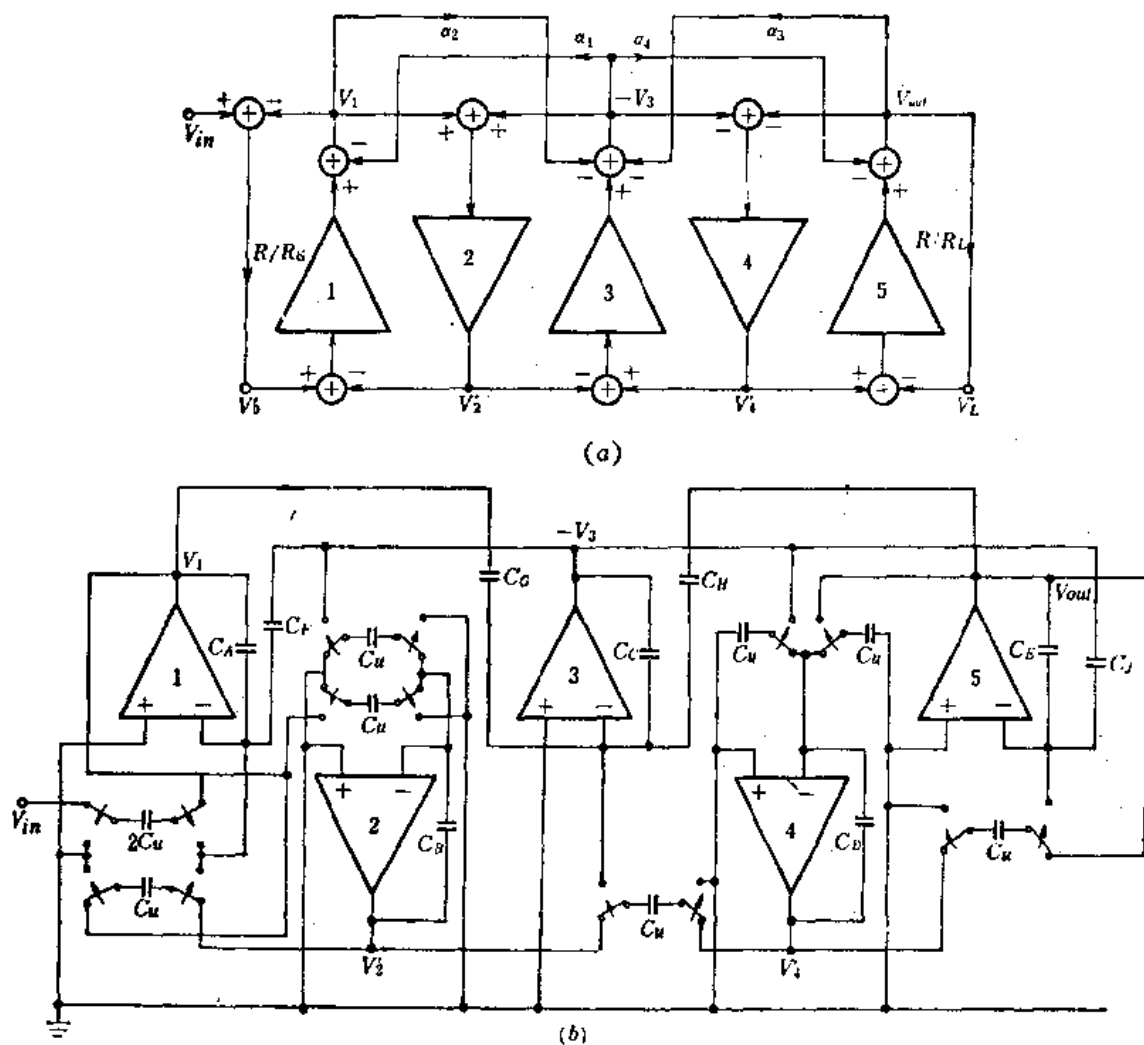


图 5.3-9 五阶椭圆函数低通开关电容滤波器和信号流图

(5.3-19)式中的比例电阻 R ,通常可根据滤波器的最大动态范围和电容面积最小来进行选取(参看本节四),为简单起见,取 $R=1$ 欧姆。而图5.3-8中归一化时的电阻 R_s 和 R_L 通常也是1欧姆,这样, $R_s=R_L=R=1$ 欧姆。根据图5.3-9a所示的信号流图和 $R_s=R_L=R=1$ 欧姆条件,可以得到图5.3-9b所示的五阶椭圆函数低通开关电容滤波器,对应于图5.3-9a,b积分时间常数,并使其相等以及根据(5.3-19)式,可以求得图(b)中各积分器的电容值,其值由下式表示

$$\begin{aligned}
 k &= \frac{\omega'_{ck}}{\omega_c}, \\
 f_{ck} &= \frac{k}{2\pi}, \\
 \frac{C_A}{C_u} &= (C_1 + C_2)f_{ck}, \\
 \frac{C_B}{C_u} &= L_2 f_{ck}, \\
 \frac{C_C}{C_u} &= (C_2 + C_3 + C_4)f_{ck}, \\
 \frac{C_D}{C_u} &= L_4 f_{ck}, \\
 \frac{C_E}{C_u} &= (C_4 + C_5)f_{ck}, \\
 \frac{C_F}{C_A} &= \alpha_1 = \frac{C_2}{C_1 + C_2}, \\
 \frac{C_G}{C_C} &= \alpha_2 = \frac{C_2}{C_2 + C_3 + C_4}, \\
 \frac{C_H}{C_C} &= \alpha_3 = \frac{C_4}{C_2 + C_3 + C_4}, \\
 \frac{C_I}{C_E} &= \alpha_4 = \frac{C_4}{C_4 + C_5},
 \end{aligned} \tag{5.3-21}$$

式中 ω'_{ck} 为实际时钟角频率, ω_c 为滤波器的截止角频率, f_{ck} 为滤波器截止角频率为 1 弧度/秒时的时钟频率。为使通带增益为 0 分贝, 输入端电容从 C_u 扩大到 $2C_u$ 。

【例 12】设计一个五阶椭圆函数低通开关电容滤波器, 主要参数: (1) 通带波动 $R_p = 0.1$ 分贝; (2) 止带最小衰减 $A_{min} = 28.3$ 分贝; (3) 归一化时止带角频率 $\Omega_s = 1.20$ 弧度/秒; (4) 截止频率 $f_c = 3.4$ 千赫; (5) 时钟信号频率 $f'_{ck} = 128$ 千赫。

解 i. 确定图 5.3-8 电路中各元件值:

查表 5.3-3 得到

$R_s = R_L = 1$ 欧姆, $C_1 = 0.91441$, $C_2 = 0.31628$, $L_2 = 1.06516$, $C_3 = 1.38201$, $L_4 = 0.60131$, $C_4 = 1.09329$, $C_5 = 0.52974$ 。

ii. 计算时钟频率 f'_{ck} 和截止频 f_c 的比值 k :

$$k = \frac{\omega'_{ck}}{\omega_c} = \frac{f'_{ck}}{f_c} = \frac{128}{3.4} = 37.647.$$

iii. 计算归一化时的时钟频率 f_{ck} :

$$f_{ck} = \frac{k}{2\pi} = 5.9917.$$

iv. 计算电容比:

根据 (5.3-21) 式

$$\frac{C_A}{C_u} = (C_1 + C_2)f_{ck} = 7.374$$

$$\frac{C_B}{C_u} = L_2 f_{ck} = 6.382,$$

$$\frac{C_c}{C_s} = (C_2 + C_3 + C_4) f_{CK} = 16.726,$$

$$\frac{C_D}{C_s} = L_4 f_{CK} = 3.603,$$

$$\frac{C_x}{C_s} = (C_4 + C_5) f_{CK} = 9.725,$$

$$\frac{C_F}{C_s} = \frac{C_2}{C_1 + C_2} = 0.257,$$

$$\frac{C_G}{C_c} = \frac{C_2}{C_2 + C_3 + C_4} = 0.113,$$

$$\frac{C_H}{C_c} = \frac{C_4}{C_2 + C_3 + C_4} = 0.392,$$

$$\frac{C_J}{C_x} = \frac{C_4}{C_4 + C_5} = 0.674.$$

v. 计算各电容值:

取 $C_s = 1$ 单位电容; $C_A = 7.374$ 单位电容; $C_B = 6.382$ 单位电容; $C_c = 16.726$ 单位电容; $C_D = 3.603$ 单位电容; $C_x = 9.725$ 单位电容; $C_F = 1.895$ 单位电容; $C_G = 1.890$ 单位电容; $C_H = 6.557$ 单位电容; $C_J = 6.555$ 单位电容。

2 带通滤波器

带通开关电容滤波器的设计步骤: 首先, 将 RLC 低通滤波器通过频率变换, 求得 RLC 带通滤波器; 其次, 列出 RLC 带通滤波器各节点、支路电压、电流方程式, 然后根据电压、电流方程式画出信号流图; 最后由信号流图得出带通开关电容滤波器。

RLC 二阶归一化低通滤波器如图 5.3-10a 所示。根据低通到带通的频率变换关系式, 将图 5.3-10a 变换为如图 5.3-10b 所示的 RLC 带通滤波器, 它的元件值为

$$\begin{aligned} C_A &= \frac{C_1}{B}, & L_A &= \frac{B}{C_1 \omega_0^2}, \\ L_B &= \frac{L_2}{B}, & C_B &= \frac{B}{L_2 \omega_0^2}. \end{aligned} \quad (5.3-22)$$

式中 C_1, L_2 为 RLC 二阶归一化低通滤波器元件值, ω_0 为带通滤波器的中心角频率, B 为带通滤波器 3 分贝带宽。

由图 5.3-10b 可以得到如下电压、电流方程:

$$\begin{cases} I_0 = \frac{V_{in} - V_1}{R_s}, \\ V_1 = \frac{1}{SC_A} (I_0 - I_2 - I_3), \\ I_2 = \frac{V_1}{SL_A}, \\ I_3 = \frac{1}{SL_B} \left(V_1 - V_{out} - \frac{I_3}{SC_B} \right), \\ V_{out} = I_3 R_L. \end{cases} \quad (5.3-23)$$

用比例电阻 R , 将上式中的电流量变为电压量并用 V_i 表示, 则上式可以改写为

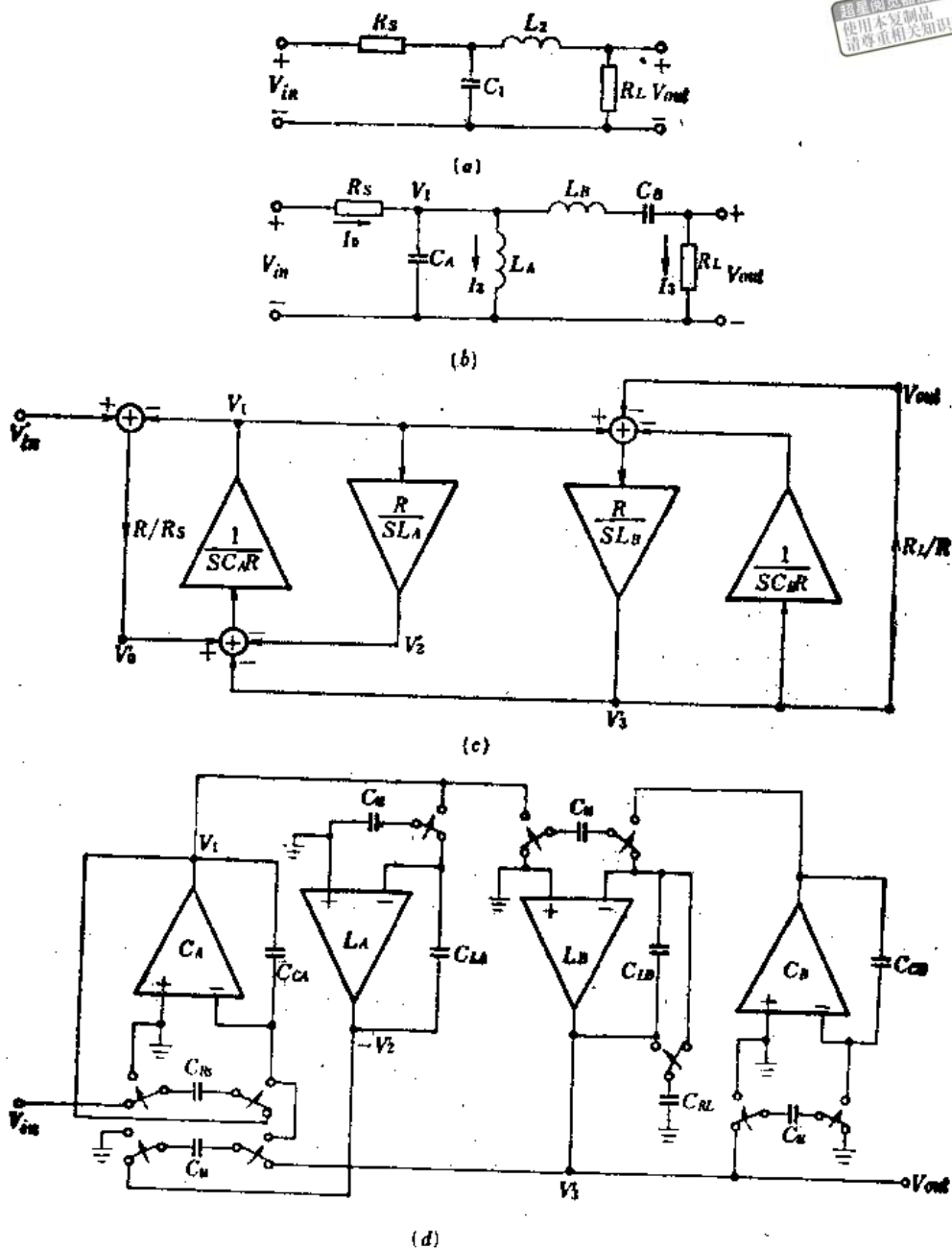


图 5.3-10 带通滤波器。(a) RLC 低通；(b) RLC 带通；(c) 信号流图；(d) 开关电容滤波器

$$\begin{cases} V'_0 = \frac{R}{R_s} (V_{in} - V_1), \\ V_1 = \frac{1}{SC_A R} (V'_0 - V_2 - V'_3), \\ V'_2 = -\frac{R}{SL_A} V_1, \\ V'_3 = \frac{R}{SL_B} \left(V_1 - V_{out} - \frac{V'_3}{SC_B R} \right), \\ V_{out} = \frac{R_L}{R} V'_3. \end{cases} \quad (5.2-24)$$

根据(5.3-24)式画出如图5.3-10c所示的信号流图,由此图可以得到带通开关电容滤波器电路,其电路形式如图5.3-10d所示。为简单起见,取 $R_s=R_L=R=1$ 欧姆,这样图中的 C_{RS} 、 C_{RL} 与 C_s 相同,即 $C_{RS}=C_{RL}=C_s$ 。该图中各开关电容积分器的电容比值由(5.3-25)式求得,其表示式为

$$\begin{cases} \frac{C_{CA}}{C_s} = \frac{C_1}{B} f_{CK} = QC_1 \frac{f_{CK}}{\omega_0}, \\ \frac{C_{LA}}{C_s} = \frac{B}{C_1 \omega_0^2} f_{CK} = \frac{f_{CK}}{QC_1 \omega_0}, \\ \frac{C_{LB}}{C_s} = \frac{L_2}{B} f_{CK} = QL_2 \frac{f_{CK}}{\omega_0}, \\ \frac{C_{CB}}{C_s} = \frac{B}{L_2 \omega_0^2} f_{CK} = \frac{f_{CK}}{QL_2 \omega_0}. \end{cases} \quad (5.3-25)$$

式中 Q 为带通滤波器的 Q 值。

【例13】设计一个四阶巴特沃思开关电容滤波器,它的时钟信号频率 f_{CK} 是带通中心频率 f_0 的20倍,带通的 Q 值为5。

解 i. 计算图5.3-10a的元件值;

由表5.3-1得

$$R_s=R_L=1 \text{ 欧姆}, C_1=1.4142, L_2=1.4142.$$

ii. 计算图5.3-10d中各开关电容积分器的电容比值;

由(5.3-25)式,得到如下各积分器的电容比为

$$\frac{C_{CA}}{C_s} = QC_1 \frac{f_{CK}}{\omega_0} = 22.5,$$

$$\frac{C_{LA}}{C_s} = \frac{f_{CK}}{QC_1 \omega_0} = 0.45,$$

$$\frac{C_{LB}}{C_s} = QL_2 \frac{f_{CK}}{\omega_0} = 22.5,$$

$$\frac{C_{CB}}{C_s} = \frac{f_{CK}}{QL_2 \omega_0} = 0.45.$$

3. 高通滤波器

高通开关电容滤波器的设计步骤是:(1)由 RLC 低通滤波器经频率变换后求得 RLC 高通滤波器;(2)列出 RLC 高通滤波器各节点和支路电压、电流方程式;(3)根据电压、电流方程式画出信号流图;(4)由信号流图得出高通开关电容滤波器。图5.3-11a为 RLC 四阶高通滤波器,它直接由 RLC 低通滤波器经变换后得到,只要将低通滤波器中的 L 换成 C , C 换成 L ,并且它们之间的元件值互为倒数。

由图5.3-11a得如下电压、电流方程式:

$$\begin{cases} V_2 = -\frac{I_1}{SC_1} + V_{in}; \\ I_1 = \frac{V_2}{SL_2} + I_3; \\ I_3 = \frac{V_{out}}{SL_4} + \frac{V_{out}}{R_L}; \\ V_{out} = V_2 - \frac{I_3}{SC_4}. \end{cases} \quad (5.3-26)$$

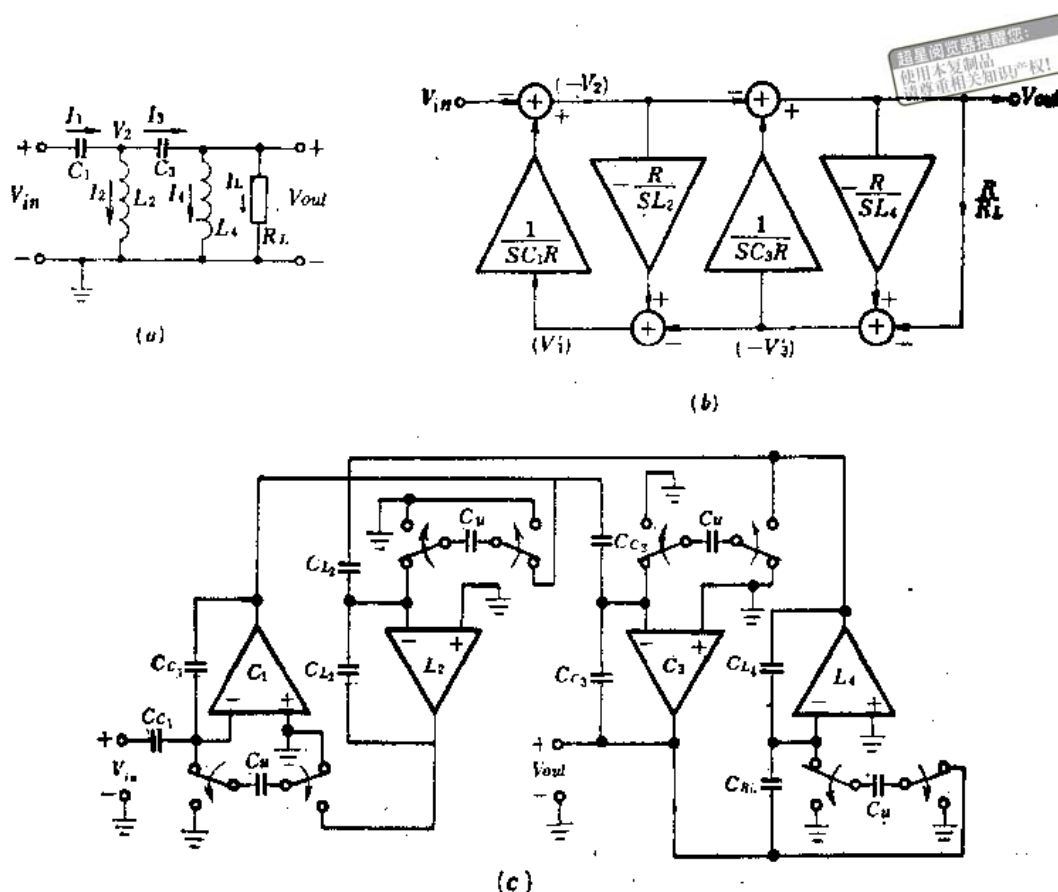


图 5.3-11 高通滤波器

(a) RLC 高通滤波器; (b) 信号流图; (c) 开关电容滤波器

引入比例电阻 R , 将上式的电流量变为电压量, 其关系式为 $V'_i = I_i R$, 这样上式可写为

$$\begin{cases} V_2 = -\frac{V'_1}{SC_1 R} + V_{in}; \\ V'_1 = \frac{V_2 R}{SL_2} + V'_3; \\ V'_3 = \frac{V_{out} R}{SL_4} + \frac{R}{R_L} V_{out}; \\ V_{out} = V_2 - \frac{V'_3}{SC_3 R}. \end{cases} \quad (5.3-27)$$

由 (5.3-27) 式, 画出如图 5.3-11b 所示的信号流图。根据此信号流图求得四阶高通开关电容滤波器, 其电路形式如图 5.3-11c 所示。为简单起见, 取 $R_L = R = 1$ 欧姆, 该电路的电容比值由下式求得

$$\begin{cases} \frac{C_{C1}}{C_u} = \frac{C_1 f_{CK}}{\omega_C}; \\ \frac{C_{L2}}{C_u} = \frac{L_2 f_{CK}}{\omega_C}; \\ \frac{C_{C3}}{C_u} = \frac{C_3 f_{CK}}{\omega_C}; \\ \frac{C_{L4}}{C_u} = \frac{L_4 f_{CK}}{\omega_C}; \\ C_{RL} = C_{L4}. \end{cases} \quad (5.3-28)$$

式中 ω_c 为高通滤波器的截止频率。

【例 14】 设计一个四阶巴特沃思高通开关电容滤波器, 其时钟频率 f_{ck} 与截止频率 f_c 之比为 100。

解 i. 计算归一化四阶巴特沃思低通滤波器参数;

由表 5.3-2 得

$$R_L = 1 \text{ 欧姆}, L_1 = 1.5307, C_2 = 1.5772, L_3 = 1.0824, C_4 = 0.3827.$$

ii. 计算归一化四阶巴特沃思高通滤波器参数;

根据低通滤波器与高通滤波器之间的转换关系, 求得高通滤波器中的电感和电容值为

$$C_1 = \frac{1}{1.5307} = 0.653, \quad L_2 = \frac{1}{1.5772} = 0.634,$$

$$C_3 = \frac{1}{1.0824} = 0.924, \quad L_4 = \frac{1}{0.3827} = 2.613.$$

iii. 计算 5.3-11(c) 电路的电容比值;

由 (5.3-28) 式得

$$\frac{C_{C_1}}{C_u} = \frac{C_1 f_{ck}}{\omega_c} = 10.39, \quad \frac{C_{L_2}}{C_u} = \frac{L_2 f_{ck}}{\omega_c} = 10.09,$$

$$\frac{C_{C_3}}{C_u} = \frac{C_3 f_{ck}}{\omega_c} = 14.71, \quad \frac{C_{L_4}}{C_u} = \frac{L_4 f_{ck}}{\omega_c} = 41.59,$$

$$C_{RL} = C_{L_4}.$$

(三) 双二阶开关电容滤波器

前面我们讨论了用无源 RLC 网络来设计开关电容滤波器。这种设计方法主要用于低通和带通的设计。若要设计高通或带阻就比较困难, 即使设计出来, 往往电路结构复杂, 电容面积较大, 因而很少采用。下面我们介绍一种双二阶开关电容滤波器结构。采用双二阶开关电容滤波器电路能方便地设计出低通、高通、带通和带阻等各类滤波器, 并将此电路进行串联, 实现高阶滤波器。但用这种方法实现的高阶或高 Q 值开关电容滤波器, 其灵敏度高, 故实用性降低。

1. 双二阶传递函数

由本章第二节可知, 任何一个 S 域的高阶传递函数, 都可以分解为一阶和二阶相乘的形式。在二阶传递函数中, 代表性的是双二阶传递函数, 其表示式为

$$H(S) = \frac{V_o(S)}{V_i(S)} = -\frac{b_2 S^2 + b_1 S + b_0}{S^2 + a_1 S + a_0}. \quad (5.3-29)$$

利用上式, 可实现二阶低通 ($b_2 = b_1 = 0$)、高通 ($b_1 = b_0 = 0$)、带通 ($b_2 = b_0 = 0$) 和带阻 ($b_1 = 0$) 等各类滤波器。由双二阶传递函数实现的开关电容滤波器称为双二阶开关电容滤波器。为讨论方便起见, (5.3-29) 式也可写成

$$H(S) = \frac{V_o(S)}{V_i(S)} = -\frac{b_2 S^2 + b_1 S + b_0}{S^2 + \frac{\omega_p}{Q} S + \omega_p^2}, \quad (5.3-30)$$

式中 ω_p 是极点频率, Q 是与极点相对应的极点 Q 值。由 (5.3-29) 和 (5.3-30) 式, 可以得到如下关系式:

$$\begin{cases} \omega_p = \sqrt{a_0}; \\ Q = \frac{\sqrt{a_0}}{a_1}; \\ a_0 = \omega_p^2; \\ a_1 = \frac{\omega_p}{Q}. \end{cases} \quad (5.3-31)$$

2. 双二阶开关电容滤波器的电路结构

为了得到实现双二阶传递函数 $H(S)$ 的方框图, 将 (5.3-30) 式改写为

$$S^2 V_o = -(b_2 S^2 + b_1 S + b_0) V_i - \left(\frac{\omega_p}{Q} S + \omega_p^2 \right) V_o, \quad (5.3-32)$$

将上式两边除以 S^2 , 整理得到

$$V_o = -\frac{1}{S} [b_2 S V_i - \omega_p V_1], \quad (5.3-33)$$

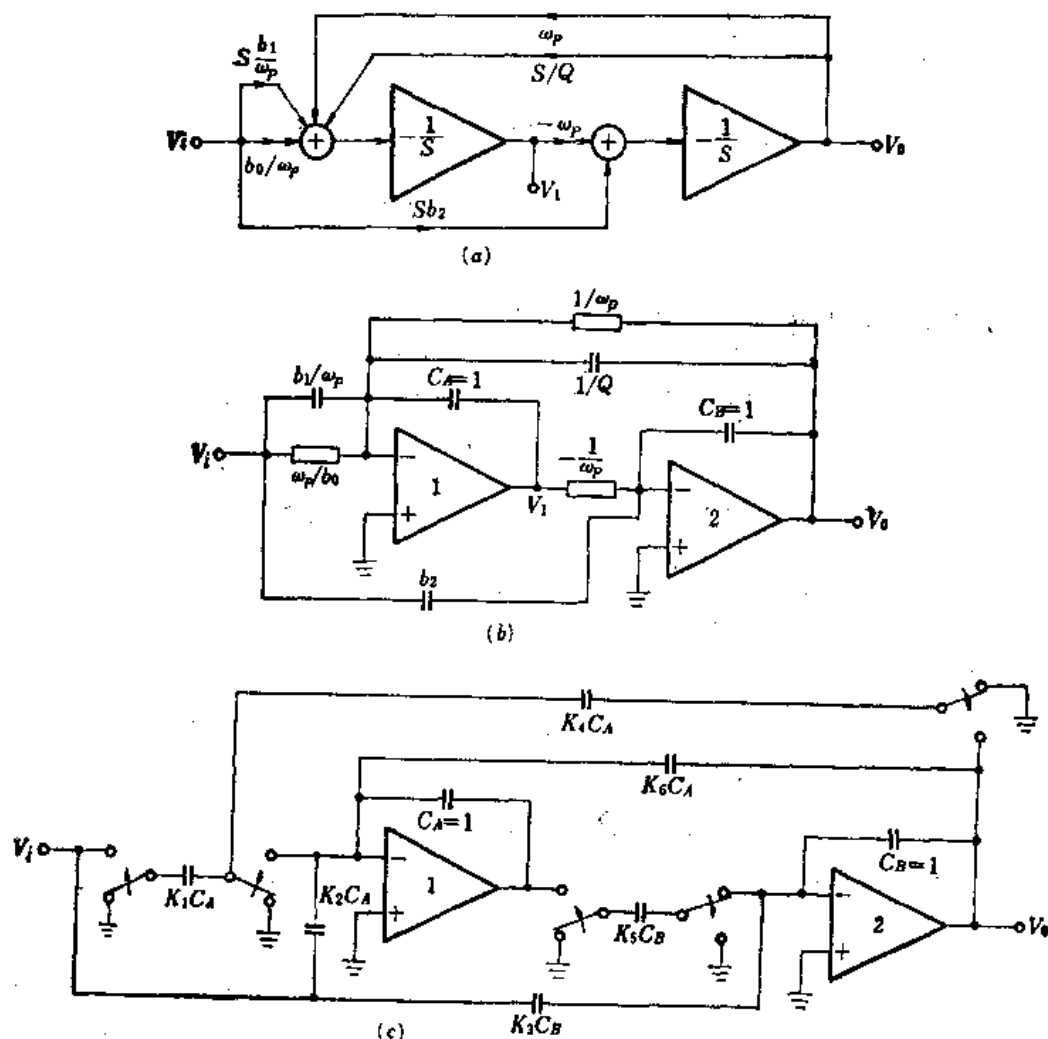


图 5.3-12 双二阶电路

(a) 信号流图; (b) 双二阶有源滤波器; (c) 双二阶开关电容滤波器

式中的 V_1 表示为

$$V_1 = -\frac{1}{S} \left[\left(\frac{b_0}{\omega_p} + \frac{b_1}{\omega_p} S \right) V_i + \left(\omega_p + \frac{S}{Q} \right) V_o \right]. \quad (5.3-34)$$

由 (5.3-33) 和 (5.3-34) 式, 可画出如图 5.3-12a 所示的信号流图, 它包含两个反相积分器以产生 $-1/S$ 运算。若反相积分器由具有反馈电容 $C=1$ 的运放来实现, 那么传输支路 ω_p 、 b_0/ω_p 和 $-1/\omega_p$ 成为反相积分器的积分电阻, 其值分别为 $1/\omega_p$ 、 ω_p/b_0 和 $-1/\omega_p$; 而传输支路 S/Q 、 Sb_1/ω_p 和 b_2S 分别成为反相积分器, 输入端电容 $1/Q$ 、 b_1/ω_p 和 b_2 , 构成加法电路。因而图 5.3-12a 所示的信号流图可由双二阶有源 RC 电路来实现, 其电路形式如图 5.3-12b 所示。若图中的正电阻用图 5.3-2b 开关电容电路来替代, 而负电阻用图 5.3-2c 开关电容电路来替代, 那么, 可以得到双二阶开关电容滤波器, 其电路如图 5.3-12c 所示。根据 (5.3-3) 式, 开关电容的电容值为 $C=T/R_{eq}$ (R_{eq} 为等值的模拟电阻), 那么图中各电容值为

$$\begin{cases} K_1 = \frac{b_0 T}{\omega_p}; \\ K_2 = \frac{b_1}{\omega_p}; \\ K_3 = b_2; \\ K_4 = K_5 = \omega_p T; \\ K_6 = \frac{1}{Q}; \end{cases} \quad (5.3-35)$$

极点角频率 ω_p 近似等于滤波器截止角频率 ω_c , 而要使 (5.3-35) 式成立, 应满足 $\omega_c T = 2\pi f_c / f_{CK} \ll 1$ 。我们根据 (5.3-35) 和 (5.3-30) 式, 可设计出双二阶低通、高通、带通和带阻等开关电容滤波器。但这种设计法精度不高。若要精确地进行设计, 可采用如下设计公式:

$$\begin{cases} T=2, \text{ 即 } f_{CK}=0.5; \\ K_1 = \frac{2b_0}{\sqrt{a_0(1+a_0+a_1)}}; \\ K_2 = \frac{b_1}{\sqrt{a_0(1+a_0+a_1)}}; \\ K_3 = \frac{b_0+b_1+b_2}{1+a_0+a_1}; \\ K_4 = K_5 = 2\sqrt{\frac{a_0}{1+a_0+a_1}}; \\ K_6 = \frac{a_1}{\sqrt{a_0(1+a_0+a_1)}}. \end{cases} \quad (5.3-36)$$

式中 a_0 、 a_1 、 b_0 、 b_1 和 b_2 是 (5.3-29) 式的系数。开关时钟信号周期 $T=2$, 仅仅是为了计算上的方便, 它只是一个相对值。

【例 15】 设计一个二阶带通开关电容滤波器, 主要参数: (1) 通带中心频率为 f_0 , 相应的增益 $A_0=10$; (2) $Q=70$; (3) 开关时钟信号频率 f_{CK} 与通带中心频率 f_0 之比为 20。

解 i. 采用图 5.3-12c 的电路形式。

ii. 计算双二阶函数的系数:

带通传递函数为

$$H(S) = - \frac{A_0 \frac{\omega_0}{Q} S}{S^2 + \frac{\omega_0}{Q} S + \omega_0^2} = - \frac{b_1 S}{S^2 + a_1 S + a_0}.$$

由(5.3-36)式可知, $f_{CK}=0.5$, 用 $f_{CK}/f_0=20$, 所以带通中心频率 $f_0=0.025$, $\omega_0=0.157$.

而

$$a_0 = \omega_0^2 = 0.0247;$$

$$a_1 = \frac{\omega_0}{Q} = 0.00224;$$

$$b_1 = A_0 \frac{\omega_0}{Q} = 0.0224;$$

$$b_2 = b_0 = 0.$$

请查阅器提提您:
使用本复制品
请尊重相关知识产权!

iii. 计算图中的电容值:

由(5.3-36)式可得

$$K_1 = 0; \quad K_2 = \frac{b_1}{\sqrt{a_0(1+a_0+a_1)}} = 0.141;$$

$$K_3 = \frac{b_1}{1+a_0+a_1} = 0.0218; \quad K_4 = 2 \sqrt{\frac{a_0}{1+a_0+a_1}} = 0.310;$$

$$K_5 = K_4; \quad K_6 = \frac{a_1}{\sqrt{a_0(1+a_0+a_1)}} = 0.0144.$$

iv. 取电容值:

为获得较小的电容面积, 将 K_2C_A , K_4C_A , K_6C_A 和 C_A 为一组, K_3C_B , K_5C_B 和 C_B 为另一组, 取组中电容值最小的为 1 单位电容. 在 K_2C_A , K_4C_A , K_6C_A 和 C_A 中, K_6C_A 电容最小, 因而这组中的电容值为

$$K_6C_A = 1 \text{ 单位电容};$$

$$K_2C_A = \frac{K_2}{K_6} = 10 \text{ 单位电容};$$

$$K_4C_A = \frac{K_4}{K_6} = 21.992 \text{ 单位电容};$$

$$C_A = \frac{1}{K_6} = 70.922 \text{ 单位电容}.$$

另一组电容, K_3C_B 电容最小, 因而取

$$K_3C_B = 1 \text{ 单位电容};$$

$$K_5C_B = \frac{K_5}{K_3} = 14.160 \text{ 单位电容};$$

$$C_B = \frac{1}{K_3} = 45.662 \text{ 单位电容}.$$

本例中, 若取通带中心频率 $f_0=1$ 千赫, 那么此时所需的时钟频率 $f_{CK}=20$ 千赫.

【例 16】 使用图 5.3-12c 所示的双二阶开关电容滤波器, 设计四阶、通带波动为 0.25 分贝的切比雪夫高通开关电容滤波器, 取 $f_{CK}/f_c=200$.

解 i. 计算归一化四阶、通带波动为 0.25 分贝的切比雪夫低通滤波器传递函数, 它的传递函数为

$$H(S) = \frac{1}{\sqrt{10^{-10}}} \frac{\Omega_{01}^2}{S^2 + \left(\frac{\Omega_{01}}{Q_1}\right)S + \Omega_{01}^2} \frac{\Omega_{02}^2}{S^2 + \left(\frac{\Omega_{02}}{Q_2}\right)S + \Omega_{02}^2} \quad (5.3-37)$$

由表 5.1-4 提供的参数, 并经换算后得

$$\Omega_{01} = 0.6744, \quad Q_1 = 0.6572;$$

$$\Omega_{02} = 1.0779, \quad Q_2 = 2.5361;$$

而

$$\frac{1}{\sqrt{10^{-10}}} = 0.9716 = 0.9857 \times 0.9857.$$

请查阅资料提醒您:
使用本复制品
请尊重相关知识产权!

ii. 计算高通传递函数

将低通传递函数经频率变换后, 即在 (5.3-37) 式中以 S 用 ω_c/S 来取代, 可得高通传递函数:

$$H(S) = \frac{1}{\sqrt{10^{-10}}} \frac{S^2}{S^2 + \frac{\omega_c}{\Omega_{01}Q_1}S + \frac{\omega_c^2}{\Omega_{01}^2}} \frac{S^2}{S^2 + \frac{\omega_c}{\Omega_{02}Q_2}S + \frac{\omega_c^2}{\Omega_{02}^2}} \quad (5.3-38)$$

四阶高通滤波器由两个双二阶开关电容滤波器(图 5.3-12c) 进行串联来实现。现分别计算第一级和第二级双二阶高通开关电容滤波器中的各电容值。

iii. 计算第一级双二阶高通开关电容滤波器中的电容值:

(5.3-38) 式中的系数 a_1 、 a_0 和 b_2 为

$$\omega_c = \frac{2\pi f_{CK}}{200} = 0.0157 (f_{CK} = 0.5); \quad a_1 = \frac{\omega_c}{\Omega_{01}Q_1} = 0.0354;$$

$$a_0 = \frac{\omega_c^2}{\Omega_{01}^2} = 0.000542; \quad b_2 = 0.9857.$$

由 (5.3-36) 式得电容值为

$$K_1 = K_2 = 0, \quad K_3 = 0.9515,$$

$$K_4 = K_5 = 0.04575, \quad K_6 = 1.4939.$$

取 $K_4C_A = K_5C_B = 1$ 单位电容,

$$K_6C_A = \frac{K_6}{K_4} = 32.649 \text{ 单位电容},$$

$$C_A = \frac{1}{K_4} = 21.858 \text{ 单位电容},$$

$$K_5C_B = \frac{K_5}{K_5} = 20.798 \text{ 单位电容},$$

$$C_B = \frac{1}{K_5} = 21.858 \text{ 单位电容}.$$

iv. 计算第二级双二阶高通开关电容滤波器中的电容值:

$$a_1 = \frac{\omega_c}{\Omega_{02}Q_2} = 0.00575, \quad a_0 = \frac{\omega_c^2}{\Omega_{02}^2} = 0.000212,$$

$$b_2 = 0.9857, \quad K_1 = K_2 = 0,$$

$$K_3 = 0.9799, \quad K_4 = 0.0290,$$

$$K_5 = K_4, \quad K_6 = 0.3937.$$

取 $K_4 C_A = K_5 C_B = 1$ 单位电容

$$K_4 C_A = \frac{K_4}{K_4} = 13.576 \text{ 单位电容,}$$

$$C_A = \frac{1}{K_4} = 34.483 \text{ 单位电容,}$$

$$K_5 C_B = \frac{K_5}{K_5} = 33.790 \text{ 单位电容,}$$

$$C_B = \frac{1}{K_5} = 34.483 \text{ 单位电容.}$$

请查阅相关资料：
使用本复制品
请尊重相关知识产权！

本例中,若取时钟信号频率 $f_{CK} = 200$ 千赫,那么高通滤波器的截止频率 $f_c = 1$ 千赫。

从以上两个设计实例可以看出,首先求出滤波器在 S 域的传递函数 $H(S)$,然后利用 (5.3-36) 式,计算出图 5.3-12c 双二阶开关电容滤波器中各电容的电容值,这样较容易设计出各种类型的开关电容滤波器。

(四) 开关电容滤波器的最大动态范围和最小的电容面积

开关电容滤波器初步设计之后,要对其电容比进行修正,即所谓对电容比进行尺度变换,以获得最大动态范围和最小的电容面积。开关电容滤波器的动态范围定义为 $20 \log(V_{t_{\max}}/V_{t_{\min}})$,此处 $V_{t_{\max}}$ 是开关电容滤波器的输出端在没有明显失真条件下,其最大输入信号幅度,它主要受运放饱和工作状态的限制; $V_{t_{\min}}$ 是能够从输出噪声中识别出开关电容滤波器输出电压的最小输入信号幅度,它主要受运放和开关噪声以及开关馈通信号大小的限制。一般情况下,开关电容滤波器的最大动态范围约 80~90 分贝。动态范围越大,开关电容滤波器处理小信号的能力越强。下面来讨论开关电容滤波器怎样获得最大动态范围和最小的电容面积。

要获得最大动态范围,主要调整各运放的输出电平。如果在输入信号作用下,开关电容滤波器中各运放的最大输出电平保持一致,这时候其动态范围最大。运放输出电压的调整过程通常称为尺度变换处理。在尺度变换过程中,开关电容滤波器的传递特性应保持不变。现以图 5.3-13 开关电容电路(为简单起见,省去了开关)为例进行说明。该图的传递函数为

$$\frac{V_3}{V_{in}} = -D_1(-F_1)(-G_1) = -D_1 F_1 G_1. \quad (5.3-39)$$

假定输出电压 V_1 很小,我们对 V_1 进行调整,但 V_1 调整应不影响其他运放的输出电压值。若 $V_1 \rightarrow xV_1$, 则对运放 1 输出端的电容 C_1 和 $F_1 C_2$ 必须进行尺度变换,即 $(C_1, F_1 C_2) \rightarrow (\frac{1}{x} C_1, \frac{1}{x} F_1 C_2)$, 这时总的电压增益仍满足 (5.3-39) 式,即

$$\frac{V_3}{V_{in}} = -D_1 x \left(-\frac{F_1}{x}\right)(-G_1) = -D_1 F_1 G_1.$$

若还需对 V_2 电压进行调整,假定调整量为 y ,即 $V_2 \rightarrow yV_2$,那么,对运放 2 输出端的电容进行尺度变换,即有 $(C_2, G_1 C_3) \rightarrow (\frac{1}{y} C_2, \frac{1}{y} G_1 C_3)$,经这样变换后,对运放 1 和运放 2 的输出电压均没有影响。

经上述调整后,各运放的最大输出电压保持一致,即有 $xV_1 = yV_2 = V_s$,这样,该电路的动态范围为最大。

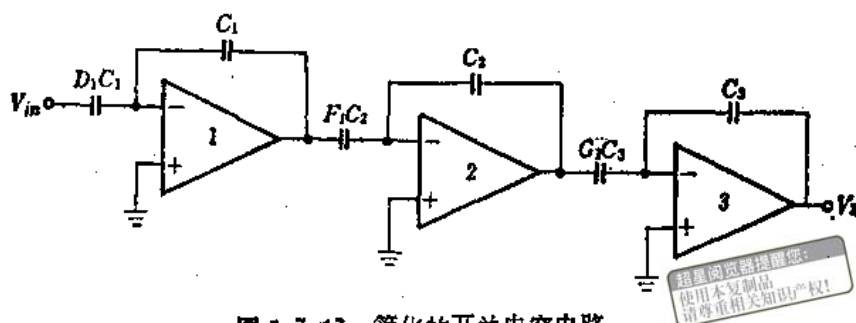


图 5.3-13 简化的开关电容电路

综上所述,动态范围调整的尺度变换步骤如下:

1. 对于所有内部运放的输出电压,计算其最大值 V_{Pi} , 通常各 V_{Pi} 值由开关电容网络分析程序进行模拟计算。

2. 将连接(或经开关连接)到第 i 级运放输出端的所有电容倍乘 $K_i = V_{Pi}/V_{i\max}$, 此处 $V_{i\max}$ 是第 i 级运放的最大输出电压。电容经这样变换后, 第 i 级运放的输出电压由 V_{Pi} 变到 $V_{i\max}$ 。

3. 对所有内部运放重复步骤 2。

为获得最大动态范围,各运放的最大输出电压应相同。

完成动态范围最佳化的尺度变换后,再进行电容最小化的尺度变换。其方法是,将开关电容滤波器中的电容分成若干组,它以运放积分电容和输入端电容为一组。在一组电容中,取最小电容为 1 单位电容,其他电容则除以最小电容进行尺度变换,现仍以图 5.3-13 为例进行说明,由图将电容分成三组,即

$$\{D_1C_1, C_1\}, \{F_1C_2, C_2\}, \{G_1C_3, C_3\}.$$

每一组中找出最小电容,然后进行尺度变换。设

$$\begin{aligned} D_1C_1 &= 0.2 \text{ 皮法}, & C_1 &= 1 \text{ 皮法}; \\ F_1C_2 &= 1.2 \text{ 皮法}, & C_2 &= 0.6 \text{ 皮法}; \\ G_1C_3 &= 0.25 \text{ 皮法}, & C_3 &= 0.8 \text{ 皮法}. \end{aligned}$$

经尺度变换后,

$$\begin{aligned} D_1C_1 &= 1 \text{ 单位电容}, & C_1 &= 5 \text{ 单位电容}; \\ F_1C_2 &= 2 \text{ 单位电容}, & C_2 &= 1 \text{ 单位电容}; \\ G_1C_3 &= 1 \text{ 单位电容}, & C_3 &= 3.2 \text{ 单位电容}. \end{aligned}$$

显然,电容最小化的尺度变换不影响运放输出电压值,因此,电容最小化的尺度变换不会破坏动态范围最佳化的尺度变换。若将这两种尺度变换的顺序颠倒过来,则动态范围最佳化的尺度变换将破坏最小电容特性。因此,先进行动态范围最佳化尺度变换,然后再进行电容最小化的尺度变换。

开关电容滤波器经上述尺度变换后,各电容值就确定下来,电路设计即告完成,然后进行版图设计。

(五) 开关电容滤波器的使用

在使用开关电容滤波器时,其输入端和输出端应分别接上一个模拟低通滤波器,这是因为

开关电容滤波器是一个模拟取样数据系统,其框图如图 5.3-14 所示。由理论分析可知,模拟取样系统输入信号的最高频率必须小于 $1/2$ 的取样频率 f_{CK} ,否则会产生混迭失真。因此,在开关电容滤波器之前,需附加一个抗混迭低通滤波器,以滤去高于 $f_{CK}/2$ 的频率成分。又因开关电容滤波器输出端是取样保持信号,为将此信号转换成连续信号,在输出端也要接上一个低通滤波器,以滤除输出信号中的开关信号成分,这种低通滤波器通常称为平滑滤波器。图 5.3-15 表示使用开关电容滤波器时的框图。抗混迭滤波器和平滑滤波器一般采用 RC 有源低通滤波器,其电路形式通常选用本章第二节图 5.2-1 所示的低通有源滤波器电路,该电路结构简单,并便于同开关电容滤波器一起集成在同一 MOS 芯片上。

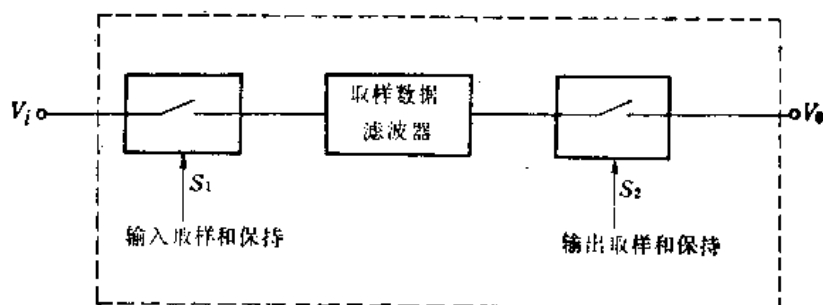


图 5.3-14 模拟取样数据系统

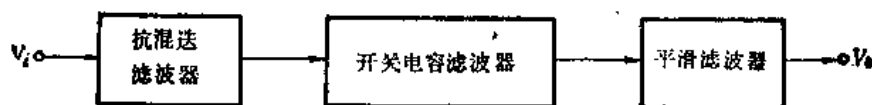


图 5.3-15 使用开关电容滤波器时的框图

(六) 无源 RLC 归一化低通滤波器参数表

图 5.3-16 是 $R_s=R_L=1$ 欧姆的无源 RLC 低通滤波器,它在归一化时的元件值列于表 5.3-1。

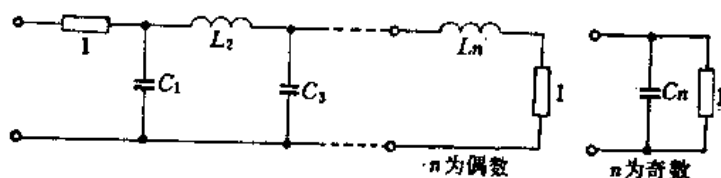


图 5.3-16 无源 RLC 低通滤波器

图 5.3-17 是 $R_s=0, R_L=1$ 欧姆的无源 RLC 低通滤波器,它在归一化时的元件值列于表 5.3-2。

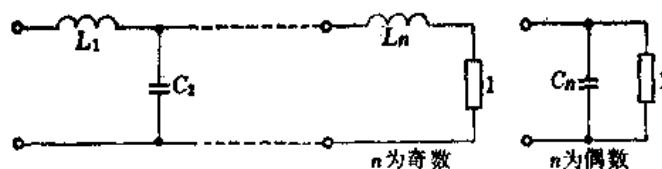


图 5.3-17 无源 RLC 低通滤波器

图 5.3-18 是 $R_s = R_L = 1$ 欧姆的椭圆函数低通滤波器，它在归一化时的元件值列于表 5.3-3。

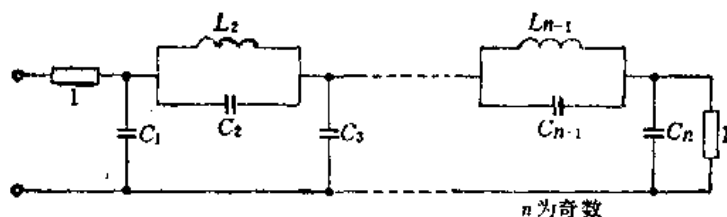


图 5.3-18 椭圆函数低通滤波器

表 5.3-1 对应于图 5.3-16 电路中的各元件值

近似方式	n	C_1	L_2	C_3	L_4	C_5
巴特沃思	2	1.4142	1.4142			
	3	1.0000	2.0000	1.0000		
	4	0.7654	1.8478	1.8478	0.7654	
	5	0.6180	1.6180	2.0000	1.6180	0.6180
切比雪夫 $R_p = 0.1$ 分贝	3	1.4328	1.5937	1.4328		
	5	1.3013	1.5559	2.2411	1.5559	1.3013
切夫雪夫 $R_p = 0.25$ 分贝	3	1.6325	1.4360	1.6325		
	5	1.5046	1.4436	2.4050	1.4436	1.5046

表 5.3-2 对应于图 5.3-17 电路中的各元件值

近似方式	n	L_1	C_2	L_3	C_4	L_5
巴特沃思	2	1.4142	0.7071			
	3	1.5000	1.3333	0.5000		
	4	1.5307	1.5772	1.0824	0.3827	
	5	1.5451	1.6944	1.3820	0.8944	0.3090
切比雪夫 $R_p = 0.5$ 分贝	2	0.9403	0.7014			
	3	1.3465	1.3001	0.7981		
	4	1.3138	1.7279	1.3916	0.8352	
	5	1.5388	1.6426	1.8142	1.4291	0.9529

表 5.3-3 对应于图 5.3-18 电路中的各元件值

R_p	n	Ω_i	$A_{\min}$	C_1	L_2	C_2	C_3	L_4	C_4	C_5
0.1分贝	3	1.50	14.848	0.77031	0.74561	0.47797	0.77031			
		2.00	24.010	0.89544	0.93759	0.20697	0.89544			
	5	1.20	28.303	0.91441	1.06516	0.31628	1.38201	0.60131	1.09329	0.52974
		1.50	43.415	1.02789	1.21517	0.15134	1.63179	0.93525	0.44083	0.81549
1.0分贝	3	1.50	25.176	1.69200	0.73340	0.48592	1.69200			
		2.00	34.454	1.85199	0.85903	0.22590	1.85199			
	5	1.10	30.471	1.69691	0.77511	0.58827	1.79892	0.39922	1.98907	1.12109
		1.20	38.757	1.82812	0.87005	0.38720	2.09095	0.56347	1.16672	1.38094

请查阅资料提醒您：
使用本复制品
时尊重知识产权！

第六章 MOS 运放在非线性电路中的应用

MOS 运放除了用于线性放大、电压比较器和各种模拟滤波器外，还广泛应用于非线性电路中。本章主要讨论集成非线性电路的工作原理。非线性电路主要有：多谐振荡器、正弦振荡器、时基电路、调制器和检波器等。这一章主要介绍 MOS 运放在模拟集成电路(线性和非线性)中所处的地位及其应用领域。

近年来，集成技术发展迅速，已经从单片集成发展到系统集成。可以预言，本章所介绍的基本电路将成为系统集成中的基本常用单元。

第一节 MOS 集成多谐振荡器

(一) MOS 集成多谐振荡器的工作原理

由 MOS 运放构成的多谐振荡器种类很多，这里我们仅讨论电路结构比较简单、并且易于集成的 MOS 多谐振荡器，其电路形式如图 6.1-1a 所示，它由两个电流源和一个运放构成，能产生三角波和方波。该电路的工作原理简述如下：

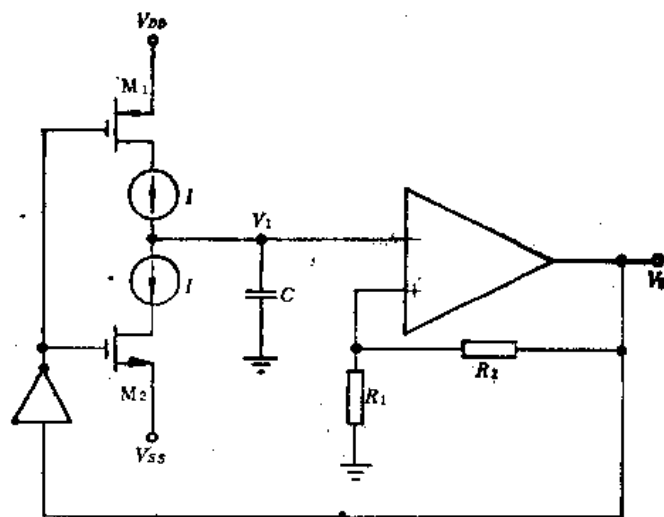
运放(作比较器用)和反馈电阻 R_1 、 R_2 构成施密特触发器。设运放输出电压 V_o 的正向限幅电平为 V_{DD} 、负向限幅电平为 V_{SS} 。当运放输入电压 V_1 处于较大负电压时，运放输出电压 V_o 为 V_{DD} ，此电压通过反馈电阻 R_1 和 R_2 ，在运放同相输入端得到的电压为 $V_{DD}R_1/(R_1+R_2)$ 。这时， V_1 电压从负电压加大到 $V_{DD}R_1/(R_1+R_2)$ 之前，输出电压 V_o 一直处于 V_{DD} 电平，只有当 V_1 电压略大于 $V_{DD}R_1/(R_1+R_2)$ 时，运放输出电压 V_o 才从 V_{DD} 变至 V_{SS} ，运放同相输入端电压从 $V_{DD}R_1/(R_1+R_2)$ 跳变到 $V_{SS}R_1/(R_1+R_2)$ 。此时，若 V_1 电压大于 $V_{SS}R_1/(R_1+R_2)$ 电压值，则输出电压 V_o 等于 V_{SS} ；若 V_1 电压低于 $V_{SS}R_1/(R_1+R_2)$ 电压时，运放状态再一次翻转，输出电压 V_o 从 V_{SS} 变至 V_{DD} 。图 6.1-2 表示它的输入-输出转换特性，利用这种特性可以方便地获得三角波和方波。

当 $V_o = V_{DD}$ 时， M_1 导通， M_2 截止，电流源 I 向电容 C 充电， V_1 电压从 $(I/C)t$ 值逐渐升高，若 V_1 到达 $V_{DD}R_1/(R_1+R_2)$ 时，则运放输出电压 V_o 从 V_{DD} 变至 V_{SS} ，使 M_1 截止， M_2 导通，电容 C 放电，放电电流为 I ， V_1 电压以 $(-I/C)t$ 值逐渐降低，当 V_1 电压下降到 $V_{SS}R_1/(R_1+R_2)$ 时，运放输出电压 V_o 升到 V_{DD} 。这样周而复始，运放输出电压 V_o 为方波，运放输入电压 V_1 为三角波，其 V_o 和 V_1 波形如图 6.1-1b 所示。根据图中 V_1 电压幅值及变化斜率 I/C ，可得如下关系式：

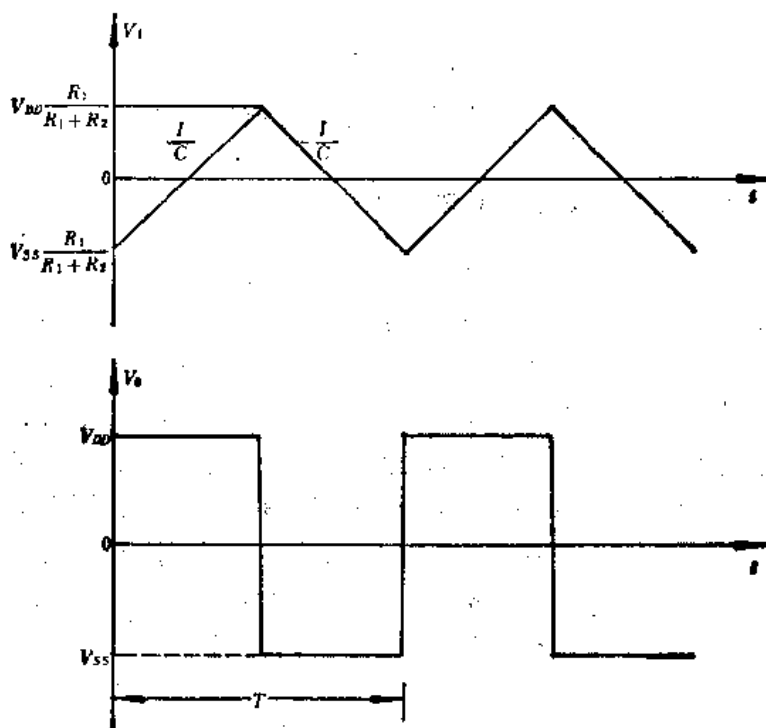
$$(V_{DD} - V_{SS}) \frac{R_1}{R_1 + R_2} = \frac{I}{C} \cdot \frac{T}{2} \quad (6.1-1)$$

由上式求得振荡周期 T 和振荡频率 f ，其表示式为

郑重声明提醒：
使用本复制品
请尊重相关知识产权！



(a)



(b)

图 6.1-1 MOS 集成多谐振荡器

(a) 原理图; (b) 波形

$$T = 2(V_{DD} - V_{SS}) \frac{R_1}{R_1 + R_2} \frac{C}{I} \quad (6.1-2)$$

$$f = \frac{1}{T} = \frac{\left(1 + \frac{R_2}{R_1}\right)}{2C} \frac{I}{(V_{DD} - V_{SS})} \quad (6.1-3)$$

对于 $V_{DD} = -V_{SS}$, 振荡频率表示式为

$$f = \frac{\left(1 + \frac{R_2}{R_1}\right)}{4C} \frac{I}{V_{DD}}$$

超星阅读器提醒您：
使用本复制品
请尊重相关知识产权

为使图 6.1-1 电路变成压控振荡器 (VCO), 可用压控电流源代替图中电流源 I 。实际电路中, 经常利用电压-电流变换器 (图 6.1-3) 实现压控电流源。图 6.1-3 电路中的运放和场效应管构成负反馈回路, 从而保证电阻 R 两端电压等于输入电压 V_{in} , 流经 MOS 管的电流等于 V_{in}/R , 与 V_{in} 成正比。

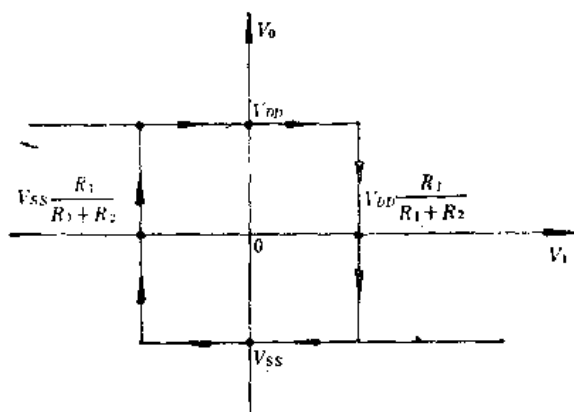


图 6.1-2 施密特触发器的输入-输出特性

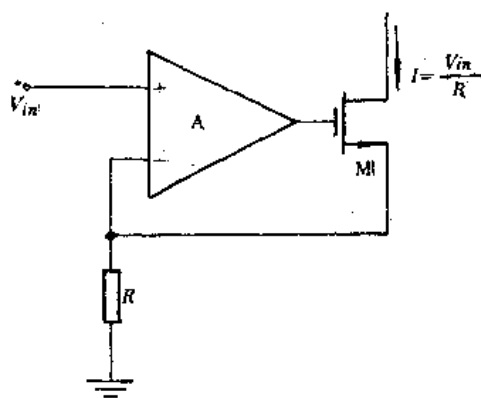


图 6.1-3 电压-电流变换器

(二) MOS 集成多谐振荡器的实际电路

图 6.1-1 的实际电路图如图 6.1-4 所示。运放 A_1 与 M_3 构成负反馈回路, 它将输入电压 V_{in} 转变为电流 I , 并等于 V_{in}/R 。因此, 该电路为压控(电压控制)振荡器。由图可知, M_4 、 M_5 、 M_6 和 M_7 的电流等于 M_3 的电流 I 。当 M_6 导通、 M_8 截止时, M_1 与 M_5 构成电流源电路, 因而 M_1 电流为 I ; 当 M_{10} 导通、 M_{11} 截止时, M_2 与 M_7 构成电流源, M_2 的电流也等于 I 。显然, M_1 电流由 M_6 、 M_8 控制, M_2 电流由 M_{10} 、 M_{11} 控制, 而 $M_6 \sim M_{11}$ 的工作情况, 取决于运放 A_2 输出电压 V_o 电平的高低。当 V_o 电压为高电平 V_{DD} 时, M_6 导通, M_8 截止, M_1 电流等于 M_5 电流 I , 与此同时, M_{10} 截止, M_{11} 导通, M_2 的栅极电压等于 V_{SS} , 使 M_2 截止。因此, $V_o = V_{DD}$ 时, 电流 I 经 M_1 管向电容 C 充电, 电压 V_1 上升, 当上升到 $V_{DD}R_1/(R_1 + R_2)$ 时, A_2 输出电压 V_o 从 V_{DD} 变至 V_{SS} , 这时, M_7 栅极电位等于 V_{DD} 电压, 使 M_1 截止。与此同时, M_{10} 导通, M_{11} 截止, 使 M_2 导通, 其电流等于 M_7 电流 I , 电容 C 通过 M_2 放电, V_1 电压下降, 当降至 $V_{SS}R_1/(R_1 + R_2)$ 时, V_o 电压又变至 V_{DD} 。该电路的振荡频率表示式与 (6.1-3) 式相同, 即

$$\begin{aligned} f &= \frac{\left(1 + \frac{R_2}{R_1}\right)}{2C} \frac{I}{(V_{DD} - V_{SS})} \\ &= \frac{\left(1 + \frac{R_2}{R_1}\right)}{2CR} \frac{V_{in}}{(V_{DD} - V_{SS})} \end{aligned} \quad (6.1-5)$$

对于 $V_{DD} = -V_{SS}$, 上式写为

$$f = \frac{\left(1 + \frac{R_2}{R_1}\right)}{4CR} \frac{V_{in}}{V_{DD}} \quad (6.1-6)$$

由上式可知，振荡频率 f 与输入电压 V_{in} 呈线性关系，因此图 6.1-4 电路为压控振荡器。利用该电路可实现电压-频率转换。

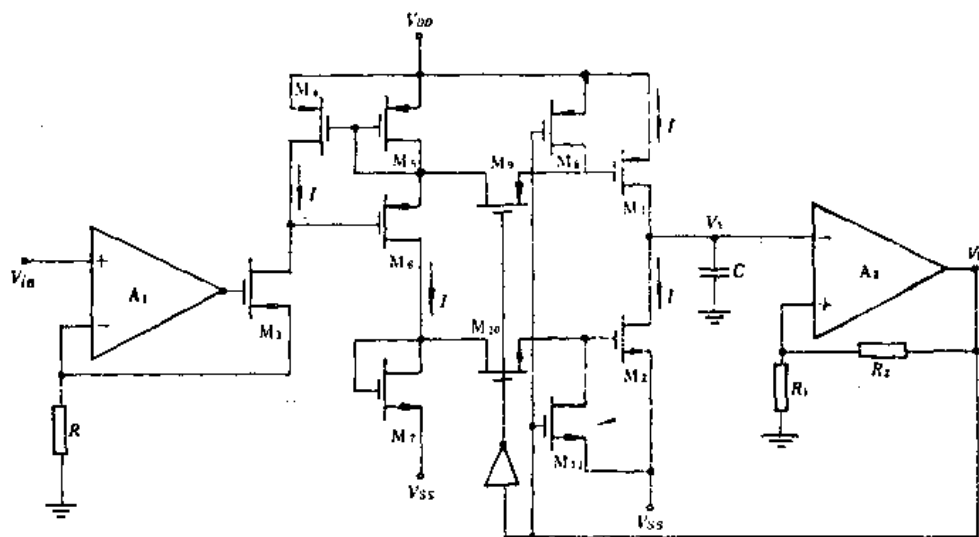


图 6.1-4 MOS 电压控制振荡器

(三) 开关电容多谐振荡器

利用开关电容电路也可设计开关电容多谐振荡器，其电路如图 6.1-5a 所示。运放 A_1 、 A_2 与电容 $\alpha_1 C$ 构成正反馈回路， A_1 为积分器， A_2 为比较器。若比较器输出电压 V_o 限幅于负电源 V_{SS} 时，开关电容 $\alpha_2 C$ 在每一时钟周期中，向积分电容 C 馈送正电荷 $\Delta q_1 = \alpha_2 C |V_{SS}|$ ，这样，运放 A_1 输出电压 V_1 相应减小阶梯电压 $\alpha_2 |V_{SS}|$ （见图 6.1-5b）。如果下降到 $V_1 < 0$ 时，则 A_2 比较器输出电压 V_o 跳到正电源 V_{DD} ，这时，耦合电容 $\alpha_1 C$ 向积分电容 C 馈送正电荷 $\Delta q_1 =$

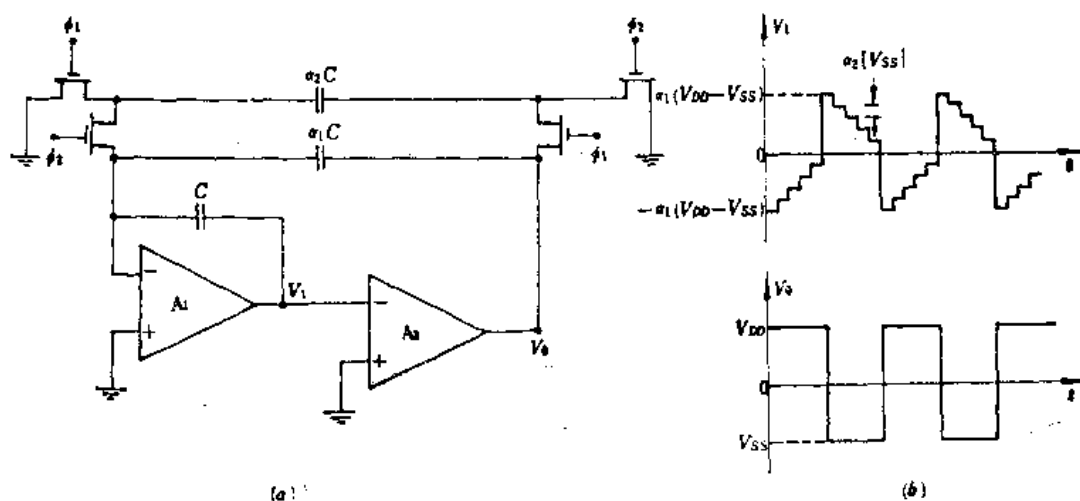


图 6.1-5 开关电容多谐振荡器及其波形

$\alpha_1 C(V_{DD}-V_{SS})$, 使 V_1 下跳 $\alpha_1(V_{DD}-V_{SS})$ 。此后每一时钟周期内 $\alpha_2 C$ 向积分电容 C 馈送负电荷 $-\alpha_2 V_{DD}$, 使 V_1 产生正阶梯 $\alpha_2 V_{DD}$ 。若上升到 $V_1 > 0$, 则 V_0 跳到负电源 V_{SS} 。上述过程继续重复。

若 $\alpha_2 \ll \alpha_1$, $V_{SS} = -V_{DD}$, 此电路的振荡频率为

$$f_0 \approx \frac{\alpha_2}{4\alpha_1} f_{CK}, \quad (6.1-7)$$

式中 f_{CK} 是时钟频率。

由 (6.1-7) 式可知, 图 6.1-5a 电路可作为分频电路。

第二节 MOS 集成正弦振荡器

由运放、电阻和电容构成的 RC 正弦振荡器有多种形式, 但归纳起来, 主要有相移振荡器、双 T 选频网络振荡器和文氏 (Wien) 振荡器等。其中文氏振荡器能产生频率可变范围宽、失真小的正弦信号, 因此在 RC 振荡器中通常采用文氏振荡器。这种文氏振荡器由于电阻值和电容值均较大, 因而要制成单片集成电路十分困难。若将文氏振荡器中的电阻 R 用开关电容 (图 5.3-1) 来代替, 就成为 MOS 集成开关电容振荡器。这一节除了介绍开关电容文氏振荡器外, 还将介绍开关电容正弦振荡器, 它是利用双二阶开关电容滤波器 (参看第五章第三节) 来实现的, 其优点是幅度、频率稳定, 而且失真很小。现分别介绍如下。

(一) 开关电容文氏振荡器

RC 文氏振荡器如图 6.2-1a 所示。很容易证明, 它的振荡频率和振荡条件分别为

$$f_0 = \frac{1}{2\pi RC}, \quad (6.2-1)$$

$$A_f = 1 + \frac{R_A}{R_B} \geq 3. \quad (6.2-2)$$

式中 A_f 为运放的闭环增益。

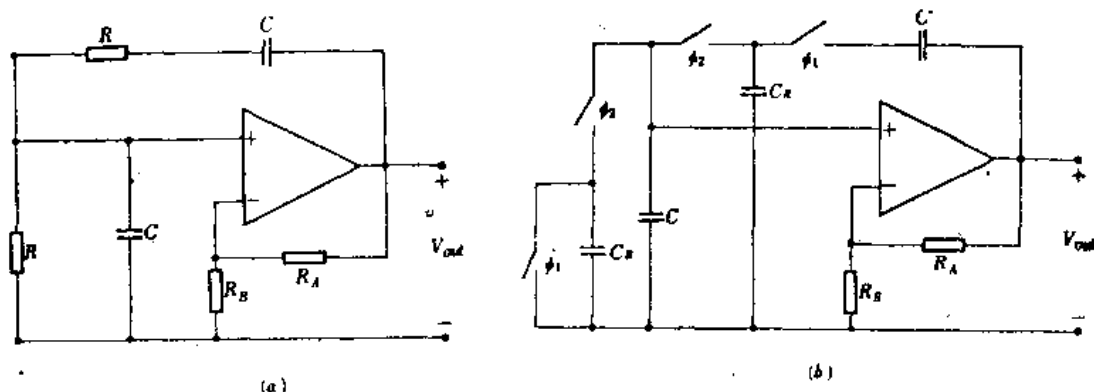


图 6.2-1 文氏振荡器

(a) RC 文氏振荡器; (b) 开关电容振荡器

若图中的电阻 R 分别由图 5.3-1 并联型开关电容电路和串联型开关电容电路来代替, 即得到开关电容文氏振荡器, 其电路形式如图 6.2-1b 所示。图中 ϕ_1 、 ϕ_2 表示双相时钟信号 (见图

5.3-1c), 以控制开关导通与断开。图(a)中电阻 R 与图(b)中电容 C_R 有如下关系式:

$$R = \frac{T}{C_R} = \frac{1}{C_R f_{CK}}$$

将(6.2-3)式代入(6.2-1)式, 得到开关电容文氏振荡器的振荡频率为

$$f_0 = \frac{C_R}{2\pi CT} = \frac{C_R}{2\pi C} f_{CK} \quad (6.2-4)$$

上式表明, 开关电容文氏振荡器的振荡频率 f_0 决定于时钟信号频率 f_{CK} 和电容 C_R/C 之比。 C_R/C 比值确定之后, 其正弦信号频率只决定于时钟信号频率 f_{CK} 。若取 $C_R/C=0.314$, 则

$$f_0 = \frac{1}{20} f_{CK}$$

文氏振荡器的主要缺点是它的输出幅度较难控制。若运放的闭环增益 $A_f > 3$, 输出正弦信号变成方波, 波形严重失真; 若 $A_f < 3$, 则振荡器停振。若要获得失真小、幅度稳定的正弦信号, 需要在负反馈回路中引入非线性元件, 以控制运放的闭环增益 A_f 。幅度控制电路如图 6.2-2 所示。图中耗尽型 MOS 管作为非线性元件, 以控制运放 A_1 的闭环增益 A_f 。虚线框内是绝对值检波电路(其工作原理参看本章第四节), 它将振荡器的输出正弦信号变为负向直流电压。此电压加到 M_1 的栅极, 使 M_1 的导通电阻发生变化, 以调整 A_1 运放的闭环增益 A_f 。振荡器刚开始工作时, M_1 栅极电位为零, R_B 阻值较小, A_1 运放的闭环增益 $A_f > 3$, 使振荡器的输出幅度迅速增大。该信号通过绝对值检波电路, 使 M_1 栅极电位下降, R_B 阻值增大, A_f 减小。当振荡器的输出幅度为某一幅值时, A_f 等于 3, 达到动态平衡。这样, 绝对值检波电路和 M_1 管使振荡器的输出幅度保持定值。

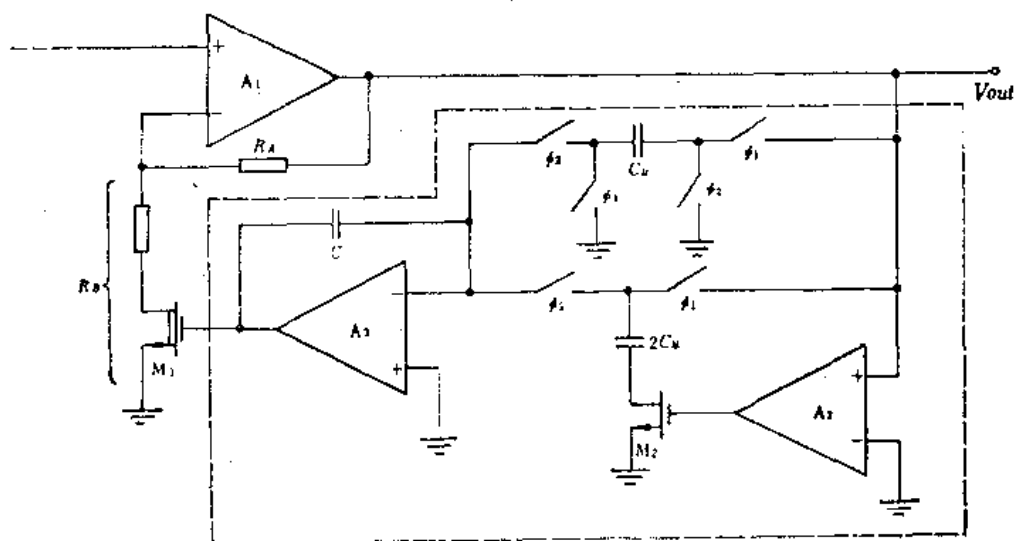


图 6.2-2 幅度控制电路

(二) 双二阶开关电容电路构成的正弦振荡器

1. 开关电容正弦振荡器

由双二阶开关电容电路(图 5.3-12c)构成的正弦振荡器如图 6.2-3 所示。图中运放 A_1 、 A_2 与电容 C_A 、 C_B 、 C_C 、 C_D 、 C_E 和 C_H 等组成稳定的高 Q 双二阶开关电容电路。若节点 N_1

上是一方波信号,则由于双二阶电路的滤波作用,在 A_1 或 A_2 输出端得到正弦信号。运放 A_1 、 A_2 和开关电容 C_H 构成正反馈通路,使电路产生振荡。为说明其振荡原理,将运放 A_1 输出端与节点 N_1 断开。这时若在节点 N_1 端加上一信号源电压,此电压与运放 A_1 输出端 V_1 电压相位相同, V_1 电压再经运放 A_2 (比较器)同相放大,在其输出端为限幅的方波电压,此电压远大于 N_1 节点上的输入信号源电压,故正反馈的环路增益大于 1。因此, N_1 节点与 A_2 输出端相连后,必定产生振荡,且 N_1 节点上的电压是方波电压,其正、负电平为 A_2 输出的限幅电平。设 A_2 输出限幅电平是 $\pm V_{ref}$, 则 N_1 节点上的电压是幅值为 $\pm V_{ref}$ 的方波电压。下面来推导输出电压 V_1 、 V_2 的表示式。为了便于分析,将 A_2 输出端与节点 N_1 断开,并在节点 N_1 上接入幅度为 $\pm V_{ref}$ 的方波电压 V_{in} 。图中的开关电容 C_H 、 C_A 、 C_C 分别用等效电阻 T/C_H 、 T/C_A 和 T/C_C 来表示。这样,由图 6.2-3 可以得到如下关系式:

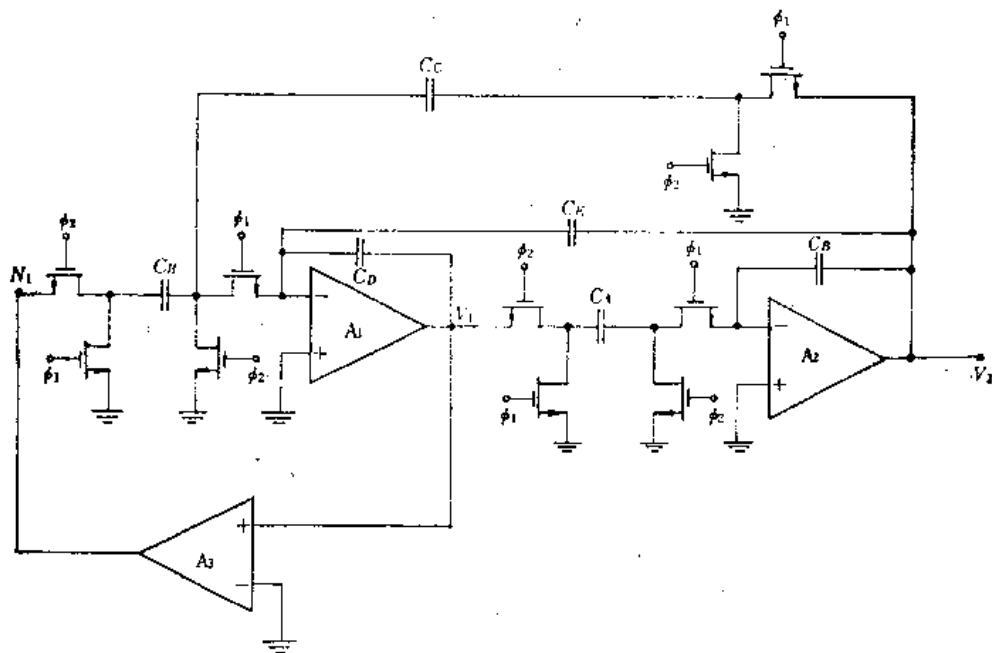


图 6.2-3 开关电容正弦振荡器

$$\begin{cases} V_1 = \frac{1}{S\left(\frac{T}{C_H}\right)C_D} V_{in} - \frac{V_2}{S\left(\frac{T}{C_C}\right)C_D} - \frac{C_E}{C_D} V_2, \\ V_2 = \frac{1}{S\left(\frac{T}{C_A}\right)C_B} V_1. \end{cases} \quad (6.2-5)$$

由上式得二阶带通滤波器的传递函数

$$\frac{V_1}{V_{in}} = \frac{C_H C_B}{C_A C_E} \frac{S\left(\frac{C_E C_A}{C_D C_B T}\right)}{S^2 + S\left(\frac{C_E C_A}{C_D C_B T}\right) + \frac{C_C C_A}{C_D C_B T^2}}. \quad (6.2-6)$$

而标准形式的二阶带通传递函数为

$$H(S) = \frac{A_0 \left(\frac{\omega_0}{Q} \right)}{S^2 + \left(\frac{\omega_0}{Q} \right) S + \omega_0^2}.$$

(6.2-7)

令(6.2-6)式与(6.2-7)式相等,分别求得中心角频率 ω_0 、 Q 以及 ω_0 时的增益 A_0 ,

$$\begin{cases} \omega_0 = \frac{1}{T} \sqrt{\frac{C_A C_C}{C_B C_D}}, \\ Q = \frac{1}{C_B} \sqrt{\frac{C_B C_D C_C}{C_A}}, \\ A_0 = \frac{C_H C_B}{C_A C_C}. \end{cases} \quad (6.2-8)$$

由傅里叶分析可知,电压幅度为 $\pm V_{ref}$ 的方波,其基波的幅度为 $4V_{ref}/\pi$.因此,在 ω_0 时,运放 A_1 输出电压 V_1 可写为

$$|V_1(j\omega_0)| = \frac{4V_{ref}}{\pi} A_0 = \frac{4}{\pi} V_{ref} C_H \left[\frac{C_B}{C_A C_C C_D} \right]^{\frac{1}{2}} Q. \quad (6.2-9)$$

由(6.2-5)式可以求得 V_2/V_{in} 的传递函数为

$$\frac{V_2}{V_{in}} = \frac{C_H C_A}{T^2 C_D C_B} \left[\frac{1}{S^2 + S \frac{C_B C_A}{C_D C_H T} + \frac{C_C C_A}{C_D C_B T^2}} \right]. \quad (6.2-10)$$

上式是二阶低通滤波器的传递函数,其极点频率 ω_0 、 Q 值表示式与(6.2-8)式相同.在 ω_0 时,运放 A_2 输出电压 V_2 表示为

$$|V_2(j\omega_0)| = \frac{4}{\pi} V_{ref} \frac{C_H}{C_C} Q. \quad (6.2-11)$$

运放 A_2 输出端与节点 N_1 相连后,由于构成正反馈回路,在节点 N_1 上得到幅值为 $\pm V_{ref}$ 的方波电压,此电压经高 Q 带通、低通滤波后,在 A_1 输出端和 A_2 输出端分别得到频率为 ω_0 的正弦信号,其幅值大小由(6.2-9)式和(6.2-11)式表示.下面讨论 V_1 、 V_2 电压的谐波分量.

由(6.2-6)式和(6.2-10)式可求得, V_1 和 V_2 在谐波频率为 $n\omega_0$ 时的表示式:

$$|V_1(jn\omega_0)| = \frac{1}{n^2} \frac{4}{\pi} V_{ref} C_H \left[\frac{C_B}{C_A C_C C_D} \right]^{\frac{1}{2}}, \quad (6.2-12)$$

$$|V_2(jn\omega_0)| = \frac{1}{n^3} \frac{4}{\pi} V_{ref} \frac{C_H}{C_C}. \quad (6.2-13)$$

(6.2-12)式与(6.2-9)式、(6.2-13)式与(6.2-11)式相比, n 次谐波输出电压与基波输出电压之间关系为

$$|V_1(jn\omega_0)| = \frac{|V_1(j\omega_0)|}{n^2 Q}, \quad (6.2-14)$$

$$|V_2(jn\omega_0)| = \frac{|V_2(j\omega_0)|}{n^3 Q}. \quad (6.2-15)$$

由(6.2-14)式和(6.2-15)式可知, V_2 输出电压谐波分量是 V_1 输出电压谐波分量的 $1/n$ 倍,因而正弦信号的输出端为 V_2 .对于三次谐波分量,在 $Q=10$ 的条件下, V_1 输出电压的谐波分量为 -39 分贝,而 V_2 输出电压的谐波分量为 -48.6 分贝.

2. 开关电容正弦振荡器的改进形式

以上讨论了图 6.2-3 电路的工作原理, 分析其正弦信号的输出幅度、频率和谐波分量。(6.2-8~11) 式提供了该电路的设计公式。由 (6.2-9) 和 (6.2-11) 式可知, 正弦信号的输出幅度取决于运放 A_2 的输出限幅电平 $\pm V_{ref}$ 。为获得稳定的输出幅值, V_{ref} 可由基准电压来代替。此外, 图 6.2-3 电路往往由于运放电压失调等原因, 出现停振现象, 为克服这一缺点, 引入保证起振的非限幅正反馈回路。经过上述改进后, 其电路形式如图 6.2-4 所示。电路刚开始工作时, 场效应管 M_1 截止, C_2 与 C_3 串联构成正反馈通路, 以保证电路起振。若起振, 运放 A_1 将 A_1 的输出电压 V_1 进行限幅, 使其成为方波, 此电压经过反相器, 分别得到 x 和 $\bar{x}$ 信号。 C_4 和 C_5 与二极管连接的增强型 NMOS 管 M_2 、 M_3 、 M_4 和 M_5 组成全波整流电路, 将正电荷馈入 M_1 栅极对地的寄生电容, 使 M_1 导通, 切断 C_2 、 C_3 的正反馈通路。由 x 、 $\bar{x}$ 的作用, 又通过直流参考电压 V_{ref} 、电容 C_H 和输入电路开关, 形成另一正反馈通路。电路振荡期间, x 与 V_1 同相, $\bar{x}$ 与 V_1 反相。对于 $V_1 > 0$, $x = 1$ (高电平), 电容 C_H 呈反相连接方式; 若 $V_{ref} > 0$, C_H 在每个时钟周期间隔向电容 C_4 馈送负电荷 $-C_H V_{ref}$, 使 V_1 进一步升高。同样, 对于 $V_1 < 0$, $\bar{x} = 1$, C_H 呈同相连接方式, C_H 将向 C_4 馈送正电荷 $C_H V_{ref}$, 使 V_1 进一步下降。显然, 它是一个正反馈回路。此外, C_6 为负反馈回路, 以限制振荡幅度。取样保持电路 M_6 、 C_1 为正反馈回路提供一个时钟周期的延时, 以防止寄生振荡。由于 V_{ref} 采用基准电压, 图 6.2-4 电路的输出信号幅值将十分稳定。以上分析可知, 它与图 6.2-3 电路的工作原理没有什么区别。对于图 6.2-3 电路的各种关系式 ((6.2-6)~(6.2-15) 式) 同样适用于图 6.2-4 电路。

如果 V_{ref} 中含有调制信号, 那么图 6.2-4 振荡电路也能产生调幅正弦波。若改变图中的 C_2 和 C_4 值, 即可控制振荡频率, 以实现频移键控 (FSK) 和可编程频率振荡等。

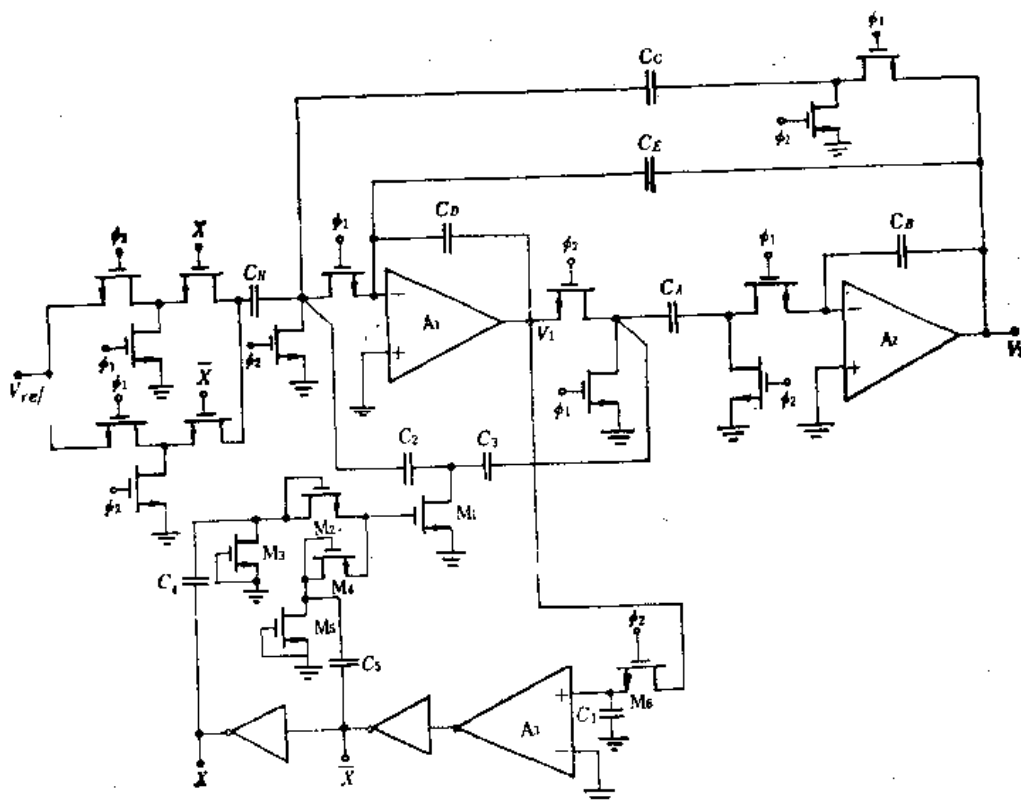


图 6.2-4 具有起振电路的开关电容正弦振荡器

第三节 MOS 集成时基电路

超星阅读器提醒您：
使用本复制品
请尊重相关知识产权！

(一) ICM7555 MOS 集成时基电路的工作原理

时基电路是一种定时电路，它在触发脉冲作用下，产生固定时间宽度的脉冲，其时间宽度由定时电阻和定时电容所决定。由于时基电路具有这种功能，因而它通常作为单稳态触发器和延时电路。集成时基电路的种类虽然很多，有双极型时基电路，也有 MOS 时基电路，但它们的工作原理和电路方框图基本相同。这一节我们介绍一种比较典型的 ICM7555 MOS 集成时基电路。该电路的内部方框图如图 6.3-1 所示。它由两个比较器、R-S 触发器以及倒相器等电路组成。比较器 1 的倒相输入端电压 $V_B = \frac{2}{3}V_{DD}$ ，比较器 2 的同相输入端电压 $V_A = \frac{1}{3}V_{DD}$ 。小方块内的数字表示该电路管脚的序号。图 6.3-1 所示的外部元件及管脚的连接方式，是 ICM7555 电路作为单稳态触发器的典型接法。外接定时电阻 R_T 和定时电容 C_T 决定输出脉冲宽度。现以单稳态触发器为例，简要介绍 ICM7555 电路的工作原理。电路被置位后，R-S 触发器输出端 Q 为低电平，电路输出端（管脚 3）电压也为低电平，而 M_1 栅极为高电平，使 M_1 导通，电容 C_T 放电，其两端电压 V_C 近似为零。当比较器 2 的倒相输入端加入低于 V_A 电平的负向触发脉冲后，R-S 触发器翻转，其输出端 Q 从低电平跳到高电平，电路输出端也从低电平变为高电平， M_1 栅极从高电平变为低电平，使 M_1 截止，这时电源电压 V_{DD} 通过 R_T 电阻向电容 C_T 充电，电容两端电压 V_C 逐渐上升，当上升到 V_B 时，比较器 1 状态翻转，R-S 触发器的 R 端由低电平变为高电平，这样 R-S 触发器输出端 Q 又变为低电平，电路输出端也从高电平变为低电平，产生了定时的脉冲宽度 T 。与此同时， M_1 栅极变为高电平，电容 C_T 通过 M_1 管放电， V_C 电位逐渐下降至零，电路又恢复到初始状态。输出脉冲宽度 T 由电容 C_T 两端电压 V_C 的充电方程所决定，即

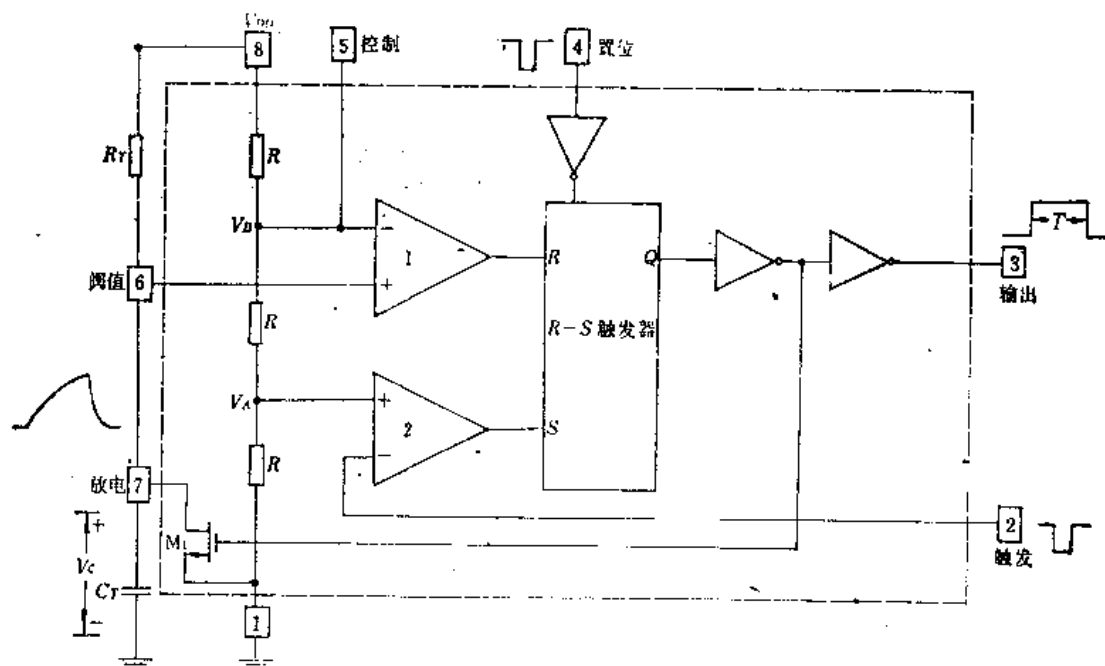


图 6.3-1 ICM 7555 时基电路内部框图

$$V_c = V_{DD}(1 - e^{-\frac{t}{R_T C_T}}), \quad (6.3-1)$$

当 $t=T$ 时, $V_c = V_s = \frac{2}{3}V_{DD}$; 将此关系式代入上式, 得脉冲宽度表示式

$$T = R_T C_T \ln 3 \approx 1.1 R_T C_T. \quad (6.3-2)$$

上式表明, 输出脉冲的宽度 T 由外接电阻 R_T 和电容 C_T 所决定。

(二) ICM7555 内部电路及其功能

ICM7555 内部电路图如图 6.3-2 所示。对应于图 6.3-1, 我们可以看出, 图中 $M_1 \sim M_4$ 构成比较器 1; $M_5 \sim M_8$ 构成比较器 2; $M_9 \sim M_{12}$ 及倒相器组成 $R-S$ 触发器; M_{13} 为放电管; $M_{14} \sim M_{15}$ 为互补输出级电路; 3 个 100 千欧姆电阻构成分压电路, 其分压电压分别加在比较器 1 的倒相输入端和比较器 2 的同相输入端。

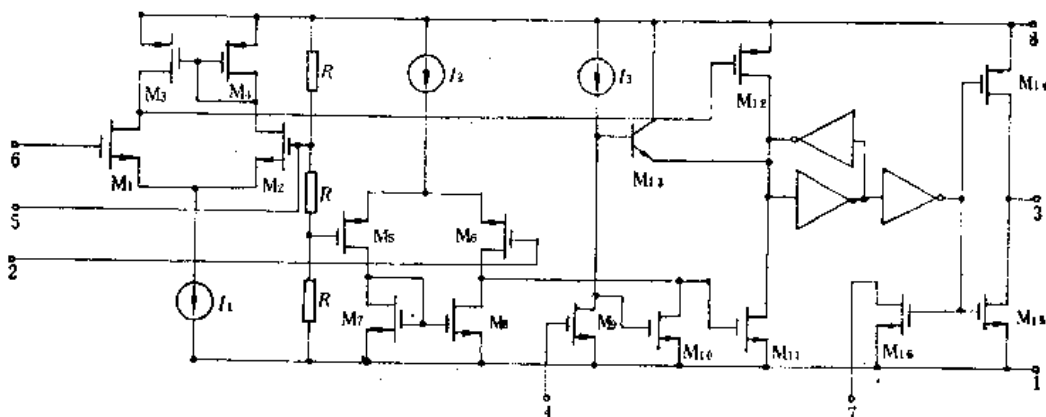
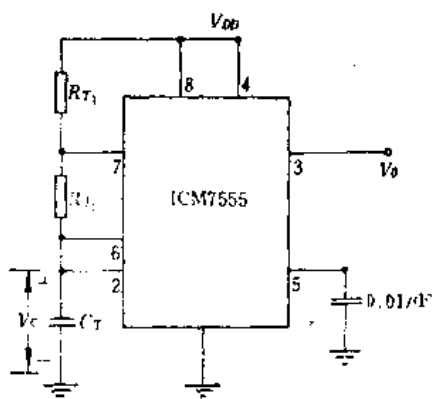


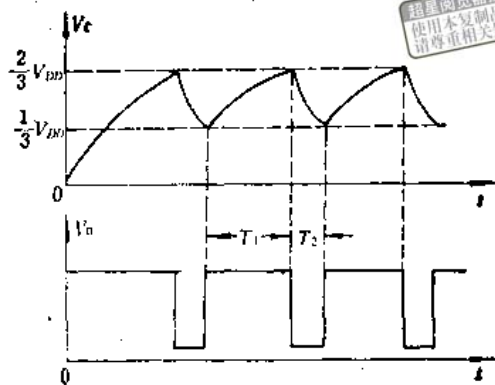
图 6.3-2 ICM7555 内部电路图

ICM7555 时基电路具有多种功能, 不仅可作为单稳态触发器和延时电路, 还可作为多谐振荡器、分频器、电压-频率转换器和频率-电压转换器等, 应用十分广泛。下面介绍 ICM7555 构成的多谐振荡器(图 6.3-3a)。图 6.3-3a 多谐振荡器与单稳态触发器(图 6.3-1)在电路结构上的不同之处在于放电回路中接入定时电阻 R_T , 此外, 其触发端 2 与阈值端 6 接在一起。一旦接通电源, 定时电容 C_T 两端的电压 V_c 为零, 此时触发器被置位 ($S=1, R=0$), $R-S$ 触发器输出端 Q 为高电平, 电路输出端也为高电平, 图 6.3-3a 中放电管截止, 电源电压 V_{DD} 通过电阻 R_T 和 R_T 向电容 C_T 充电, 使电容两端的电压 V_c 逐渐上升, 当 V_c 上升到 $\frac{2}{3}V_{DD}$ 时, 比较器 1 输出电压由低电平变为高电平, $R-S$ 触发器被复位, 输出端电压由高电平变为低电平。此时, 由于放电管 M_{13} 导通, 电容 C_T 上的电荷通过 R_T 放电, 当 V_c 下降到 $\frac{1}{3}V_{DD}$ 时, 比较器 2 的输出电压由低电平变为高电平, $R-S$ 触发器又一次被置位, 输出端的电压由低电平变为高电平。这样周而复始就获得多谐振荡器的振荡波形, 如图 6.3-3b 所示。根据充放电方程式, 脉冲宽度 T_1, T_2 可分别表示为

$$\begin{cases} T_1 = (R_T + R_T) C_T \ln 2, \\ T_2 = R_T C_T \ln 2. \end{cases} \quad (6.3-3)$$



(a)



(b)

图 6.3-3 多谐振荡器及其波形

由上式,得振荡频率 f_0 为

$$f_0 = \frac{1}{T_1 + T_2} = \frac{1}{C_T(R_{T1} + 2R_{T2})\ln 2} \approx \frac{1.44}{C_T(R_{T1} + 2R_{T2})} \quad (6.3-4)$$

振荡波形的占空比为

$$D = \frac{T_1}{T_1 + T_2} = \frac{R_{T1} + R_{T2}}{R_{T1} + 2R_{T2}} \quad (6.3-5)$$

由上式可知,占空比总大于 50%;为使振荡波形接近于方波, R_{T2} 应远大于 R_{T1} 。

第四节 调制器与检波器

采用 MOS 开关电容技术,可将一些重要的非线性电路(如调制器、检波器等)制成 MOS 集成电路。

(一) 调制器

1. 电路图

典型的开关电容调制器如图 6.4-1 所示。图中 $V_m(t)$ 为调制信号, $V_c(t)$ 为载频信号。输出信号 $V_o(t)$ 是 $V_m(t)$ 与 $V_c(t)$ 的乘积,因此,图 6.4-1 所示的电路也称为乘法器。为使电路正常工作,时钟信号 ϕ_1 、 ϕ_2 的频率应远大于载频信号频率。

2. 电路的工作原理

当载频信号 $V_c(t)$ 的幅值为正时, M_7 、 M_8 导通,加在 M_1 栅极的时钟信号为 ϕ_1 、加在 M_2 栅极的时钟信号为 ϕ_2 ,这样由 M_1 、 M_2 、 M_3 和 M_4 开关与电容 C 构成开关电容电路,其等效电阻为 $-T/C$,而 M_4 、 M_5 和电容 C 所构成的开关电容电路,其等效电阻为 T/C ,增益 $V_o(t)/V_m(t)=1$;当载频信号 $V_c(t)$ 的幅值为负时, M_6 、 M_9 导通,加在 M_1 栅极的时钟信号为 ϕ_2 ,加在 M_2 栅极的时钟信号为 ϕ_1 ,这样由 M_1 、 M_2 、 M_3 和 M_4 开关与电容 C 所构成的开关电容电

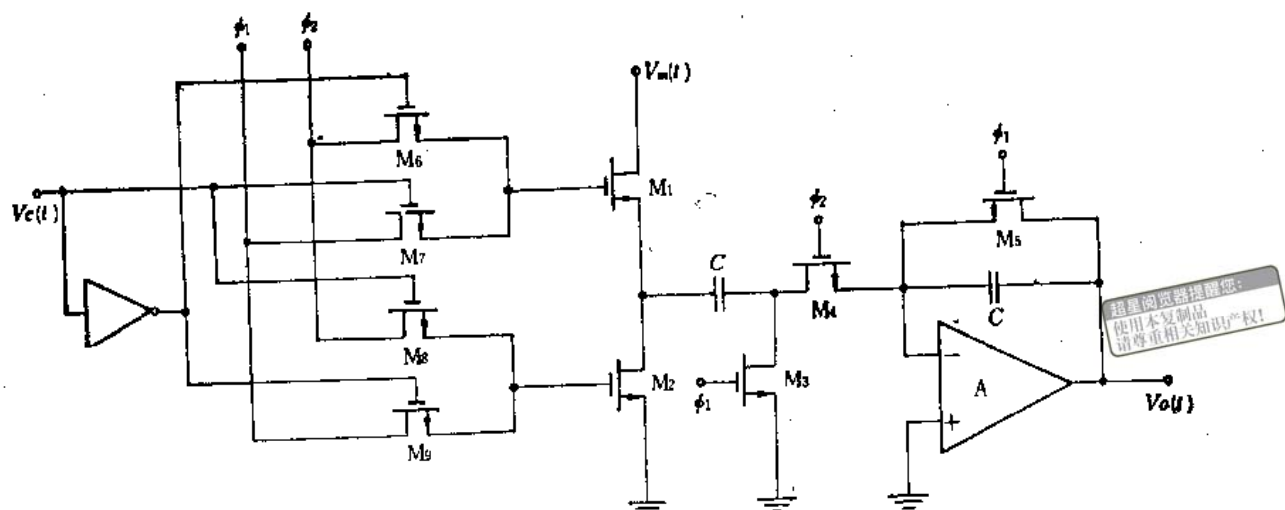


图 6.4-1 开关电容调制器

路,其等效电阻为 T/C , 此时增益 $V_o(t)/V_m(t) = -1$ 。如上所述, 输出信号 $V_o(t)$ 的幅值与 $V_m(t)$ 的幅值相同, 其极性决定于载频信号 $V_c(t)$ 幅值的极性。图 6.4-2 表示 $V_c(t)$ 、 $V_m(t)$ 和 $V_o(t)$ 的波形。由图可知, $V_o(t)$ 为平衡调幅信号。若在图 6.4-1 所示的电路输出端加上低通滤波器, 可实现相位检波、调幅波检波和调频波解调。

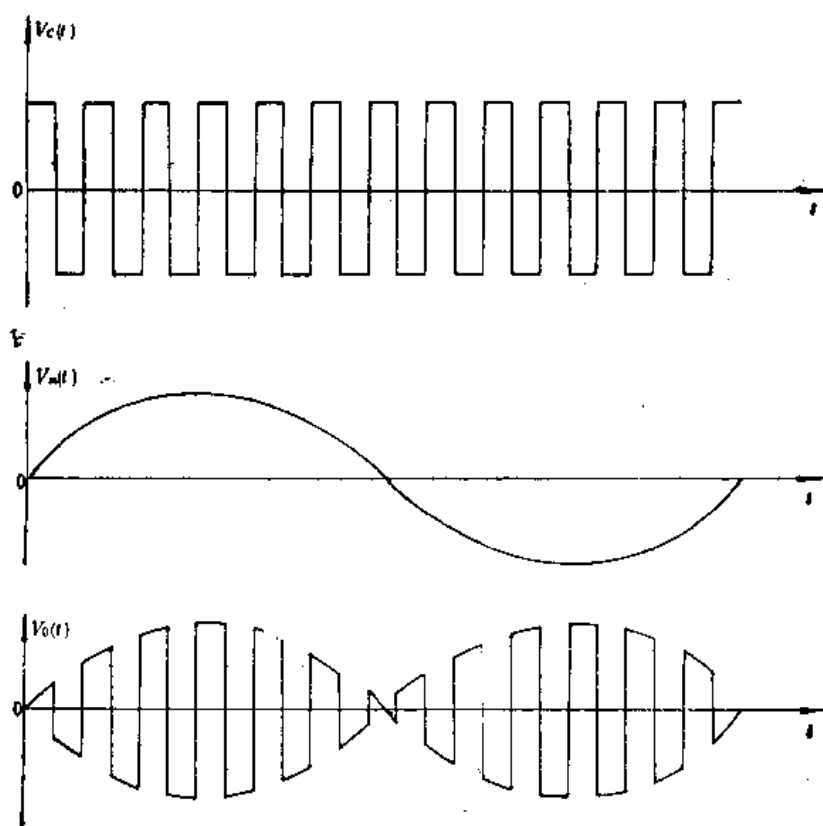


图 6.4-2 对应于图 6.4-1 的电路波形

(二) 检波器

1. 开关电容全波检波器

利用开关电容电路构成全波检波器和峰值检波器,前者是将输入信号 $V_{in}(t)$ 变换成它的绝对值 $|V_{in}(t)|$,后者是检测输入信号的峰值。比较简单的全波检波器如图 6.4-3 所示。当输入信号 $V_{in} > 0$ 时,运放 A_1 输出电压为负值, M_1 截止,由电容 $2C$ 构成的开关电容电路不起作用,此时,电路为同相放大,其增益为 1,即 $V_o(t) = V_{in}(t)$;当输入信号 $V_{in} < 0$ 时,运放 A_1 输出电压为正值, M_1 导通,由电容 $2C$ 构成的开关电容电路与运放 A_2 组成倒相放大,增益为 -2,而电容 C 构成的开关电容电路与运放 A_2 组成同相放大,增益为 1。由迭加定理可知,该电路的传递函数 $V_o(t)/V_{in}(t) = -1$ 。如上所述,该电路使负极性信号反相,而正极性信号同相,且增益均等于 1,从而实现全波检波,即 $V_o = |V_{in}|$ 。

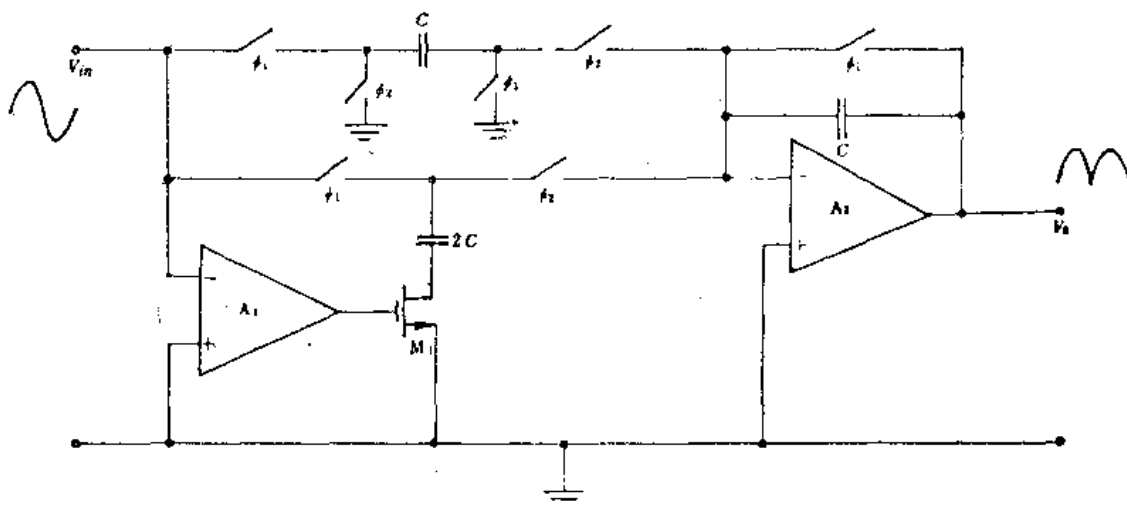


图 6.4-3 开关电容全波检波器

2. 峰值检波器

峰值检波器是一种检测与保持输入信号最大正(或负)电压的电路,其输入、输出关系如图

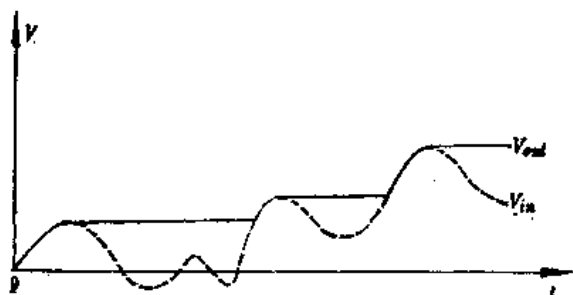


图 6.4-4 峰值检波器的输入、输出信号

6.4-4 所示。图 6.4-5 是开关电容峰值检波器。图中电容 C 存储此刻之前 V_{in} 的最大值 V_{max} ，运放 A_1 将现在的 V_{in} 值与 V_{max} 进行比较。如果 $V_{in} > V_{max}$ ，运放 A_1 输出为负；随着 ϕ_1 、 ϕ_2 变为高电平，逻辑输出 A 为高电平，从而使输入开关 M_1 导通， V_{in} 向电容 C 充电，使电容 C 两端电压为 V_{in} 信号的最大值。若 $V_{in} < V_{max}$ ，则逻辑输出 A 为低电平， M_1 管截止，输出电压 V_{out} （即电容 C 两端电压）继续保持在 V_{max} 。

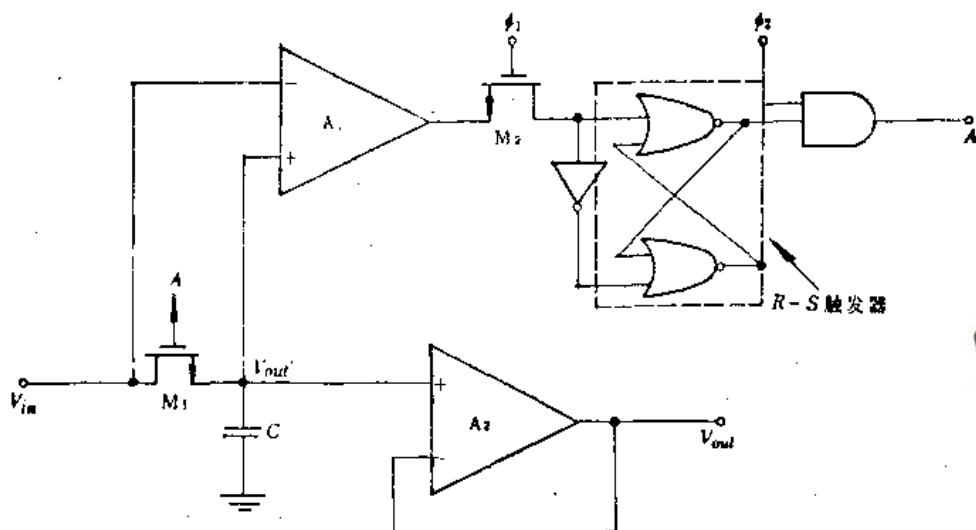


图 6.4-7 开关电容峰值检波器

当 $\phi_1=1$ (高电平) 时, V_{in} 与 V_{max} 进行比较; 而 $\phi_2=1$ 时, 电容 C 进行充电, 因此, 比较与充电之间有时间延时, 如果时钟频率远大于 V_{in} 的最高频率, 则由于比较和充电之间的延时所引起的误差可以忽略不计。

通常在输出端加上一级缓冲器 (如图 6.4-5 中单位增益运放 A_2), 以防止电容 C 放电。

连续时间峰值检波器如图 6.4-6 所示, 图中运放 A 作为比较器。若 $V_{in} > V_{out}$, 运放输出变为高电平, M_1 导通, C 充电, 使 $V_{out} \approx V_{in}$ 。若 $V_{in} < V_{out}$, 运放输出变为低电平, M_1 截止, C 保持 $V_{out} = V_{max}$ 。同样, 如果输出需要驱动负载, 就必须加缓冲级。

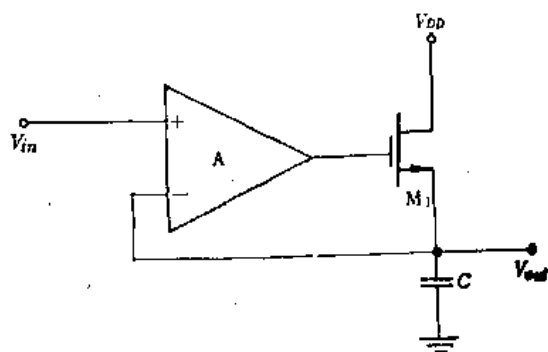


图 6.4-6 连续时间峰值检波器

参 考 文 献

- [1] P.R.Gray, Basic MOS operational amplifier design — An overview, in Analog MOS Integrated Circuits, *IEEE Press*, 1980, PP.26-29.
- [2] P.E.Allen, Switched Capacitor circuits, Van Nostrand Reinhold Co., 1984.
- [3] P.R.Gray and P.G.Meyer, MOS operational amplifier design — tutorial overview, *IEEE J.Solid-State Circuits*, Dec.1982.
- [4] T.C.Choi and P.R.Gray, High-frequency CMOS switched capacitor filter for communications application, *IEEE J.Solid-State Circuit*, Dec.1983.
- [5] 复旦大学微电子教研组编, 集成电路设计原理——模拟集成电路, 高等教育出版社, 1984.6.
- [6] 复旦大学微电子教研组编, 半导体器件原理, 1982.11.
- [7] 复旦大学微电子教研组郑坛钰编, MOS 集成电路原理, 1984.2.
- [8] M.J.Howes and D.V.Morgan, Large Scale Integration, Device, Circuits, and Systems, John Wiley & sons Co.Ltd.1981.
- [9] H.Shichman and D. A. Hodgs, Modelling and simulation of insulated-gate field effect transistor switching circuits, *IEEE J. Solid-State Circuits*, Vol. SC-3, PP. 285-289, Sep.1968.
- [10] O.J.McCarthy, MOS Device and Circuits Design, John Wiley & sons Ltd.
- [11] C.G.Ong, Modern MOS Technology, McGraw-Hill Inc., 1985.
- [12] 日本东工大小野田研究室, 内部研究资料.
- [13] C.T.Chuang, Analysis of the setting behavior of an operational amplifier, *IEEE J. Solid-State Circuits*, Vol.SC-17, PP.74-80, Feb.1982.
- [14] G.smarandoiu, D.A.Hodgs, P.R. Gray, and G.F.Landsburg, CMOS pulse-code modulation voice codec, *IEEE J.Solid-State Circuits*, Vol.SC-13, PP.504-510, Aug.1978.
- [15] T.Doluca, A 5us 10-bit CMOS ADC track-and-hold, *IEEE ISSCC*, 1985.
- [16] K.E.Brehmer and J.B.Wieser, Large swing CMOS power amplifier, *IEEE J.Solid-State Circuits*, vol.SC-18, PP.624-629, Dec.1983.
- [17] Y.P. Tsividis and P. R. Gray, An integrated NMOS operational amplifier with internal compensation, *IEEE J.Solid-State Circuits*, Vol.SC-11, PP.748-754, Dec.1976.
- [18] D.Senderowicz, D.A.Hodgs and P.R.Gray, Highperformance NMOS operational amplifier, *IEEE J.Solid-State Circuit*, vol.SC-13, PP.760-766, Dec.1978.
- [19] D.Senderowicz, A low-noise NMOS operational amplifier, *IEEE J.Solid-State Circuits*, vol.SC-17, No.6, Dec.1982.
- [20] 上海元件五厂, 晶峰器件应用, 第12期.
- [21] D.B.Ribner and M. A. Copeland, Design techniques for cascoded CMOS Op Amps with improved PSRR and common-mode input range, *IEEE J. Solid-State Circuit*, vol. SC-19, No.6, Dec.1984.
- [22] J.A.Fisher, A high-performance CMOS power amplifier, *IEEE J. Solid-State Circuits*, vol.SC-20, No.6, Dec. 1985.
- [23] M.Milkovic, Current gain high-frequency CMOS operational amplifiers, *IEEE J. Solid-State circuits*, vol.SC-20 No.4, Aug.1985.
- [24] J.-C.Lin and J. H. Nevin, A modified timedomain model for nonlinear analysis of an operational amplifier, *IEEE J.Solid-State circuits*, vol.SC-21, No.3, June 1986.

- [25] K.Nakashima, A CMOS facsimile video signalprocessor, *IEEE J.Solid-State Circuits*, vol.SC-20, No.6, Dec, 1986.
- [26] P.R.Gray and R.G.Meyer, Analysis and design of analog integrated circuits, New York, wiley, second addition, 1984.
- [27] R.Gregorian and G. C. Temes, Analog Integrated Circuits for Signal Processing, John wiley & sons Co.Inc, 1986.
- [28] D.E.Fleischer, A Gauesan, and K.R.Laker, A switched capacitor oscillator with precision amplitude control and guaranteed start-up, *IEEE J.Solid-State Circuits*, Vol. SC-20, No.2, April, 1985.
- [29] R.Gregorian, K.W.Martin and G.C.Temes, Switched-Capacitor circuits design, *Proceedings of the IEEE*, Vol.71, No.8, Aug. 1983.
- [30] 武部幹、岩田穆、高橋宣明、国枝博昭, スイッチトキセパシタ回路, 现代工学社, 1986.
- [31] A.B.Williams, Electronic Filter Design Handbook, McGraw-Hill, Inc. 1981.
- [32] M.S.Ghausi and K.R.Laker, Modern filter design, Bell Telephone Laboratories, 1981.
- [33] A.B.Grebene, Bipolar and MOS analog Integrated Circuit Design, John wiley & Sons, Inc., 1984.
- [34] A.B.Williams, Designer's Handbook of Integrated Circuits, McGraw-Hill Inc., 1984.
- [35] 章开和, 通用电路分析程序 SPICE2 中的 MOS 场效应管模型, 内部资料, 1984.
- [36] A.VLADIMIRESCU, 章开和等编, 田淑清译, SPICE通用电路模拟程序用户指南, 清华大学出版社, 1983.